

安路科技 AL3 系列 FPGA
数据手册

DS100（v2.3）2018 年 11 月

Confidential

目　录

目　录 I

1 简介 1

1.1 AL3 器件系列特性 1

1.2 AL3 器件介绍 2

2 AL3 架构介绍 3

2.1 PFB 模块 4

2.1.1 SLICE 5

2.1.2 PFB 操作模式 6

2.1.3 寄存器 7

2.1.4 互连（Routing） 7

2.2 嵌入式存储器模块（EMB） 8

2.2.1 简介 8

2.2.2 RAM 存储器模式 10

2.2.3 RAM 存储器模式下的端口信号 10

2.2.4 RAM 存储器模式下的常见配置 12

2.2.5 2.2.5 FIFO 模式 16

2.2.6 EMB32K 介绍 19

2.3 时钟资源 21

2.3.1 全局时钟 21

2.3.2 输入输出时钟 23

2.3.3 时钟分频器 24

2.4 锁相环 PLL 25

2.4.1 简介 25

2.4.2 动态相移 26
2.4.3 时钟反馈模式 27
2.5 数字信号处理（DSP） 28
2.5.1 体系结构 28
2.5.2 操作模式 31
2.6 输入输出逻辑（IOL） 33
2.6.1 输入寄存器 33
2.6.2 输出寄存器 34
2.7 输入输出缓冲器（IOB） 34
2.7.1 IOB 简介 34
2.7.2 高速 LVDS 接口 35
2.7.3 I/O 分组 36
2.8 AL3 FPGA 配置说明 37
2.8.1 2.8.1 配置模式 38
2.8.2 串行配置模式 39
2.8.3 串行配置模式级联 41
2.8.4 从动并行配置模式 42
2.8.5 JTAG 配置模式 43
2.9 内部振荡时钟 OSC 43
2.9.1 配置一：内部 CCLK 频率修改 44
2.9.2 配置二：FLASH 加载频率调节 44
3 直流交流特性 46
3.1 直流电气特性 46
3.1.1 最大绝对额定值 46
3.1.2 推荐基本操作条件 47
3.1.3 静态供电电流 [1,2] 47

3.1.4 热插拔规格 48
3.1.5 上电复位电压阈值 48
3.1.6 I/O 直流电气特性 49
3.1.7 I/O 管脚电容 49
3.1.8 单端 I/O 直流电学特性 50
3.1.9 差分 I/O 电学特性 51
3.2 交流电气特性 51
3.2.1 时钟性能 51
3.2.2 锁相环(PLL)规格 52
3.2.3 嵌入数字信号处理模块（DSP）规格 53
3.2.4 存储器模块（EMB）规格 53
3.2.5 高速 I/O 接口性能 54
3.2.6 配置模块和 JTAG 规格 55
4 引脚和封装 56
4.1 引脚定义和规则 56
4.2 TQFP144 引脚说明- AL3A6/AL3A10 57
4.3 fBGA256 引脚说明- AL3A6/AL3A10 60
4.4 封装信息 65
4.4.1 LQFP144 封装规格 65
4.4.2 fBGA256 封装规格 67
5 订购信息 69
6 版本信息 71
免责声明 71

1 简介

1.1 AL3 器件系列特性

- **灵活的逻辑结构**
  - 共有 4 种器件，规模从 5,760 到 110,592 LUTs，用户 IO 数量从 144 到 500.X
- **低功耗器件**
  - 先进的 65nm 低功耗工艺
  - 静态功耗低至 4mA
- **支持分布式和嵌入式存储器**
  - 最大支持 3 Mbits 嵌入块存储器
  - 嵌入块存储器容量 9 Kbits，可配置为真双口，8Kx1 到 512x18 模式
  - 最大支持 917 Kbits 分布存储器
  - 专用 FIFO 控制逻辑
- **可配置逻辑模块(PLBs)**
  - 优化的 LUT4/LUT5 组合设计
  - 双端口分布式存储器
  - 支持算数逻辑运算
  - 快速进位链逻辑
- **嵌入式乘法器**
  - 单一 Slice 支持 2 个 M18x18 或 4 个 M9x9
  - 最大支持 280 个 M18x18
  - 优化级联结构
  - 时分复用 54-bit MAC[1]
  - 运算精度：36x36, 36x18[1], 18x18, 9x9X

[1] 仅 AL3_55 和 AL3_130 支持

- **源同步输入/输出接口**
  - 输入/输出单元包含 DDR 寄存器
  - 7:1 Gearing for Display I/Os
  - Generic DDR
  - 专用 DDR3 存储器接口 1
- **高性能，灵活的输入/输出缓冲器**
  - 可配置支持以下单端标准
  - LVTTL
  - LVCMOS (3.3/2.5/1.8V/1.5/1.2V)
  - PCI
  - SSTL 3.3V and 2.5V (Class I and II)
  - SSTL 1.8V and 1.5V (Class I)
  - HSTL 1.8V and 1.5V (Class I)
  - 通过配置支持以下差分标准
  - LVDS，Bus-LVDS，MLVDS，RSDS，LVPECL
  - 支持热插拔
  - 可配置上拉/下拉模式
  - 片内 100 欧姆差分电阻
  - 可配置施密特触发器，最大 0.5V 迟滞
- **时钟资源**
  - 16 个全局时钟
  - 针对高速 I/O 接口设计的 2 路 ECLKX

- X 多支持 4 个 PLLs 用于频率综合
- 5 路时钟输出
- 分频系数 1 到 128
- 支持 5 路时钟输出级联
- 动态相位选择

■ **嵌入 SERDES**[1]

- 数据速率高达 3.125Gbps
- 最多支持 16 通道
- 支持协议：PCI Express, Ethernet (1GbE, SGMII, XAUI), OBSAI, CPRI, SATA I/II and Serial RapidIOX

[1] 仅 AL3_55 和 AL3_130 支持

■ **配置模式**

- 主模式串行 PROM (MS)
- 主模式串行 SPI (MSPI)
- 从模式串行 (SS)
- 主模式并行 x8 (MP)
- 从模式并行 x8 (SP)
- JTAG 模式 (IEEE-1532)

■ **BSCAN**

- 兼容 IEEE-1149.1

■ **封装**

- LQFP/caBGA/ftBGA

表 1-1- 1 AL3 FPGA 系列成员

General feature	AL3A6	AL3A10	AL3A55	AL3A130
Number of FFs	5,760	8,640	49,280	110,592
Number of LUTS	5,760	8,640	49,280	110,592
Number of Dis-Ram bits	46,080	69,120	394,240	884,736
Number of EMB (9k	48	48	96	448
Number of EMB (32k)	2	2	8	16
Total EBR bits	507,904	507,904	1,146,880	4,595,712
Number of M18x18	3	3	144	256
Total Configuration SRAM (bits)	2,198,020	2,198,020	11,688,080	26,525,012
PLL	2	2	4	4
Low-skew GCLK	16	16	16	16
Serdes (Quads)	0	0	2	4
User IO Banks	8	8	12	16
Maximum user IOs	184	184	456	672

注释：

1. 简单 18x18/9x9 乘法器
2. 全功能带有预加和算数运算功能（ALU）的 DSP

表 1-1- 2 AL3 FPGA 封装

Packages	AL3A6	AL3A10	AL3A55	AL3A130
144 LQFP (20x20, 0.5mm pitch)	91/32	91/32		
256 fpBGA (17x17, 1.0mm pitch)	184/92	184/92		
484 fpBGA (23x23 mm)			324/132	
780 fpBGA (27x27 mm)			452/144	498/220

91/32 表示用户可用 IO 数/用户可用差分输出（LVDS）对

1.2 AL3 器件介绍

安路最新的 AL3 系列 FPGA 有 5 个器件，定位低成本、低功耗可编程市场。AL3 器件旨在用于大批量，成本敏感的应用，使系统设计师在降低成本的同时又能够满足不断增长的带宽要求。

AL3 器件系列建立在一个优化的低功耗工艺基础之上，并通过最低的成本实现较高的功能性。针对无线、有线、广播、工业用户以及通信等行业中的低成本的小型应用，AL3 器件无疑是最理想的选择。

安路信息提供丰富的设计工具帮助用户有效地利用 AL3 平台实现复杂设计。业界领先的综合和布局布线工具，为用户设计高质量产品提供有力保障。

2 AL3 架构介绍

AL3 系列器件由查找表逻辑模块（PLB）阵列构成核心资源，输入输出缓冲器分布在四边。嵌入式块存储单元（EMB9K）和数据信号处理模块（DSP）嵌在 PLB 中间。

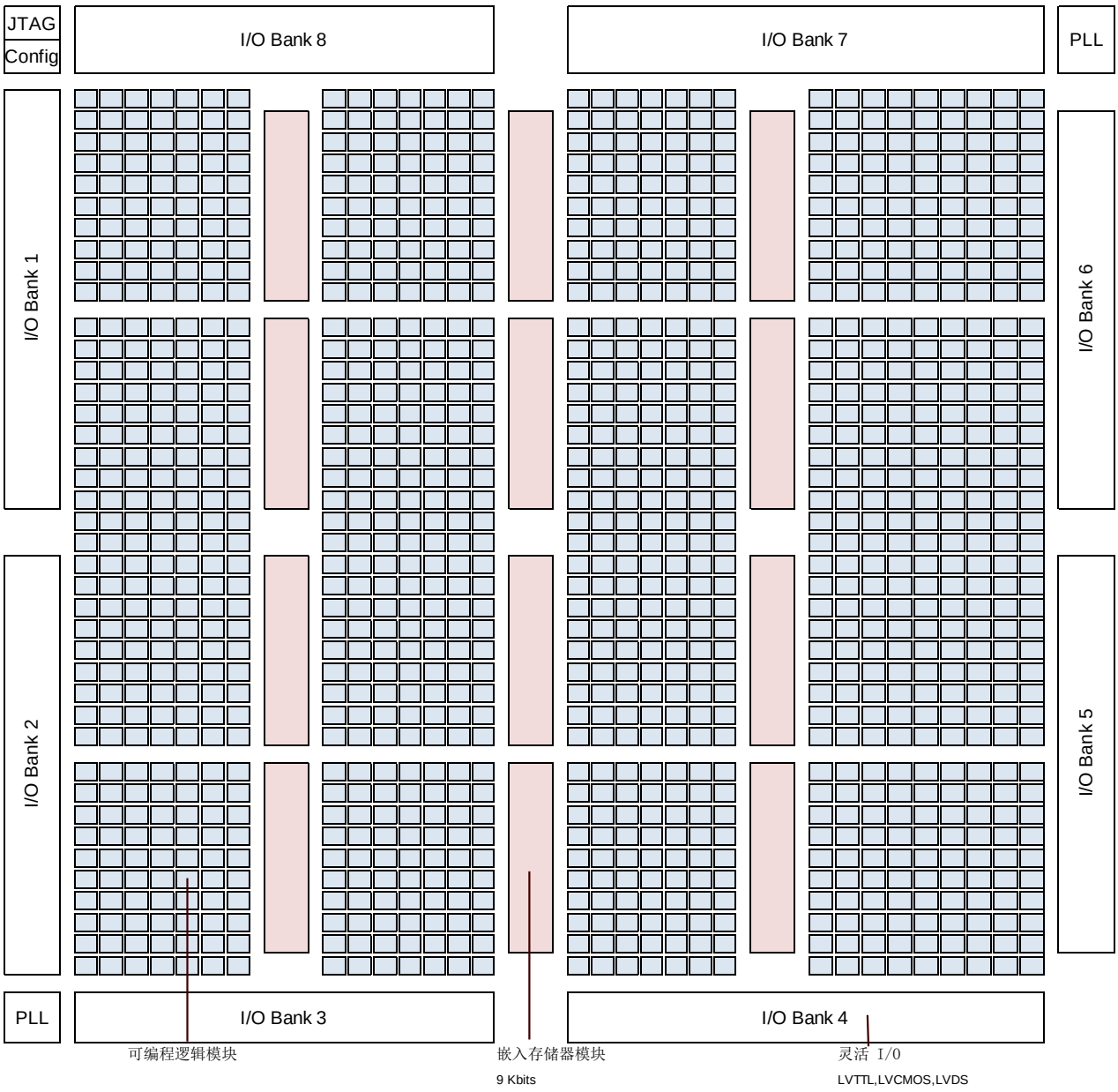


图 2- 1 AL3-6k 器件简化框图

查找表逻辑模块分为两种，逻辑可编程模块（LSLICE）和存储逻辑可编程模块（MSLICE）。两种模块均支持逻辑、算数功能，不同的是 MSLICE 支持分布式 RAM 和 ROM 功能。逻辑可编程模块（LSLICE）和存储逻辑可编程模块（MSLICE）均经过设计优化，便于用户快速有效地实现复杂设计。

AL3 系列器件包含多列嵌入式存储器模块（EMB），存储器模块规模为 9K，支持快速数据访问。每一个存储模块可独立配置为 1-18 位宽的单口或双口应用。

AL3 的输入输出缓冲器（I/O Buffer）划分为 8 个组，支持单端和双端的多种电平标准。左右的 I/O 可以配置成 LVDS 发送/接收对。

AL3 系列内部嵌有 2~4 个多功能 PLL 块，分布在器件四角，有专门的时钟线连接到两个 PLL 输入。PLL 具有对时钟分频/倍频/移相等功能。

2.1 PFB 模块

可编程逻辑块（PLB）按照行/列规则排布成二维阵列，每个 PLB 包括可编程互连（routing）和可编程功能块（Programmable Functional Block，PFB）。PFB 是 FPGA 的可编程功能核心。AL3 器件内部 PFB 可实现：逻辑，算术，分布式 RAM（distribute RAM），ROM 功能以及信号锁存。PFB 内部包含 4 个 SLICE，编号 0~3。SLICE 0,1 为 MSLICE 类型，SLICE 2,3 为 LSLICE 类型。

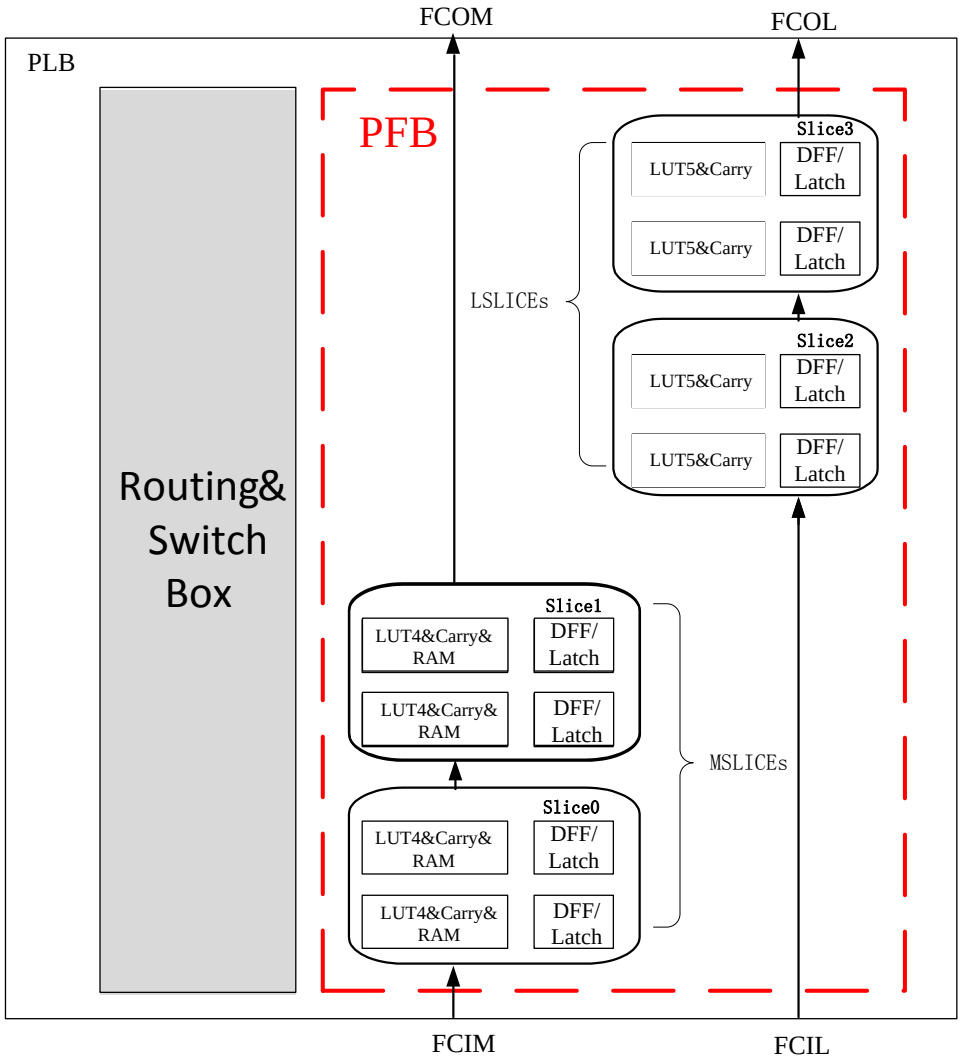


图 2-1- 1 可编程功能块（PFB）结构图

2.1.1 SLICE

AL3 PFB 内包含两种 SLICE：MSLICE 和 LSLICE。

a) MSLICE

MSLICE 包含 2 个 LUT4s 和两个寄存器以及 2 级进位链，MSLICE 额外可配置成基于 LUT 的分布式 RAM（distribute RAM）功能。PFB 内的 SLICE 0,1 为 MSLICE 类型，可组合配置成为 16x4 的 RAM。MSLICE 内部逻辑可实现 LUT4s 间的连接，可以实现输入数大于 4 的函数，如 LUT5。两个 MSLICE 组合可实现 LUT6。

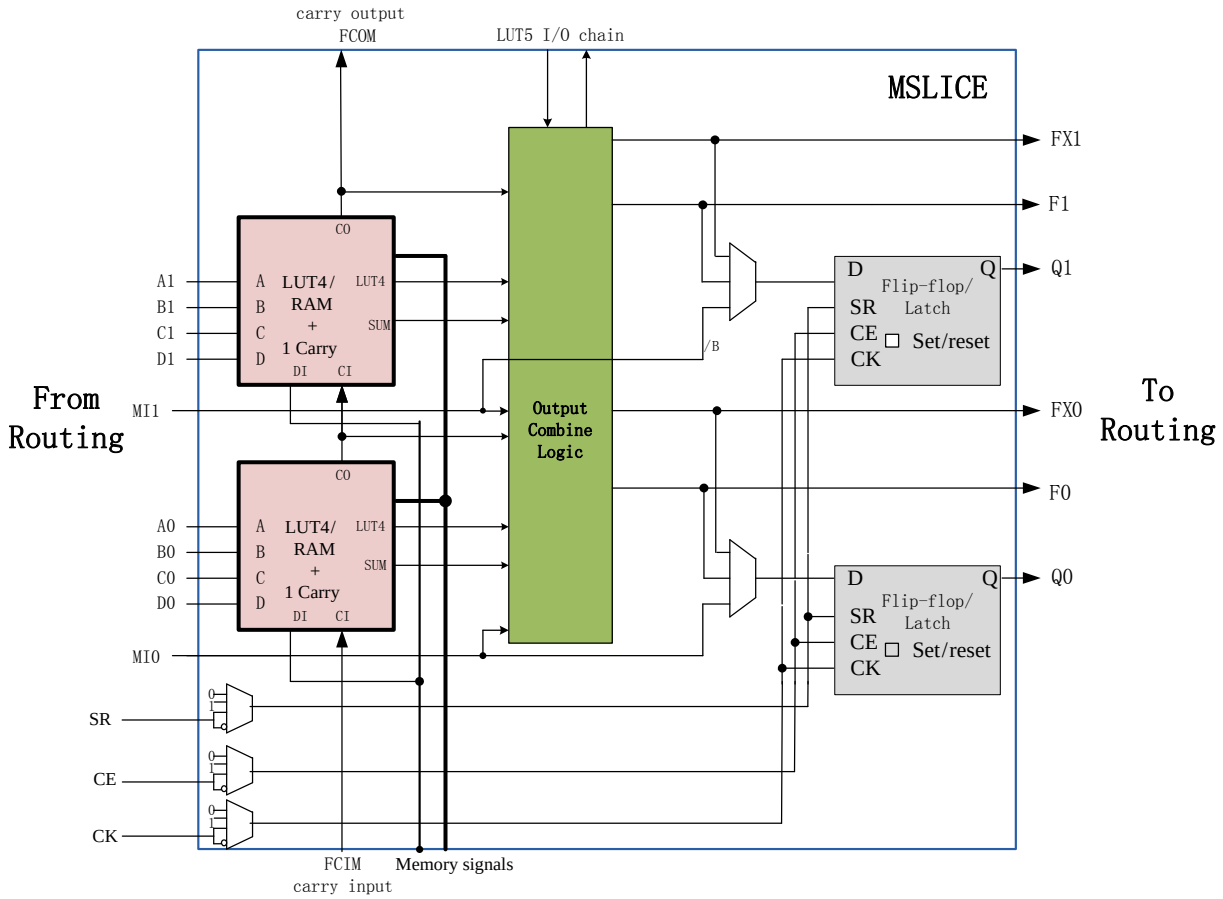


图 2-1- 2 MSLICE 结构图

MSLICE 内部逻辑见图 2-1- 2。内部有两个 4 输入查找表（LUT4），并带有 RAM 写入译码器，结合 PFB 内部的分布式 RAM 控制逻辑，每个 LUT4 可实现 16x1 bits RAM 存储器，2 个 MSLICE 配合一个 RAM 控制器实现 16x4 的双口 RAM。MSLICE 中每个 LUT4 结合内部进位逻辑以及进位输入（FCIM）可以实现 1 位全加器。一个 MSLICE 可实现 2 位加/减法，并实现快速进/借位输出（FCOM）。

MSLICE 和 LSLICE 内部寄存器相同，可配置成 DFF 或者 LATCH。

b) LSLICE

LSLICE 包含 2 个增强型 LUT5s 和两个寄存器以及 4 级进位链。PFB 内的 SLICE 2,3 为 LSLICE 类

型。LSLICE 内部逻辑可实现：将一个 LUT5s 拆成 2 个 LUT4s；实现更多输入函数，如 LUT5，LUT6。两个 LSLICE 组合可实现 LUT7。

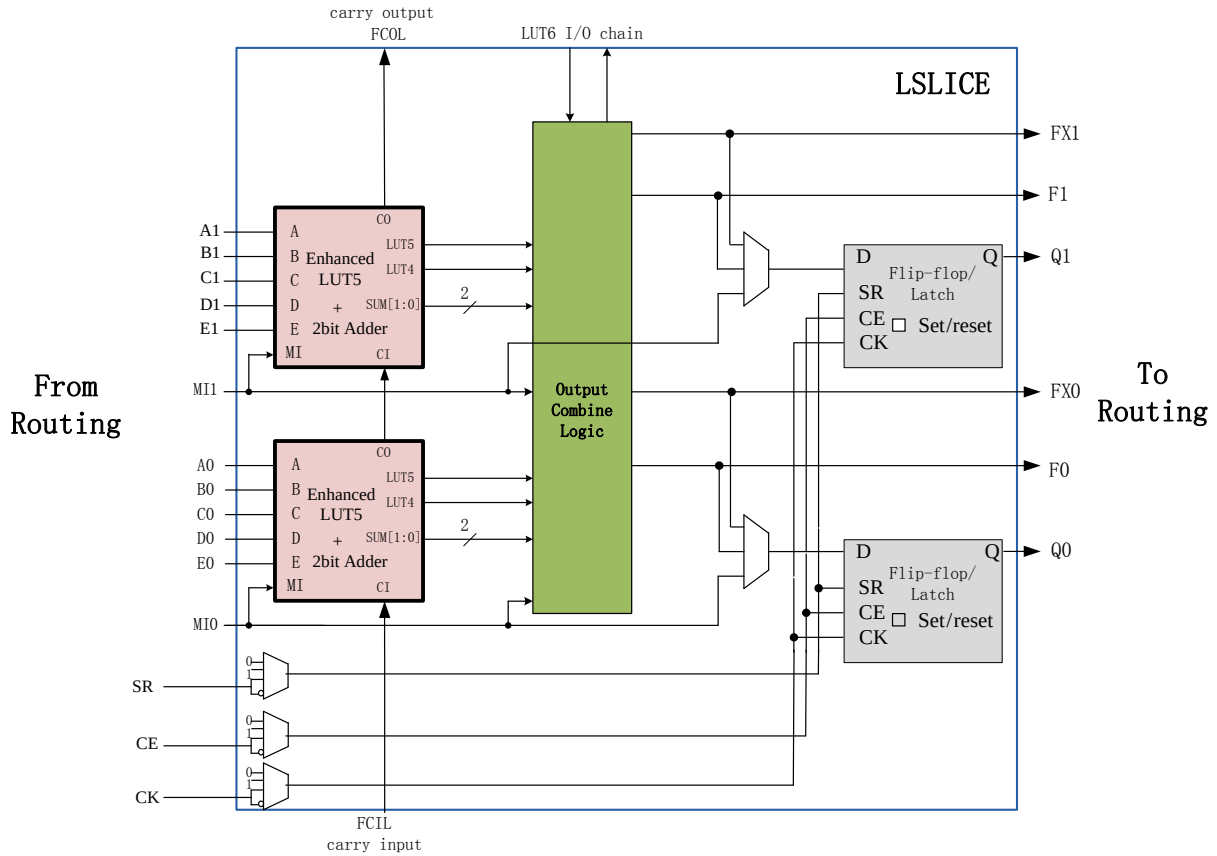


图 2-1- 3 LSLICE 结构图

LSLICE 内部逻辑见图 2-1- 3。内部有 4 个 4 输入查找表（LUT4），以及选择逻辑，可组合实现多种逻辑功能：4 个 LUT4；2 个 LUT4 + 1 个 LUT5；2 个 LUT5；一个 LUT6 等。每个 enhanced LUT5 结合内部进位逻辑以及进位输入可以实现 2 位全加器。一个 LSLICE 可实现 4 位加/减法，并实现快速进/借位输出（FCOL）。

2.1.2 PFB 操作模式

MSLICE 有 4 种操作模式：逻辑，算术，分布式 RAM 和 ROM。

LSLICE 有 3 种操作模式：逻辑，算术和 ROM。

■ **逻辑模式**

在逻辑模式中，MSLICE 中的 LUT4 配置成 4 输入组合逻辑查找表，任意 4 输入函数都可以用这个查找表实现。LSLICE 中的 enhanced LUT5 可配置成多种组合的逻辑查找表。SLICE 内的 LUT 还可以通过内部输出组合电路级联成更大的查找表。

表 2-1- 1 常见逻辑实现

LUT5	1 MSLICE	1/2 LSLICE
MUX4	1 MSLICE	1/2 LSLICE
LUT6	2 MSLICE	1 LSLICE
LUT7	-	2 LSLICE

- **算术模式**

算术模式会利用 SLICE 内部快速进位链实现快速、高效的算术功能，MSLICE 和 LSLICE 都支持算术模式。可支持的算术逻辑有：加法，减法，带控制选择的加/减法器，计数器，乘法器以及比较器。

PFB 内部共有两条进位链，分别连接纵向 MSLICE 和纵向 LSLICE。可级联纵向相邻的 PFB 实现宽比特位算术逻辑。

- **分布式 RAM 模式**

MSLICE 可配置成此模式，两个 MSLICE：SLICE0 和 SLICE1 相结合可配置成 16x4 的简单双口 RAM（一口写/一口读）。

- **ROM 模式**

所有 SLICE 在 LUT 逻辑下可用作 ROM 模式，用户可以通过软件设置 ROM 初值。

2.1.3 寄存器

PFB 内每个 SLICE 包含 2 个可配置寄存器。可锁存 LUT 的输出或者来自互连的 MI 输入。寄存器配置选项：

- 边沿触发的锁存器（DFF） 或 电平使能锁存器（LATCH）
- 同步或异步进行复位 0 或置位 1
- 是否带有 ClockEnable 使能
- CLK/CE/SR 带有上升沿/下降沿/0/1 选择

2.1.4 互连（Routing）

可编程互连实现 FPGA 内部各个功能块之间的信号传输。AL3 系列器件内部拥有丰富的互连资源，包括线间选通开关、线缓冲器以及信号走线。AL3 系列互连线全部带有缓冲器，从而实现高速信号传输和可靠的信号完整性。

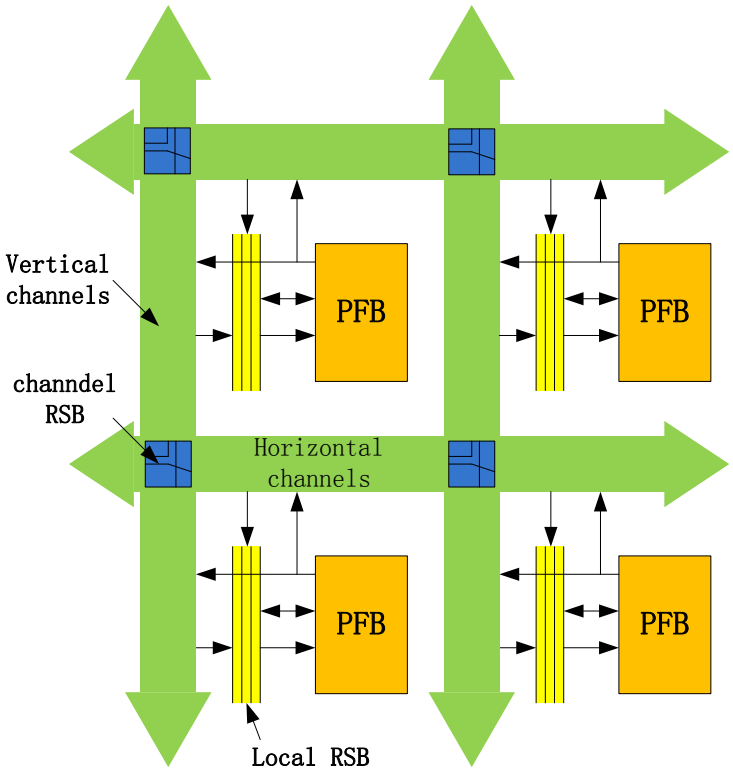


图 2-1- 4 AL3 互连架构

PFB 间信号通过水平通道和垂直通道传输。PFB 可以直接驱动水平/垂直通道。通道之间通过 channel RSB(routing switch box) 进行切换。通道上传输的信号通过 local RSB 进入 PFB。

2.2 嵌入式存储器模块（EMB）

2.2.1 简介

AL3 系列器件支持嵌入式存储器模块（EMB）。AL3 中包括两类 EMB：EMB9K 和 EMB32K。

EMB9K 每块容量 9Kbits，多个 EMB9K 模块排成一列，按列分布在 PFB 的阵列中。每个 EMB9K 的高度和 2.25 个 PFB 相当。4 个 EMB9K 等于 9 个 PFB 的高度。

EMB32K 每块容量 32Kbits，分布在 IO 空隙中。

EMB9K 可实现：

- 单口 RAM/ROM
- 双口 RAM
- 简单双口 RAM（也称为伪双口）
- FIFO（EMB9K 内嵌有硬件 FIFO 控制器）。

EMB9K 模块支持的功能特色有：

- 9216 （9K）bits / 每块
- A/B 口时钟独立
- 可单独配置 A/B 口数据位宽，真双口从 x1 到 x9，支持 x18 简单双口（一写一读）
- 9 或 18 位写操作时带有字节使能（Byte Enable）控制
- 输出锁存器可选择（支持 1 级流水线）
- 支持 RAM/ROM 模式下数据初始化（通过初始化文件在配置过程中对 EMB9K 数据初始化）
- 支持多种写操作模式。可选择只写（Normal），先读后写（Read before Write），写穿通（Write through）三种模式。

表 2-2- 1 EMB9K 特色

类别	特性
容量	9K
配置(深度 x 位宽)	8192 x 1　4096 x 2　2048 x 4 1024 x 8 或 9　512 x 16 或 18
奇偶位（Parity bits）	8+1　16+2
字节使能（Byte enable）	有，可选择
输入地址/数据寄存器	有
单口模式(Single-port mode)	支持
简单双口模式(Simple dual-port mode)	支持
真双口模式(True dual-port mode)	支持
ROM 模式	支持
FIFO 模式	支持
数据输出寄存器	有，可选择
独立数据输出寄存器使能	有
Read-during-write	输出旧数据(read before write) 输出写数据（write through）
工作前 RAM 初始化	支持

字节使能（Byte Enable）

EMB9K 支持字节使能功能，可在写操作时对写入数据按字节屏蔽，被屏蔽的字节不会被写入 RAM。字节使能（Byte Enable[1:0]）信号分别对应写入数据的 datain[15:8]和 datain[7:0]。

写操作时并行读操作（Read-during-Write）

AL3 系列的 EMB9K 支持同端口的 read-during-write 。read-during-write 是指在单口 RAM 或真双口 RAM 模式时，用户在写入数据的同时，读出同一地址的数据到输出端口。而默认非 rdw 选择，输出数据保持不变（No change）。

RDW 模式下用户有两种选择：读出旧数据(Read Before Write)；读出新数据即正要写入的数据(Write Through)。

2.2.2 RAM 存储器模式

EMB9K 按工作模式分为 RAM 存储器模式（包括 ROM）和 FIFO 模式。两种模式下 EMB9K 用户端口名称和设置略有不同。

EMB9K 在 RAM 模式下是 A/B 口独立的双口 RAM，支持多种模式的同步 RAM 操作和 ROM 操作。EMB9K 不支持异步 RAM 写入。

2.2.3 RAM 存储器模式下的端口信号

EMB9K 的控制信号、时钟输入信号 A/B 口完全独立，输入控制信号有：

片选信号（ChipSelect），时钟使能（Clock Enable），输入/输出寄存器复位控制信号（RST），写/读操作（WE），数据输出寄存器锁存使能（OCE），字节使能（Byte Enable[1:0]）。

表 2-2- 2 控制信号逻辑

操作	CLK	CS	ClockEnable	RST	WE
写操作	上升沿	1	1	0	1
读操作	上升沿	1	1	0	0
IDLE	x	1	0	0	x
Save power	x	0	0	0	x

EMB9K 的端口如下表：

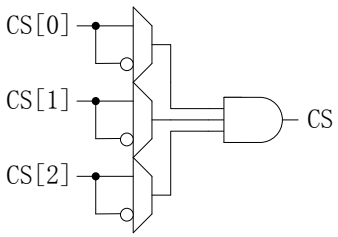
表 2-2- 3 RAM 模式下的端口信号

A 端口名	方向	说明
dia[8:0]	输入	A 端口数据输入，简单双口 18 位输入端口模式时作为低 9 位数据输入
addra[12:0]	输入	A 端口地址输入，[12:4]作为 word 地址一直有效，[3:0]取决于 bit 模式。 在 18 位模式时，addra[1:0]复用为字节使能信号 Byte Enable[1:0]。
Doa[8:0]	输出	A 端口数据输出，简单双口 18 位输出端口模式时作为低 9 位数据输出
clka	输入	A 端口时钟输入，默认上升沿有效（可反向），简单双口 18 位模式时作为输入地址/数据端口时钟

rsta	输入	A 端口复位信号，默认高有效（可反向），可配置同步/异步复位
cea	输入	A 端口时钟有效控制信号，默认高有效（可反向）。
Wea	输入	A 端口写入/读出操作控制，1 为写入操作，0 为读出操作；18 位写入模式时固定为 1。
Csa[2:0]	输入	A 端口 3 位片选信号（可反向），csa[2:0]=3'b111 时 EMB 被选中进行操作。3 位信号可分别独立设置是否反向。
Ocea	输入	A 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
B 端口名	方向	说明
dib[8:0]	输入	B 端口数据输入，18 位输入端口模式时作为高 9 位数据输入
addrb[12:0]	输入	B 端口地址输入，[12:4]作为 word 地址一直有效，[3:0]取决于 bit 模式
dob[8:0]	输出	B 端口数据输出，18 位输出端口模式时作为高 9 位数据输入
clkb	输入	B 端口时钟输入，默认上升沿有效（可反向），简单双口 18 位模式时作为输出地址/数据端口时钟
rstb	输入	B 端口复位信号，默认高有效（可反向），可配置同步/异步复位
ceb	输入	B 端口时钟有效控制信号，默认高有效（可反向）。
Web	输入	B 端口写入/读出操作控制，1 为写入操作，0 为读出操作；18 位读出模式时固定为 0。
Csb[2:0]	输入	B 端口 3 位片选信号（可反向），csb[2:0]=3'b111 时 EMB 被选中进行操作。3 位信号可分别独立设置是否反向。
Oceb	输入	B 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_B=“OUTREG”）才有效。

■ **多位片选信号逻辑说明：**

EMB9K 在 RAM 和 FIFO 模式下的 CS 由可反向的 3 位片选输入生成。其逻辑如下图所示（CSA，CSB 在 RAM 模式/CSW，CSR 在 FIFO 模式）：



CS 的配置属性：“SIG”表示对应 CS[x]输入信号直通，“INV”表示信号反向。

利用 3 位 CS 输入反向配置可不用额外逻辑就能实现地址译码，方便对 2~8 块 RAM 进行深度扩展。

■ **18 位模式时的字节使能（Byte Enable）：**

EMB9K 支持字节使能功能，可在写操作时对写入数据按字节屏蔽，被屏蔽的字节不会被写入 RAM。字节使能（Byte Enable[1:0]）信号分别对应写入数据的 datain[17:9]和 datain[8:0]。例如，Byte Enable[1:0]==00，两字节都不会被写入；Byte Enable[1:0]==01，低位字节写入（dia）。在 18 位模式时，字节使能 Byte Enable[1:0]信号和端口 addra[1:0]复用。

■ **写操作时并行读操作（Read-during-Write）**

AL3 系列的 EMB9K 支持同端口的 read-during-write 。read-during-write 是指在单口 RAM 或真双口 RAM 模式时，用户在写入数据的同时，同时读出同一地址的数据，输出到输出端口。而默认选择只写模式（Normal），输出数据保持不变。

RDW 模式下用户有两种选择：读出旧数据(Read Before Write)；读出新数据(Write Through)。

2.2.4 RAM 存储器模式下的常见配置

a) 单口模式（ Single-Port Mode）

单口模式支持非同时发生的对同一地址的读或写操作。EMB9K 内部有两套读写控制逻辑分别管理 A 口和 B 口，因此 EMB9K 可支持实现两个单口模式的 RAM 或 ROM。通常 ROM 也工作在此模式下。

EMB9K 在单口模式下支持的位宽

- 8192 x 1（独立的 A 口或 B 口实现）
- 4096 x 2（独立的 A 口或 B 口实现）
- 2048 x 4（独立的 A 口或 B 口实现）
- 1024 x 8，1024 x 9（独立的 A 口或 B 口实现）
- 512 x 16，512 x 18（A 口 B 口联合实现）

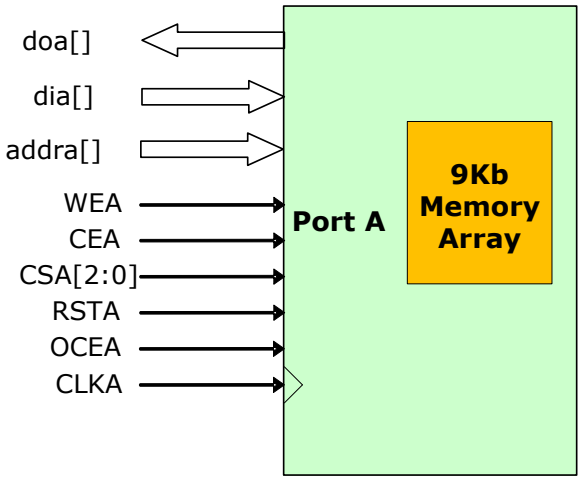


图 2-2- 1 利用 A 口实现的 9 位宽（及以下）单口 RAM

b) 简单双口模式（ Simple Dual-Port Mode）

当用一块 EMB9K 配置成 18 位写入或 18 位读出时，其不支持真双口模式，支持单口和简单双口模式。简单双口模式的配置连接如下。18 位模式时，A 端口控制信号作为写入控制信号，B 端口控制信号作为读出控制信号。18 位写入时，DIB[8:0]作为高 9 位数据输入，DIA[8:0] 作为低 9 位数据输入；18 位读出时，DOB[8:0]作为高 9 位数据输出，DOA[8:0] 作为低 9 位数据输出。

当用户使用 8/16 位宽时，禁止使用 DIA[9]，DIB[9]，DOA[9]，DOB[9]，防止因为读写位宽不同造成的内部数据映射失配。

表 2-2- 4 9/18 位简单双口模式时数据端口连接关系

模式	EMB9K RAM 端口	用户端口
W=18 位 R=18 位	DIA[8:0]	wdata[8:0]
	DIB[8:0]	wdata[17:9]
	DOA[8:0]	Rdata[8:0]
	DOB[8:0]	Rdata[17:9]
W<=9 位 R=18 位	DIA[]	Wdata[]
	DOA[8:0]	Rdata[8:0]
	DOB[8:0]	Rdata[17:9]
W=18 位 R<=9 位	DIA[8:0]	wdata[8:0]
	DIB[8:0]	wdata[17:9]
	DOB[]	Rdata[]

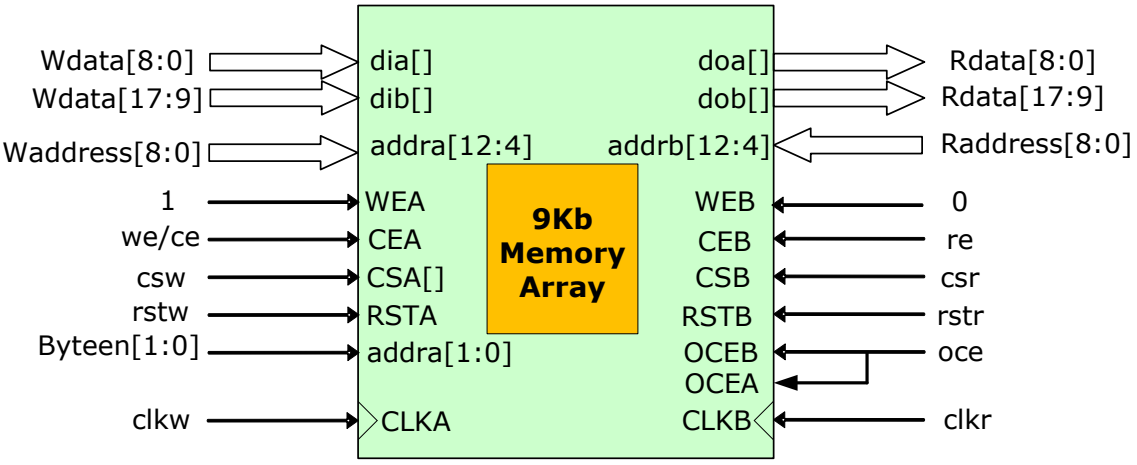


图 2-2- 2 简单双口 18 位写/18 位读端口连接

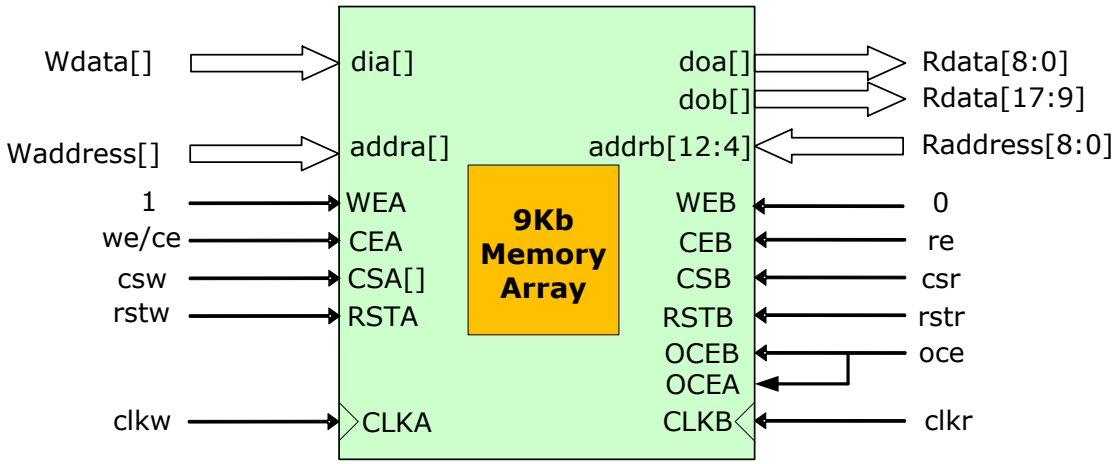


图 2-2- 3 简单双口模式<=9 位写/18 位读端口连接

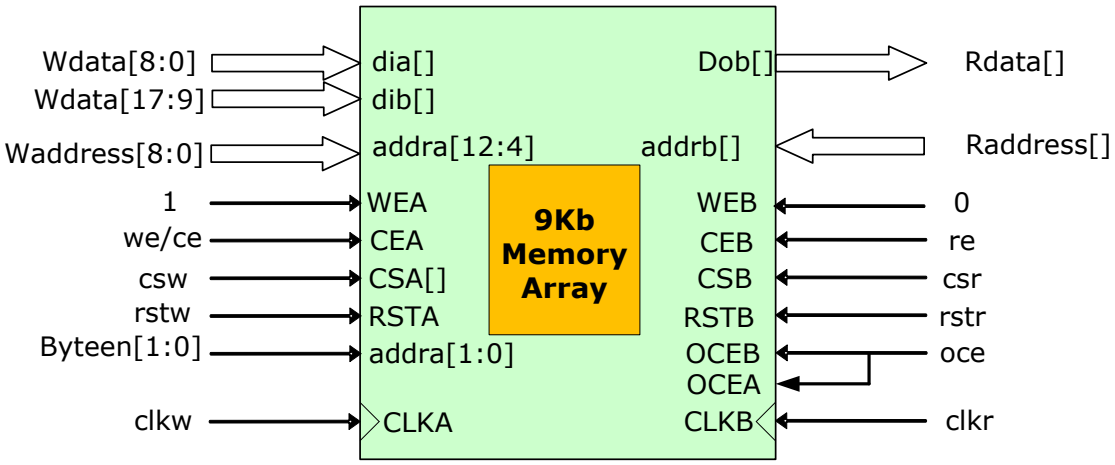


图 2-2- 4 简单双口模式 18 位写/<=9 位读端口连接

EMB9K 简单双口模式下支持 A 口/B 口不同位宽的混合端口宽度选择。

表 2-2- 5 为简单双口模式下支持的混合端口位宽配置

Read Port	Write Port						
	8Kx1	4Kx2	2Kx4	1Kx8	512x16	1Kx9	512x18
8Kx1	√	√	√	√	√		
4Kx2	√	√	√	√	√		
2Kx4	√	√	√	√	√		
1Kx8	√	√	√	√	√		
512x16	√	√	√	√	√		
1Kx9						√	√
512x18						√	√

表 2-2- 6 混合宽度时，WORD（16/18）和低位地址映射关系

	端口宽度	地址位宽度	DOB[8]	DOA[8]	最低 4 位地址 addr[3:0]值对应的 WORD 内部数据位															
	18	9	0		0															
	9	10	1	0	1								0							
	4	11	X	X	3				2				1				0			
	2	12	X	X	7		6		5		4		3		2		1		0	
	1	13	X	X	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
18/16 位 WORD 内部数据位			17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

c) 真双口模式（ Ture Dual-Port Mode）

真双口模式支持 A 口/B 口的所有独立读写操作组合：两读，两写，一读和一写。

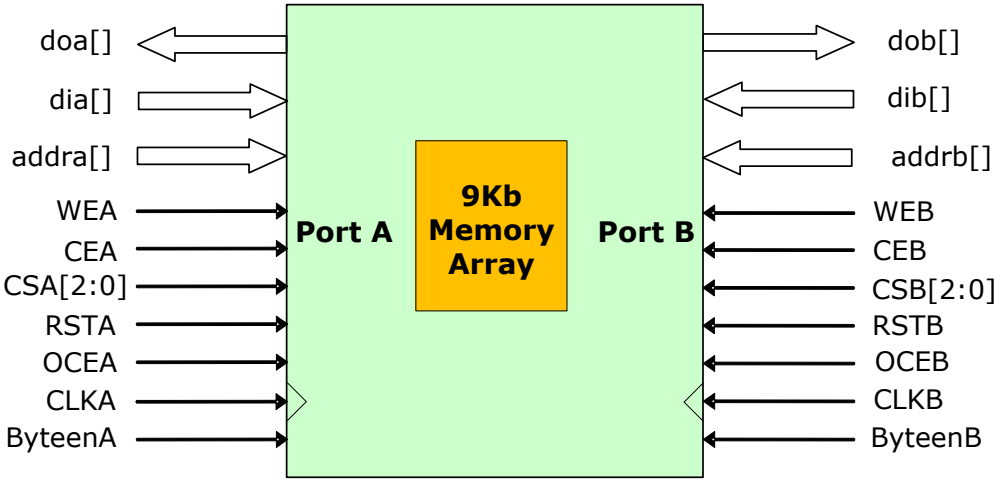


图 2-2- 5 位宽<=9 位时 A/B 双口 RAM

表 2-2- 7 为真双口模式下支持的混合端口位宽配置

Read Port	Write Port				
	8Kx1	4Kx2	2Kx4	1Kx8	1Kx9
8Kx1	√	√	√	√	
4Kx2	√	√	√	√	
2Kx4	√	√	√	√	
1Kx8	√	√	√	√	
1Kx9					√

d) ROM 模式

EMB9K 支持 ROM 模式。ROM 内容保存在初始化文件中，在芯片编程下载时写入 EMB9K 中。初始化值可以用 INIT_XX 和 INITP_XX 设置。ROM 输出可选择带寄存器或不带寄存器锁存。ROM 的读出操作和单口 RAM 的读操作时序相同。

2.2.5 2.2.5 FIFO 模式

EMB9K 内部集成 FIFO 控制器，硬件支持同步/异步 FIFO 模式。FIFO 模式下 EMB9K 位宽设置和简单双口 RAM 设置相同，最高可支持 18bit 输入和输出。

表 2-2- 8 FIFO 模式下的端口信号

输入端口名	方向	说明
dia[8:0]	输入	FIFO 数据输入， 16/18 位输入端口模式时作为低 9 位数据输入
dib[8:0]	输入	只在 16/18 位输入端口模式时作为高 9 位数据输入，其他位宽不使用。
Clkw	输入	FIFO 写端口时钟输入，默认上升沿有效（可反向）
rst	输入	FIFO 内部写指针/读指针复位信号（可反向）
we	输入	FIFO 写使能，1 为写入操作，0 无操作。
Csw[2:0]	输入	FIFO 写端口 3 位片选信号（可反向），类似 RAM 模式。
Ocea	输入	A 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
输出端口名	**方向**	**说明**
doa[8:0]	输出	只在 18 位输出端口模式时作为低 9 位数据输出，其他位宽时不使用。
Dob[8:0]	输出	<=9 位时作为数据输出，18 位输出端口模式时作为高 9 位数据输出。
Clkr	输入	读端口时钟输入，默认上升沿有效（可反向）
rprst	输入	FIFO 读指针复位信号
re		FIFO 读使能，1 为读操作，0 无操作。
Csr[2:0]	输入	FIFO 读端口 3 位片选信号（可反向），类似 RAM 模式。
Ocea	输入	doa 端口数据寄存器时钟使能，默认高有效（可反向）。只有 18 位输出端口模式并且当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
Oceb	输入	dob 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_B=“OUTREG”）才有效。
FIFO 标志名	方向	说明
empty_flag	输出	FIFO 读空标志，和 clkr 同步。
Aempty_flag	输出	FIFO 几乎读空标志，和 clkr 同步。相对读空提前量由 AE_POINT 参数决定。
Full_flag	输出	FIFO 满标志，和 clkw 同步。FIFO 满容量由 FULL_POINTER 参数决定。
Afull_flag	输出	FIFO 几乎满标志，和 clkw 同步。FIFO 几乎满容量由 AF_POINTER 参数决定。

表 2-2- 9 FIFO 模式支持的混合端口位宽配置

Read Port	Write Port						
	8Kx1	4Kx2	2Kx4	1Kx8	512x16	1Kx9	512x18
8Kx1	√	√	√	√	√		
4Kx2	√	√	√	√	√		
2Kx4	√	√	√	√	√		
1Kx8	√	√	√	√	√		
512x16	√	√	√	√	√		
1Kx9						√	√
512x18						√	√

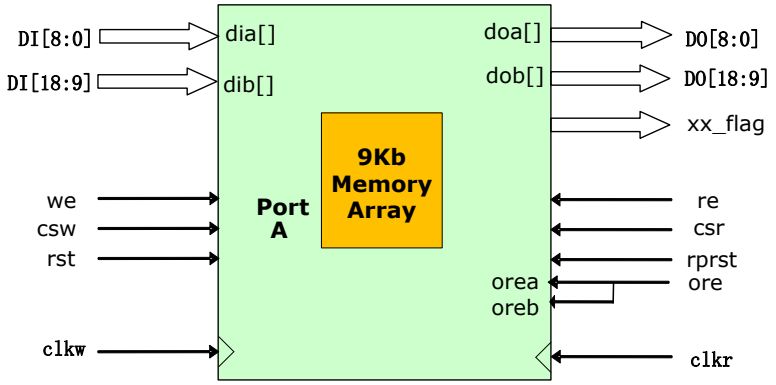


图 2-2- 6 18 位进/18 位出 FIFO 模式

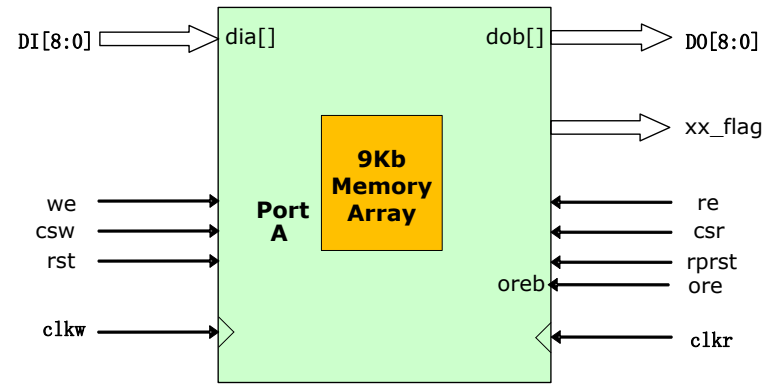


图 2-2- 7 <=9 位进/<=9 位出 FIFO 模式

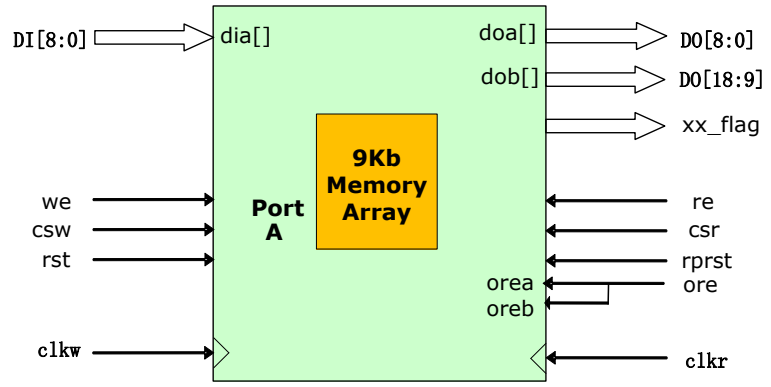


图 2-2- 8 9 位进/18 位出 FIFO 模式

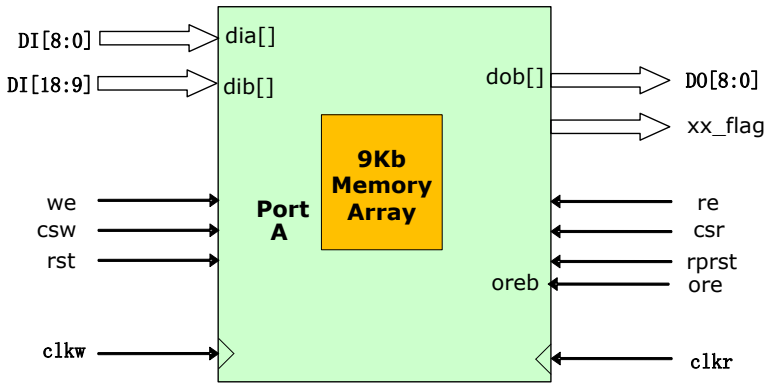


图 2-2- 9 18 位进/9 位出 FIFO 模式

■ **空满标志属性的设置**

FIFO 模式下用户可以通过软件设置 FIFO 空满标志属性。空标志(empty_flag)，几乎空标志（almost_empty），满标志 (full_flag) ，几乎满标志(almost_full)。当内部计数器计数到标志值时会在 FF/AF/EF/AE 相应端口输出高电平。

表 2-2- 10 FF/AF/EF/AE 属性设置

FIFO 属性名称	描述	设置范围
FF	Full flag	1 to Max
AF	Almost full	1 to Full-1
AE	Almost empty	1 to Full-1
EF	Empty setting	0

■ **FIFO 模式下常用配置**

FIFO 模式的 CSW/CSR 和 RAM 模式中的 CSA/CSB 接口逻辑类似。当 FIFO 写满或读空时为了避免指针溢出，可以通过互连资源将满信号反向后接入 csw 端，空信号反向后接入 csr 端。反向逻辑可以利用 csw/csr 内部的反向与逻辑实现。

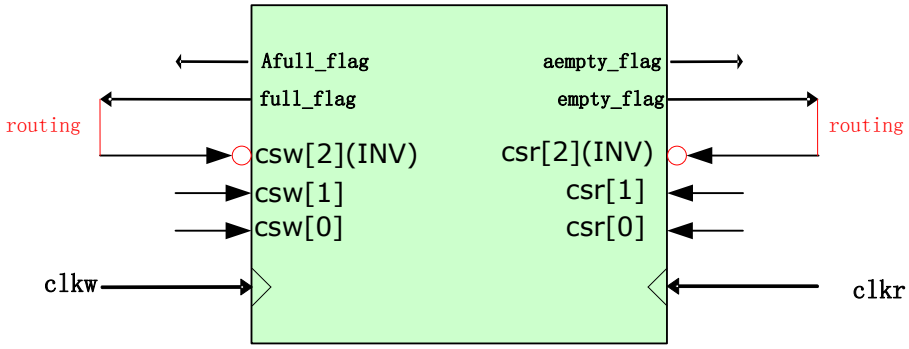


图 2-2- 10 单个 EMB9K FIFO 模式连接

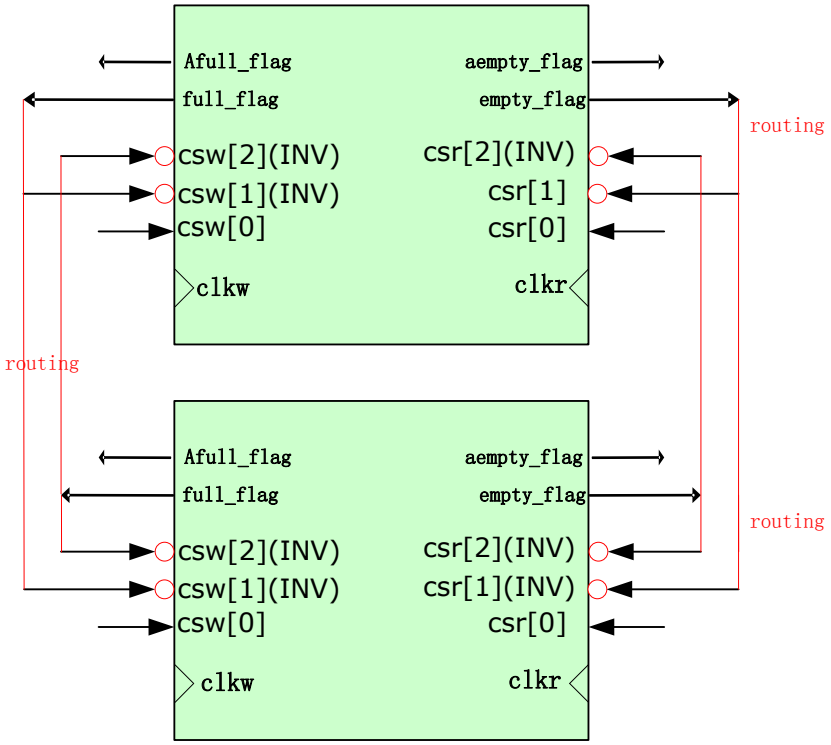


图 2-2- 11 两个 EMB9K FIFO 级联模式连接

2.2.6 EMB32K 介绍

AL3 系列器件中存在嵌入式真双口存储器模块 EMB32K，存储器容量 32K bits。

EMB32K 可实现：

- 单口 RAM
- 双口 RAM

EMB32K 模块支持的功能特色有：

- 32K bits / 每块，可设置为 2K*16 或 4K*8
- A/B 口时钟独立。

- 可单独配置 A/B 口数据位宽，支持 8 位/16 位两种宽度
- 输出锁存器可选择（支持 1 级流水线）
- 支持多种写操作模式。可选择只写（Normal），写穿通（Write through）两种模式

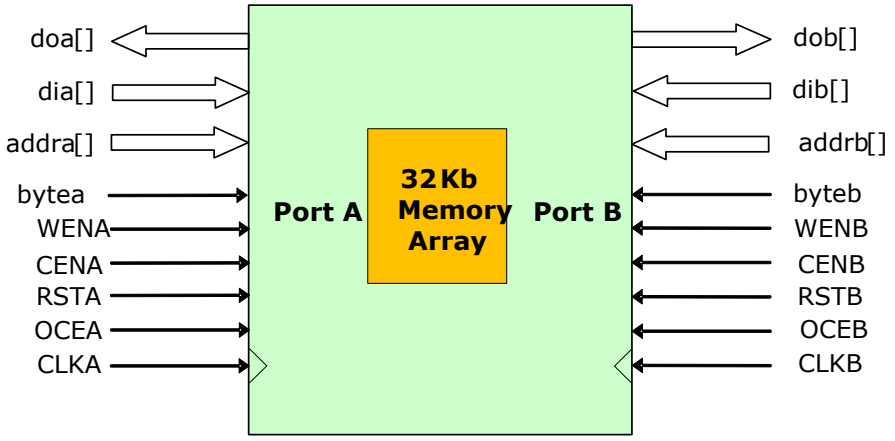


图 2-2- 12 EMB32K　双口 RAM

表 2-2- 11 EMB32K 端口信号

A 端口名	方向	说明
dia[15:0]	输入	A 端口数据输入，8 位输入端口模式时 dia[7:0]有效。
Addra[10:0]	输入	A 端口地址输入，2K 深度。
Bytea	输入	8 位模式时作为最低位地址。
Doa[15:0]	输出	A 端口数据输出，8 位输出端口模式时只 doa[7:0]有效
clka	输入	A 端口时钟输入，默认上升沿有效（可反向）
rsta	输入	A 端口数据输出寄存器同步复位信号，默认高有效（可反向）
cena	输入	A 端口时钟有效控制信号，默认低有效（可反向）。
Wena	输入	A 端口写入/读出操作控制，0 为写入操作，1 为读出操作；
ocea	输入	A 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
B 端口名	**方向**	**说明**
dib[15:0]	输入	B 端口数据输入， 8 位输入端口模式时 dib[7:0]有效
addrb[10:0]	输入	B 端口地址输入，2K 深度
byteb	输入	8 位模式时作为最低位地址。
Dob[15:0]	输出	B 端口数据输出， 8 位输出端口模式时 dob[7:0]有效
clkb	输入	B 端口时钟输入，默认上升沿有效（可反向）。
Rstb	输入	B 端口数据输出寄存器同步复位信号，默认高有效（可反向）
cenb	输入	B 端口时钟有效控制信号，默认低有效（可反向）。
Wenb	输入	B 端口写入/读出操作控制，0 为写入操作，1 为读出操作。
Oceb	输入	B 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_B=“OUTREG”）才有效。

2.3 时钟资源

AL3 系列 FPGA 包含两种时钟资源，一个是给核心逻辑、嵌入式存储器和 DSP 使用的全局时钟（GCLK），另一个是支持高速输入/输出接口的输入输出时钟 （IOCLK）。

2.3.1 全局时钟

AL3 系列全局时钟资源源包含专门的时钟输入，缓冲器和布线网络。时钟资源提供 16 个低延迟、低偏斜、互联的全局时钟网络。全局时钟网络能够为 FPGA 各个模块提供统一的高性能、低抖动、低偏斜时钟源。同时全局时钟也可用于高扇出信号。

在全局时钟传输路径上有两级多路选择器，第一级为 8:1，用于从 PLL 输出、时钟管脚、内部分频器、内部逻辑反馈中选择一路作为全局时钟的驱动；在 8:1 多路选择器的输出端，插入了一级动态时钟时能逻辑，可以实现无毛刺的时钟动态使能；从四个边共送进 32 路时钟资源，经过在传输路径上的延时平衡，分别送到位于芯片中间的第二级 36:1 多路选择器，进而分别送到 4 个象限驱动用户逻辑 DFF。

整个芯片以水平和垂直中间线为四个象限，每个象限有 16 路独立的全局时钟资源。

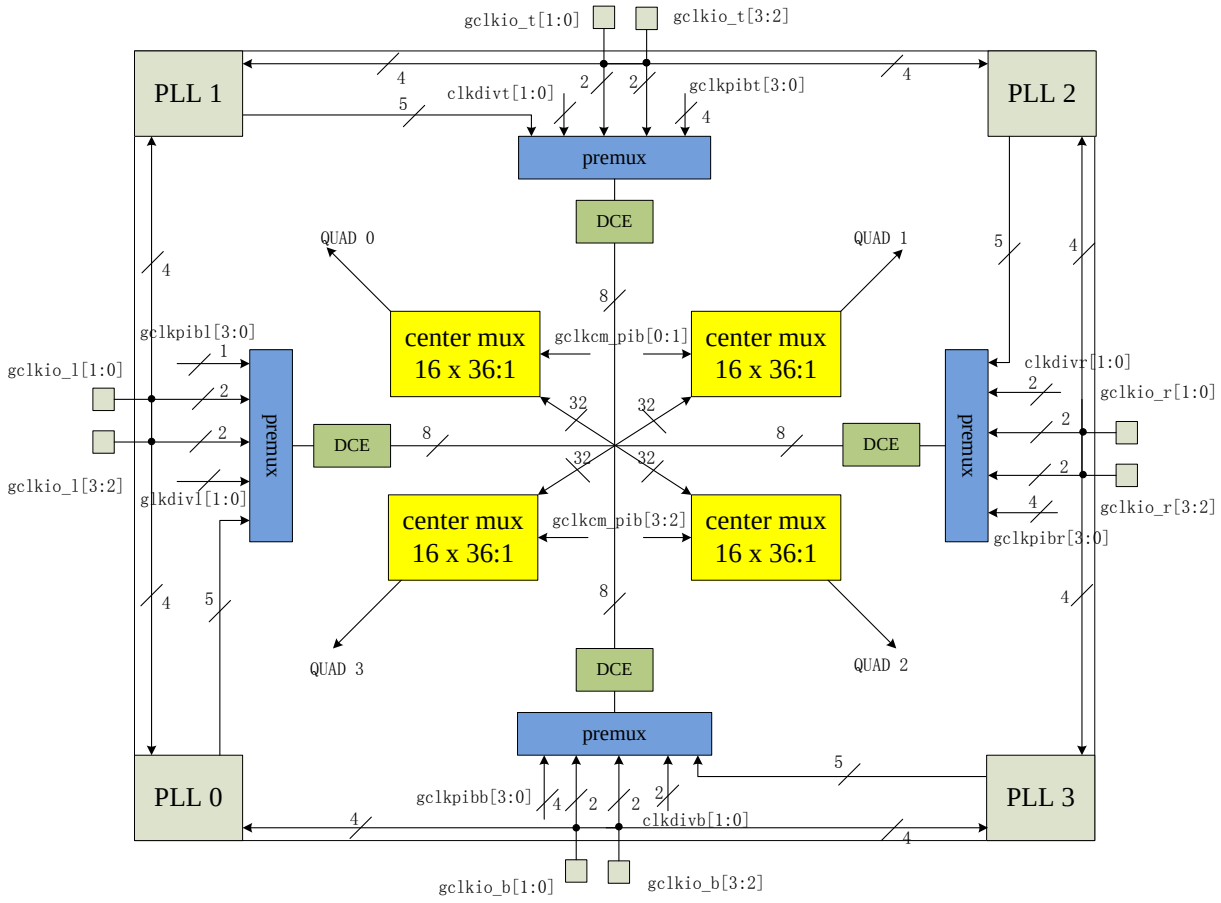


图 2-3- 1 全局时钟分布网络

注：AL3A6/A10 只有 PLL0 和 PLL2

2.3.1.1 动态时钟使能(DCE)

动态时钟使能(DCE)模块允许用户通过逻辑描述动态控制时钟网络。当选定时钟被禁止，所有被该时钟驱动的逻辑模块都将静止，从而减少功耗。

2.3.1.2 时钟切换模块(CSB)

每个 AL3 器件有 2 个全局时钟动态时钟切换模块。时钟切换模块把所有 32 路全局时钟第一级多路选择器的输出作为输入。动态时钟切换器的设计允许将其配置成一个具有两个时钟输入的同步或异步无毛刺信号 2:1 多路复用器。

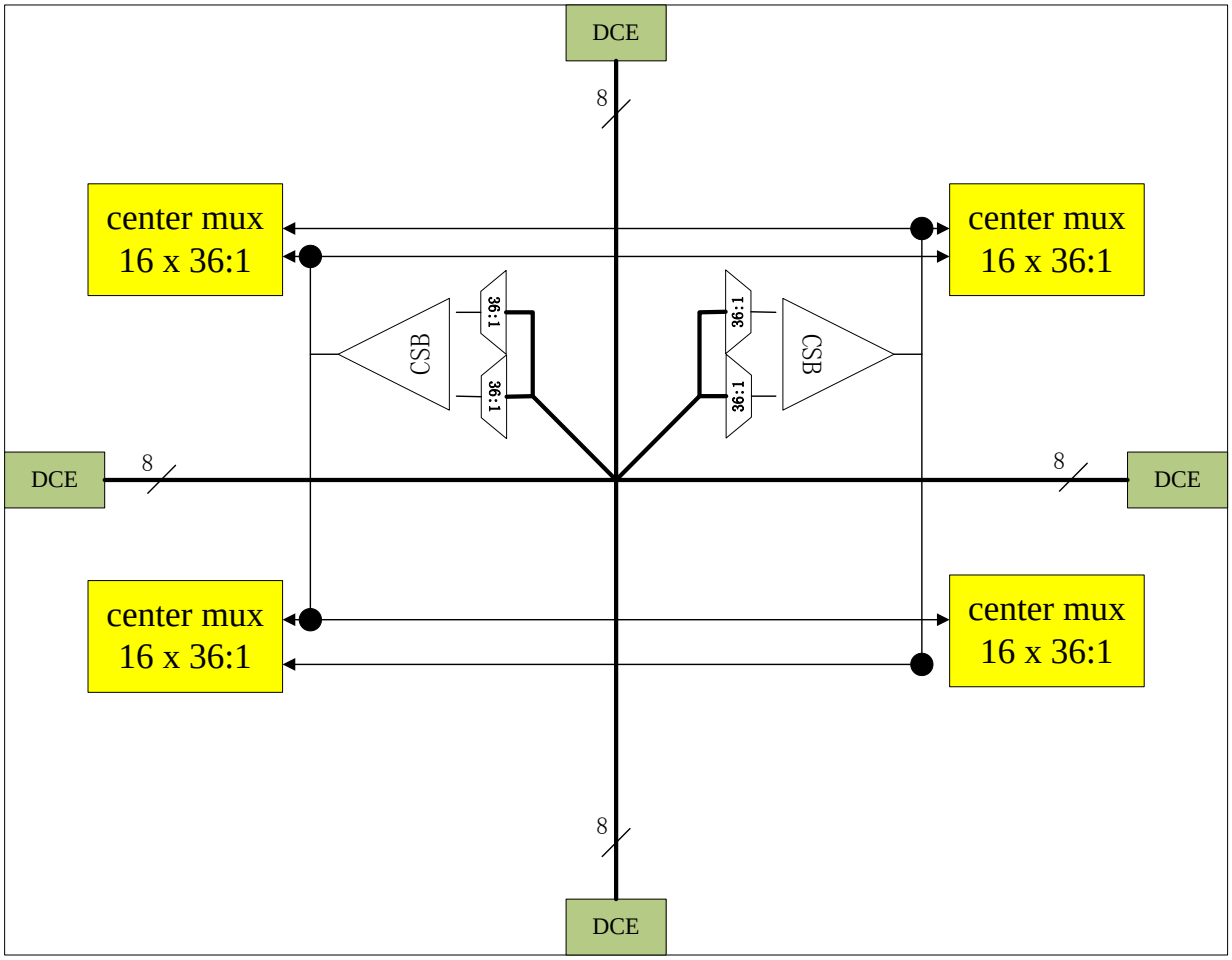


图 2-3- 2 CSB 框图

图 2-3- 3 给出了 CSB 模块工作时序图。

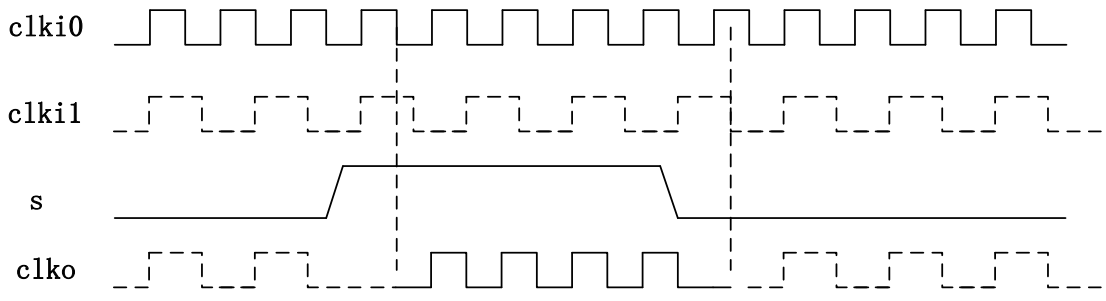


图 2-3- 3 CSB 时序图

表 2-3- 1 DCS 操作模式表

模 式	S		描 述
	1	0	
CSB	clki0	clki1	下降沿触发，锁存状态为低
CSB_1	clki0	clki1	上升沿触发，锁存状态为高
BUFGCE	0	clki1	使能高有效，非使能状态输出低
BUFGCE_1	0	clki1	使能高有效，非使能状态输出高
BUFGCEB	clki0	0	使能低有效，非使能状态输出低
BUFGCEB_1	clki0	0	使能低有效，非使能状态输出高
BUFG0	clki0	clki0	时钟缓冲器
BUFG1	clki1	clki1	时钟缓冲器
BUFGMUX	clki0	clki1	有毛刺时钟切换

2.3.2 输入输出时钟

边界时钟 (IOCLK) 是可以在 AL3 器件中使用的一种时钟缓冲器。IOCLK 驱动 I/O 列内一个独立于全局时钟资源的专用时钟网。这样，BUFIO 就可以理想地适合源同步数据采集（传送/接收器时钟分配）。IOCLK 可以由位于同一时钟区域的 clock capable I/O 驱动，也可以由 PLL 输出驱动。典型的 I/O 组中有两个 IOCLK。每个 IOCLK 可驱动同一区域/组中的一个 I/O 时钟网络。IOCLK 不能驱动逻辑资源（PLB、EMB 等），因为 IOCLK 时钟网络只能覆盖同一组或时钟区域内的 I/O 列。

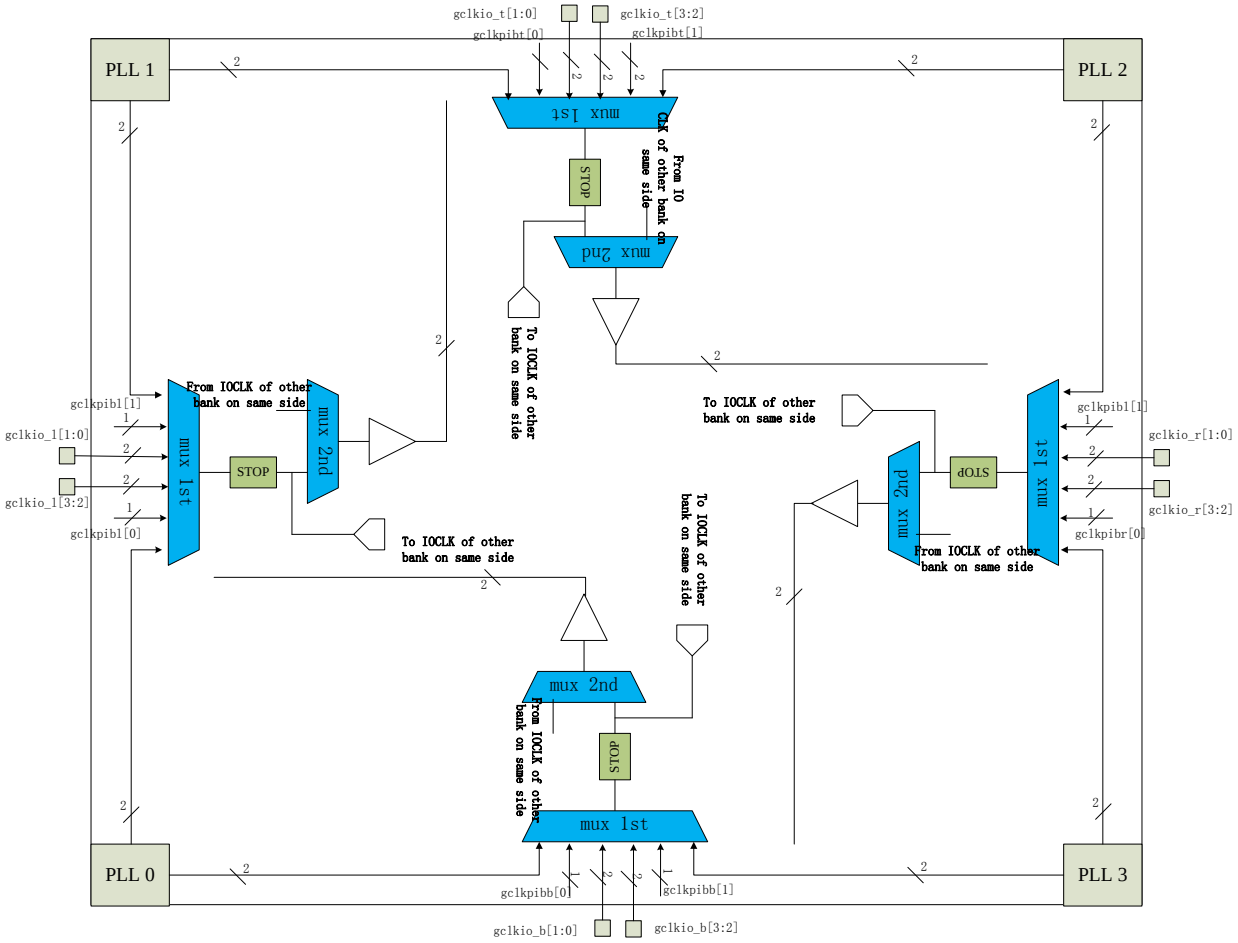


图 2-3- 4 IOCLK 架构图

注：AL3A6/10K 只有 PLL0 和 PLL2

2.3.3 时钟分频器

AL3 器件在每个 I/O 组中都有两个时钟分频器。时钟分频器把输入时钟分频，其输入来自于相同 I/O 组的边界时钟。输出分频系数可以是 1/2/4 中的任意一个。

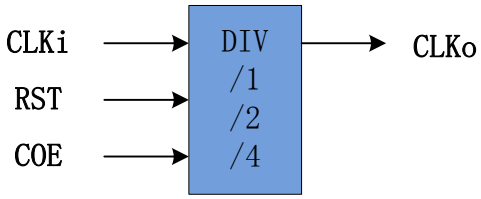


图 2-3- 5 时钟分频器

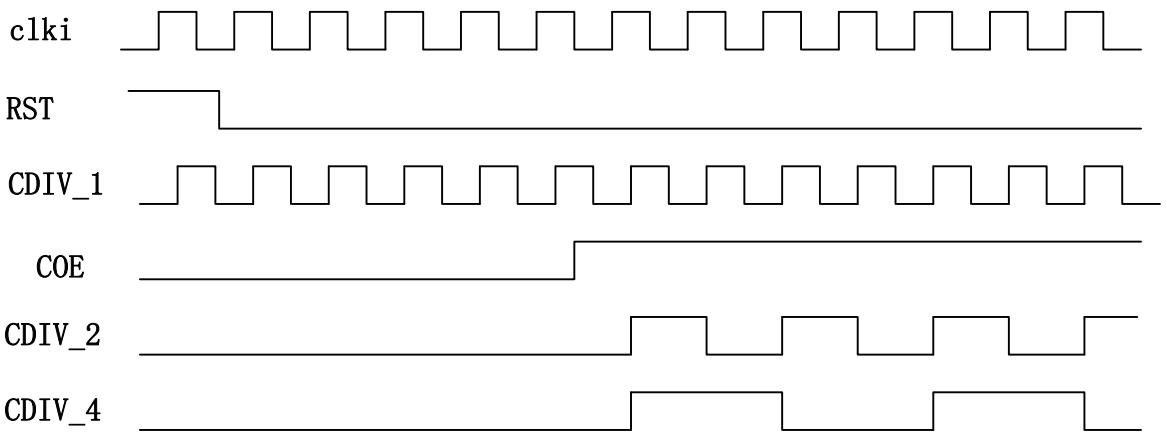


图 2-3- 6 时钟分频器时序

2.4 锁相环 PLL

2.4.1 简介

AL3 系列 FPGA 最多内嵌有 4 个多功能锁相环（PLL0~PLL3），可实现高性能时钟管理功能。每个 PLL 都能实现时钟分频/倍频/输入和反馈时钟对准/多相位时钟输出功能。

PLL 参考时钟输入有：时钟网络输出、互连输出和内部振荡器输出。

PLL 反馈时钟输入有：时钟网络输出、内部寄存器时钟节点、互连输出、PLL 内部反馈时钟以及相移时钟 C0~C4。

PLL 有专门的输出驱动芯片的专用时钟输出管脚。

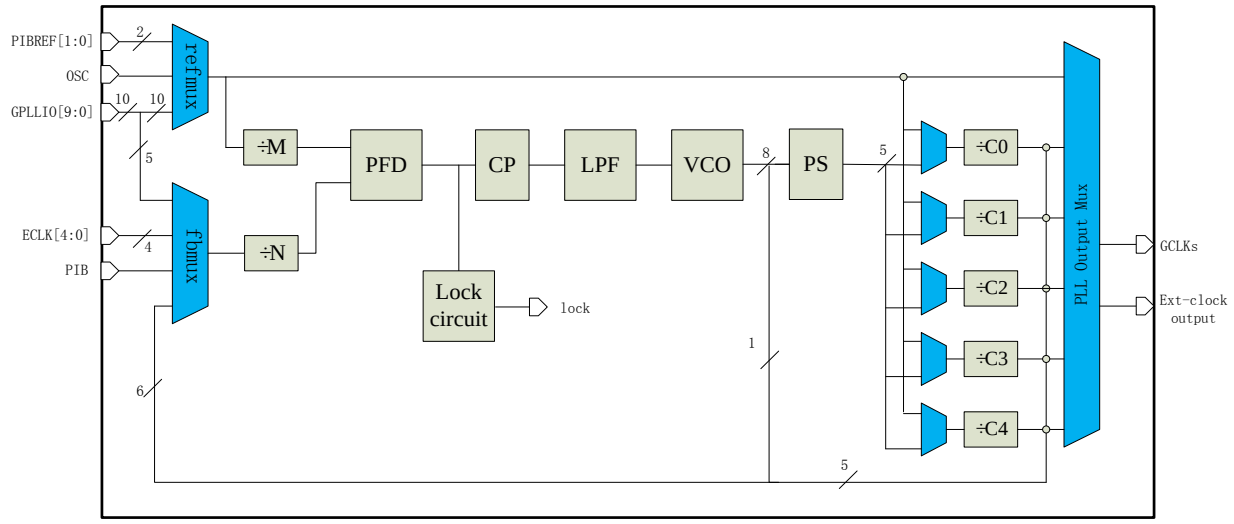


图 2-4- 1 AL3 PLL 架构图

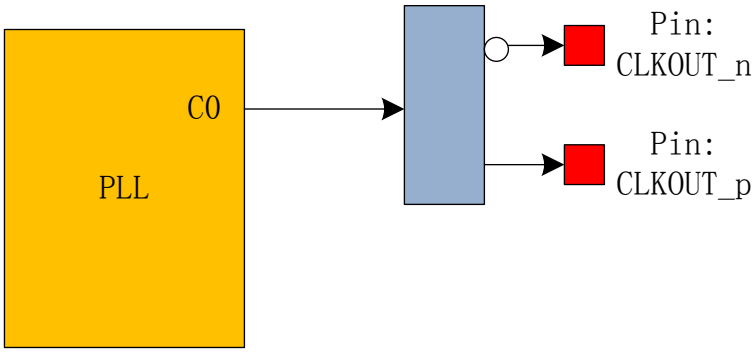


图 2-4- 2 AL3　C0 直接输出到时钟输出 IO 管脚（差分模式）

表 2-4- 1 AL3 PLL 特性表

Feature	AL3 PLL
输入时钟频率范围	10-400 Mhz
输出时钟频率范围	4-400 Mhz
VCO 频率范围	300-1200 Mhz
输出端口数	5 (各端口相位独立可选)
参考时钟分频系数(M)	1 to 128
反馈时钟分频系数(N)	1 to 128
输出时钟分频系数(C0-4)	1 to 128
相移分辨率	45°
输出端口可选相位偏移量（°）	0，45，90，135，180，225，270，315
用户动态相移控制	支持（+/-每单位 45 度相移）
锁定状态输出	Lock
专用时钟输出管脚	支持

2.4.2 动态相移

AL3 系列 PLL 支持动态相移功能。AL3 系列 PLL 控制属性分为静态和动态配置两种。静态配置由用户通过软件设置生成码流，经过上电下载后不能更改。

静态配置参数包括：

- 参考/反馈时钟输入/输出选择
- 参考时钟分频系数(M)
- 反馈时钟分频系数(N)
- 输出时钟分频系数(C0-4)

动态相移是指用户可以通过向 PLL 控制输入接口发送信号从而改变 PLL 5 个时钟输出 C0-C4 的相位输出。AL3 动态相移控制通过递加/递减的方式调节相位。递进步长为输出时钟的 45 度除以输出分频

数。用户通过 PHASECOUNTERSELECT [2:0]信号选择对某一路输出进行相移。

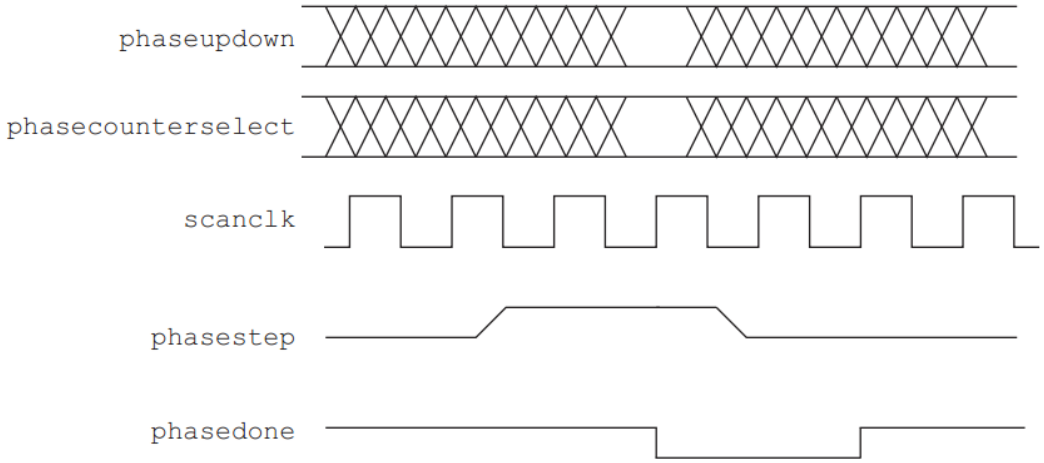


图 2-4- 3 PLL 动态相移控制时序

2.4.3 时钟反馈模式

AL3 系列 PLL 支持 4 种反馈模式。每种模式都支持时钟分频/倍频和相移。

a) 源同步模式（Source-Synchronous Mode）

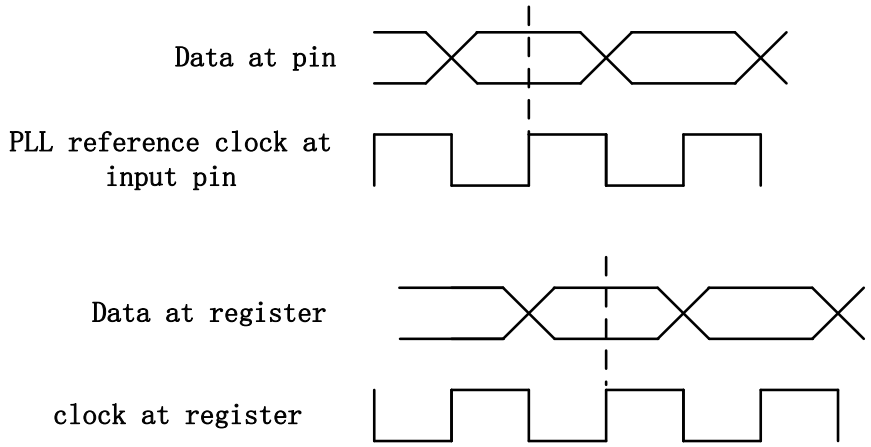


图 2-4- 4 源同步模式

如图 2-4- 4 源同步模式通过动态相移功能，调节时钟相位保证数据端口到 IOB 输入寄存器的延迟和时钟输入端口到 IOB 寄存器的延迟相等（数据和时钟输入端口模式相同情况下）。

b) 无补偿模式（No Compensation Mode）

在无补偿模式，PLL 不对时钟网络延迟进行补偿，PLL 采用内部自反馈，这会提高 PLL 的抖动特性。

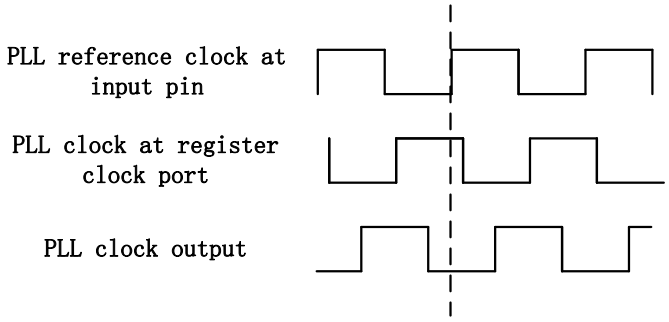


图 2-4- 5 无补偿模式（相位不对齐）

c) 普通模式

普通模式中，PLL 会补偿 GCLK 网络延迟，保证内部寄存器输入时钟相位和时钟管脚相位一致。

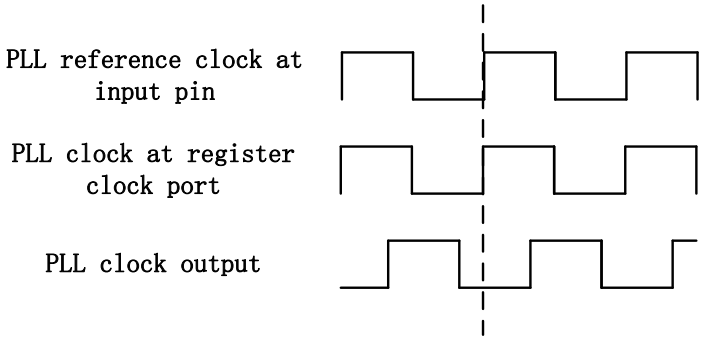


图 2-4- 6 普通模式（1/2 时钟相位对齐）

d) 零延迟缓冲模式

零延迟缓冲模式，时钟输出管脚相位和 PLL 参考时钟输入管脚相位对齐。

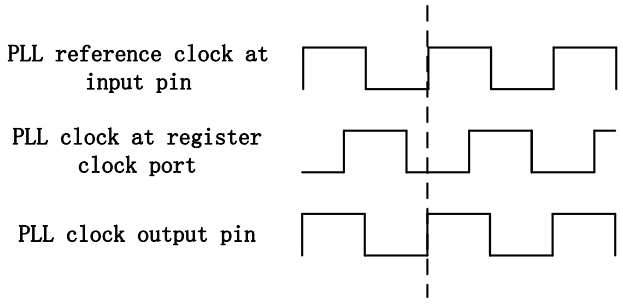


图 2-4- 7 零延迟缓冲模式（1/3 信号相位对齐）

2.5 数字信号处理（DSP）

AL3 器件结合了片上资源与外部接口，这有助于提高性能、减少系统成本，以及降低数字信号处理(DSP)系统的功耗。AL3 器件本身或者作为 DSP 器件的协处理器，都可用于提高 DSP 系统的性价比。

2.5.1 体系结构

图 2-5- 1 给出了了一个嵌入式乘法器列以及相邻的逻辑阵列模块高度对应关系。嵌入式乘法器可以

配置成一个 18×18 乘法器，或者配置成两个 9×9 乘法器。每个嵌入式乘法器均由以下几个单元组成：

- 乘法器级
- 输入与输出寄存器
- 输入与输出接口

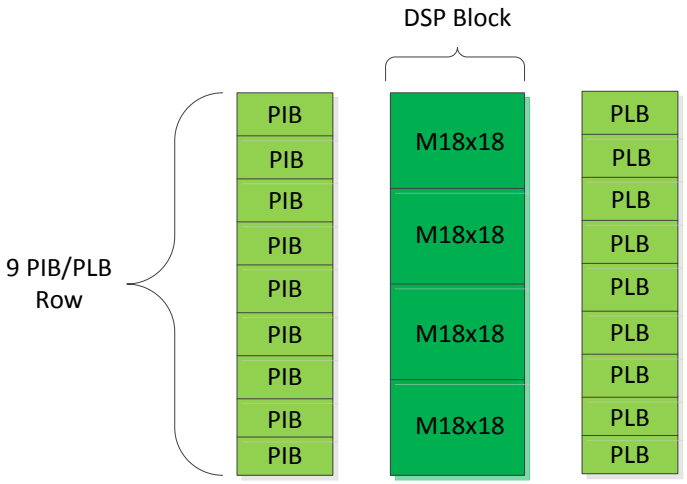


图 2-5- 1 与 PLB 相邻的按列排列的嵌入式乘法器

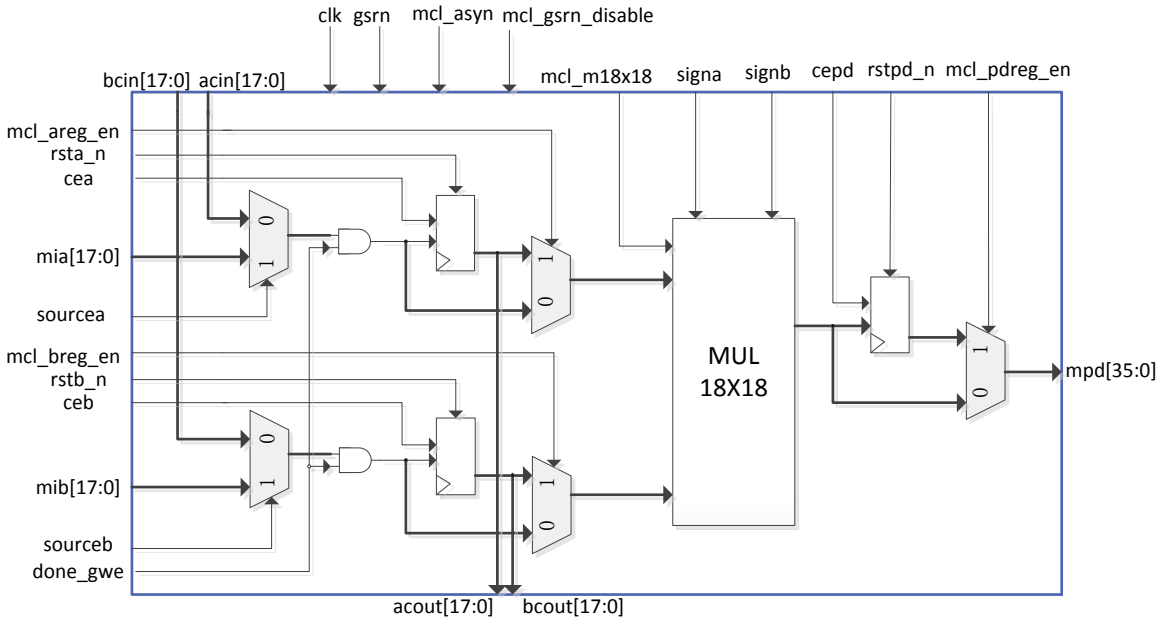


图 2-5- 2 乘法器模块的体系结构

a) 输入寄存器

根据乘法器的操作模式，可以将每个乘法器输入信号连接到输入寄存器，或直接以 9bit 或 18 bit 的形式连接到内部乘法器。可以分别设置乘法器的每个输入是否使用输入寄存器。例如：将乘法器 mia

信号连接到输入寄存器，将 mib 信号直接连接到内部乘法器。

下列控制信号可用于嵌入式乘法器中的每一个输入寄存器：

- 时钟
- 时钟使能
- 同步/异步清零

同一个嵌入式乘法器中的所有输入与输出寄存器均由同一时钟信号驱动，时钟使能信号以及异步清零信号驱动可以独立配置。

b) 乘法器级

嵌入式乘法器模块的乘法器级支持 9x9 或者 18x18 乘法器，并支持这些配置之间的其它乘法器。根据乘法器的数据宽度或者操作模式，单一嵌入式乘法器能够同时执行一个或者两个乘法运算。

乘法器的每一个操作数都是一个唯一的有符号或者无符号数。Signa 与 signb 信号控制乘法器的输入，并决定值是有符号的还是无符号的。如果 signa 信号为高电平，则 mia 操作数是一个有符号数值。反之，mia 操作数便是一个无符号数值。

表 2-5- 1 给出了不同符号类型的操作数的乘积结果对应的符号类型。如果任何一个操作数为有符号数，则乘积的结果为有符号数。

表 2-5- 1 乘法器符号表示

mia		mib		乘积
Signa	逻辑值	Signb	逻辑值	
无符号	0	无符号	0	无符号
无符号	0	有符号	1	有符号
有符号	1	无符号	0	有符号
有符号	1	有符号	1	有符号

每一个嵌入式乘法器模块只有一个 signa 信号和一个 signb 信号，用于控制模块输入数据的符号表示。如果嵌入式乘法器有两个 9 x9 乘法器，那么这两个乘法器的 mia 输入与 mib 输入将分别共享同一个 signa 信号和同一个 signb 信号。可以在运行时动态改变 signa 和 signb 信号，以修改输入操作数的符号表示。可以通过专用的输入寄存器发送 signa 以及 signb 。不管符号表示如何，乘法器都会支持全精度。

c) 输出寄存器

根据乘法器的操作模式，可以用 18 bit 或 36 bit 的形式来使用输出寄存器对嵌入式乘法器的输出进行寄存。下面的控制信号可用于嵌入式乘法器中的每一个输出寄存器：

- 时钟

- 时钟使能
- 同步/异步清零

同一个嵌入式乘法器中的所有输入与输出寄存器均由同一时钟信号驱动，时钟使能信号以及异步清零信号驱动可以独立配置。

关于 DSP 的端口说明如下表所示：

表 2-5- 2 乘法器端口说明表

名称	方向	位宽	描述
a	输入	18	来自 PIB 的 dsp 操作数输入。具有寄存器输入模式。
Acin	输入	18	来自前一级 dsp 的 acout 端口上的级联数据输入。具有寄存器输入模式。
Acout	输出	18	连接到下一级 dsp 的 acin 端口上的级联数据输出。
B	输入	18	来自 PIB 的 dsp 的另一操作数输入。具有寄存器输入模式。
Bcin	输入	18	来自前一级 dsp 的 bcout 的级联数据输入。具有寄存器输入模式。
Bcout	输出	18	连接到下一级 dsp 的 bcin 端口上的级联数据输出。
Cea	输入	1	输入寄存器的时钟使能信号。当 cea 为高电平时，amux 的输出传送给寄存器。
Ceb	输入	1	输入寄存器的时钟使能信号。当 ceb 为高电平时，bmux 的输出传送给寄存器。
Cepd	输入	1	输出寄存器的时钟使能信号。当 cepd 为高电平，dsp 的数据输出传送给寄存器。
Clk	输入	1	clk 是 dsp 的输入时钟，共同作用于内部所有的寄存器。
Rsta_n	输入	1	输入寄存器的复位信号。当 rsta_n 输入为低电平时，寄存器的输出为“0”。
Rstb_n	输入	1	输入寄存器的复位信号。当 rstb_n 输入为低电平时，寄存器的输出为“0”。
Rstpd_n	输入	1	输出寄存器的复位信号。当 rstpd_n 输入为低电平时，寄存器的输出为“0”。
Sourcea	输入	1	第一级数据选择器的控制端。当 sourcea 为高电平时，MUX 的输出是 a，当 sourcea 为低电平时，MUX 的输出是 acin。
Sourceb	输入	1	第一级数据选择器的控制端。当 sourceb 为高电平时，MUX 的输出是 b，当 sourceb 为低电平时，MUX 的输出是 bcin。
P	输出	36	dsp 的数据输出。

2.5.2 操作模式

根据不同的应用需要，可以选择如下两种的乘法器工作模式的一种：

- 一个 18 × 18 乘法器
- 最多两个 9 × 9 独立的乘法器

通过使用 AL3 器件的嵌入式乘法器，可以实现乘法加法器和乘法累加器功能，这一功能的乘法器部分由嵌入式乘法器来实现，而加法器或者累加器功能则在逻辑单元中实现。

a) 18 位乘法器

通过配置每一个嵌入式乘法器，来支持 10 到 18 位输入位宽的单一 18x18 乘法器。图 2-5- 3 给出了配置后的嵌入式乘法器，以支持一个 18 位乘法器。

所有的 18 位乘法器输入数据与结果均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数，或者两者的组合。另外，也可以动态修改 signa 与 signb 信号，并且通过专用的输入寄存器发送这些信号。

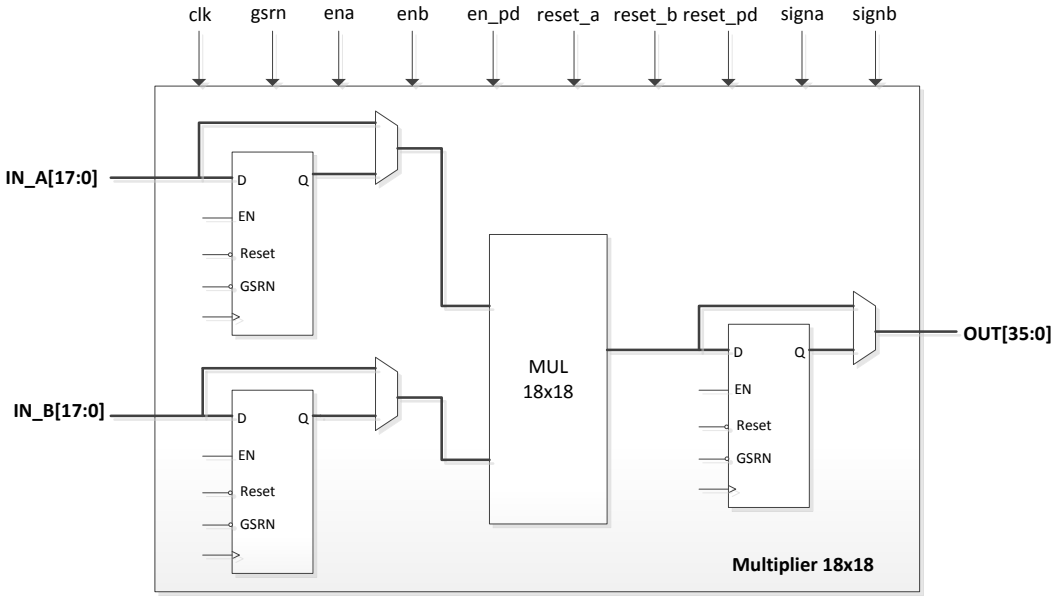


图 2-5- 3 18 位乘法器模式

b) 9 位乘法器

通过配置每一个嵌入式乘法器，以支持最多 9 位输入位宽的两个 9x9 乘法器。图 2-5- 4 给出了配置后的嵌入式乘法器，以支持两个 9 位乘法器。

所有的 9 位乘法器输入数据与结果均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数，或者两者的组合。同一嵌入式乘法器模块中的两个 9 × 9 乘法器共享同一个 signa 和 signb 信号。因此，用于驱动同一嵌入式乘法器的所有 mia 输入数据必须要有相同的符号表示。同样，用于驱动同一嵌入式乘法器的所有 mib 输入数据也必须要有相同的符号表示。

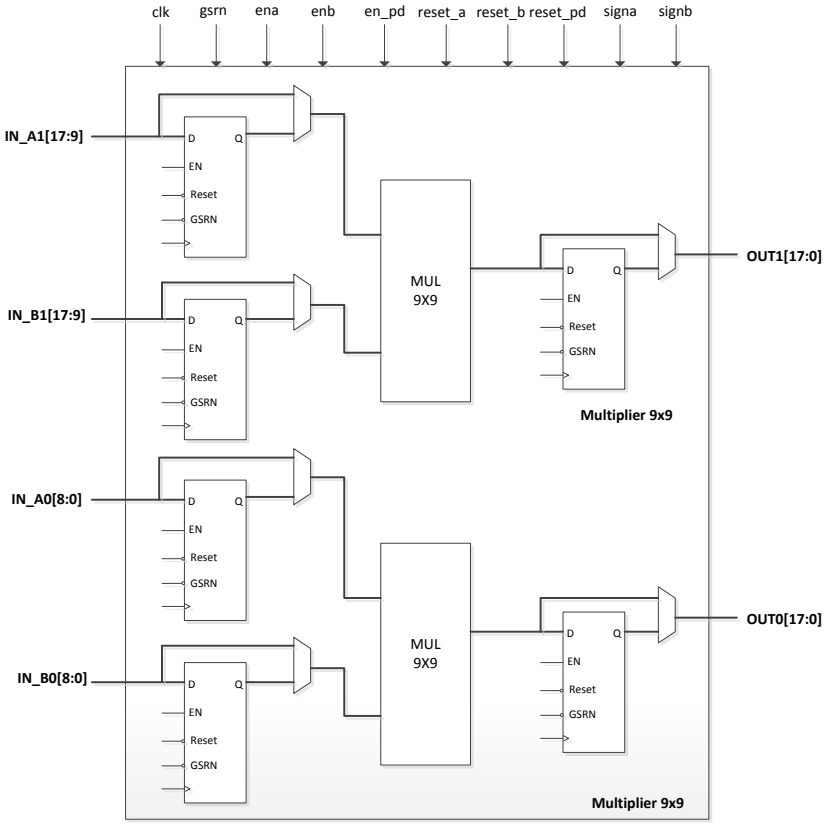


图 2-5- 4 9 位乘法器模式

2.6 输入输出逻辑（IOL）

2.6.1 输入寄存器

输入输出逻辑（IOL）中的输入寄存器用来处理高速接口，将其降低为内部核心逻辑可以处理的频率。输入寄存器中均包含可配置延时单元作为数据采样处理辅助。在次基本功能基础上增强了对普通双边沿数据(GDDR)的支持。

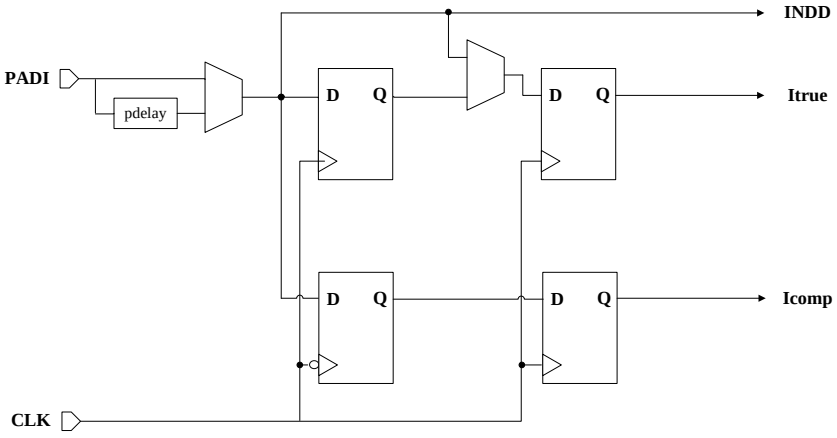


图 2-6- 1 输入寄存器框图

2.6.2 输出寄存器

输入输出逻辑（IOL）中的输出寄存器用来处理内部核心逻辑到高速 I/O 接口的时序。

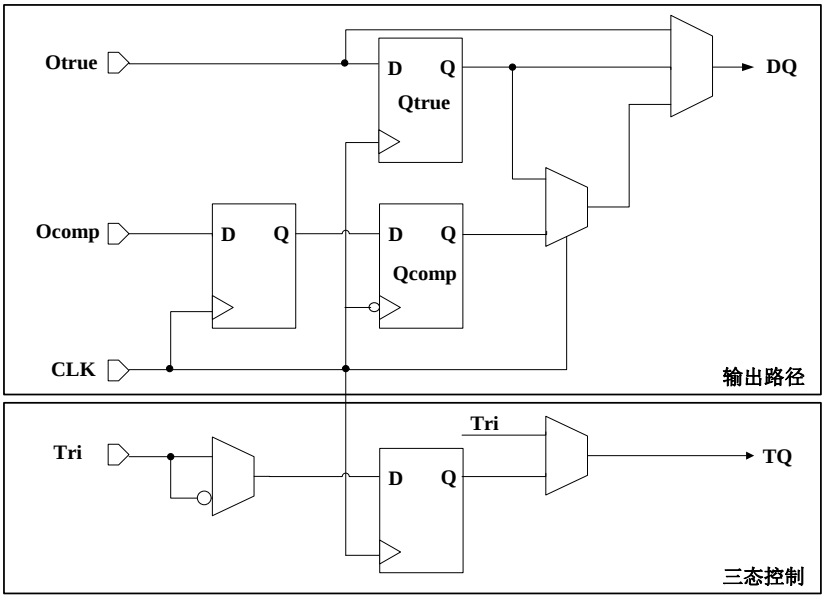


图 2-6- 2 输出寄存器框图

2.7 输入输出缓冲器（IOB）

2.7.1 IOB 简介

AL3 具有可配置高性能 I/O 驱动器和接收器，可支持种类繁多的标准接口。强大的功能集包括输出强度和斜率的可编程控制。

每个 IOB 包含输入、输出和三态驱动器。这些驱动器可以按照各种 I/O 标准配置。差分 I/O 使用在一个模块中的两个 IOB。

- 单端 I/O 标准（LVCMOS、LVTTL、HSTL、SSTL、GTL、PCI）
- 差分 I/O 标准（LVDS、LVPECL、BLVDS、差分 HSTL 和 SSTL）

图 2-7- 1 所示为基本 IOB 及其与内部逻辑和器件焊盘的连接。

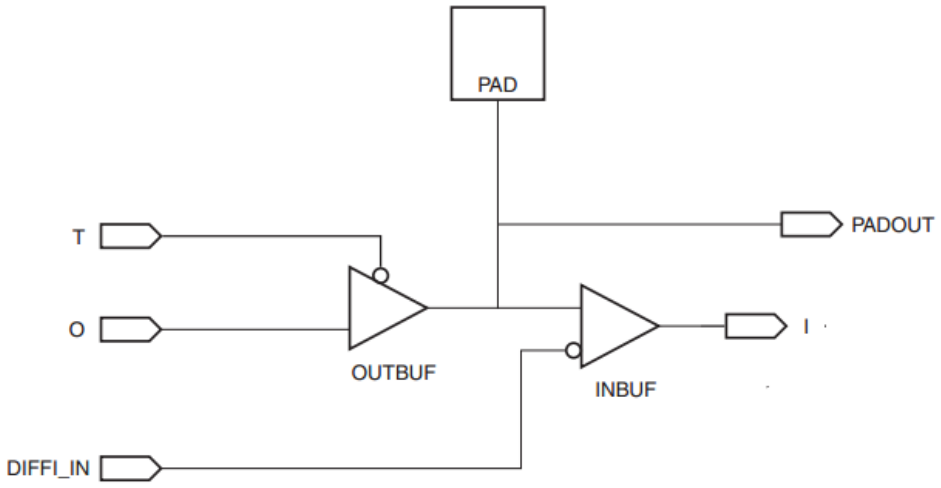


图 2-7- 1 基本 IOB 框图

各 IOB 直接连接 IOL 对，该逻辑对包含输入和输出逻辑资源，可用于数据和 IOB 的三态控制。

2.7.2 高速 LVDS 接口

AL3 器件支持的差分标准见表 2-7- 1。

表 2-7- 1 AL3 支持的差分标准

差分标准	I/O Location	接收		发送	
		支持	外部电阻	支持	外部电阻
LVDS	左/右	Yes	No	Yes	No
	上/下/左/右	Yes	Yes	Yes	3 电阻
RSDS	左/右	Yes	No	Yes	No
	上/下/左/右	Yes	Yes	Yes	3 电阻
mini-LVDS	左/右	Yes	No	Yes	No
	上/下/左/右	Yes	Yes	Yes	3 电阻
PPDS	左/右	Yes	No	Yes	No
	上/下/左/右	Yes	Yes	Yes	3 电阻
BLVDS	上/下/左/右	Yes	Yes	Yes	Yes
LVPECL	左/右	Yes	No	-	-
	上/下/左/右	Yes	Yes	Yes	3 电阻

True LVDS 与 Emulated LVDS 均可作为 LVDS25 标准输入，最大输入频率 400 MHz(800Mbps)。

作为输出时，True LVDS 采用 LVDS25 标准直接输出 LVDS 电平标准，无需外部匹配电阻，如图 2-7- 2 所示，最大输出频率是 400MHz(800Mbps)。

Emulated LVDS 作为输出时采用 LVDS25E 标准，最大输出频率 166MHz，且要外接 3R 电阻网络对

输出电压摆幅进行衰减以满足 LVDS 标准，如图 2-7- 3 所示。可以通过改变电阻网络值来降低功耗或者改善噪声容限。

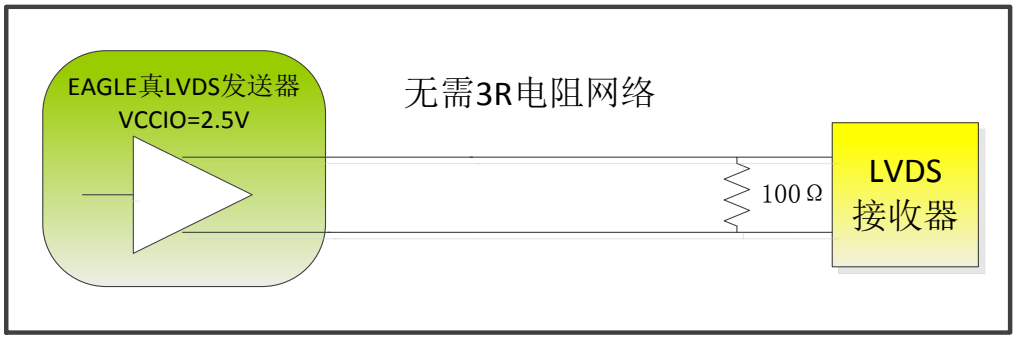


图 2-7- 2 True LVDS 输出

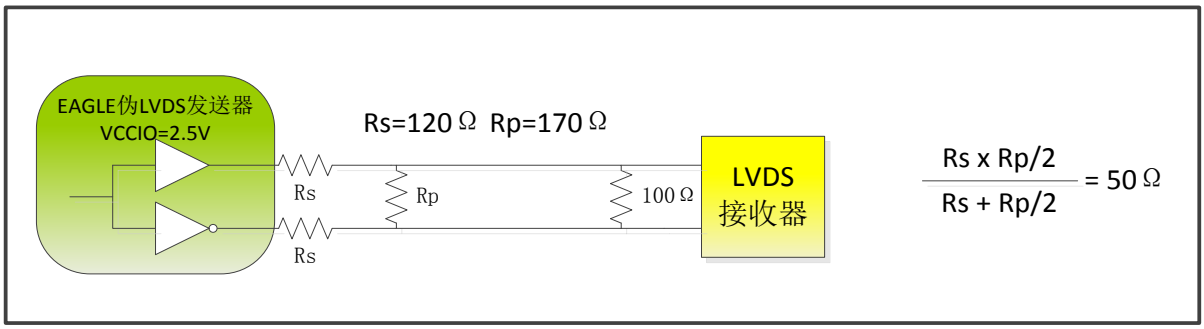


图 2-7- 3 Emulated LVDS 输出 3R 电阻网络

2.7.3 I/O 分组

AL3 器件有 8 个 I/O 组：每个边有两个用户 I/O 组。组 1 位于靠近配置逻辑（config）的下方，包含专用/共享配置接口。

每一个 I/O 组包含两个参考电压输入。每一个 I/O 组由对应的 V_{CCIO} 供电。

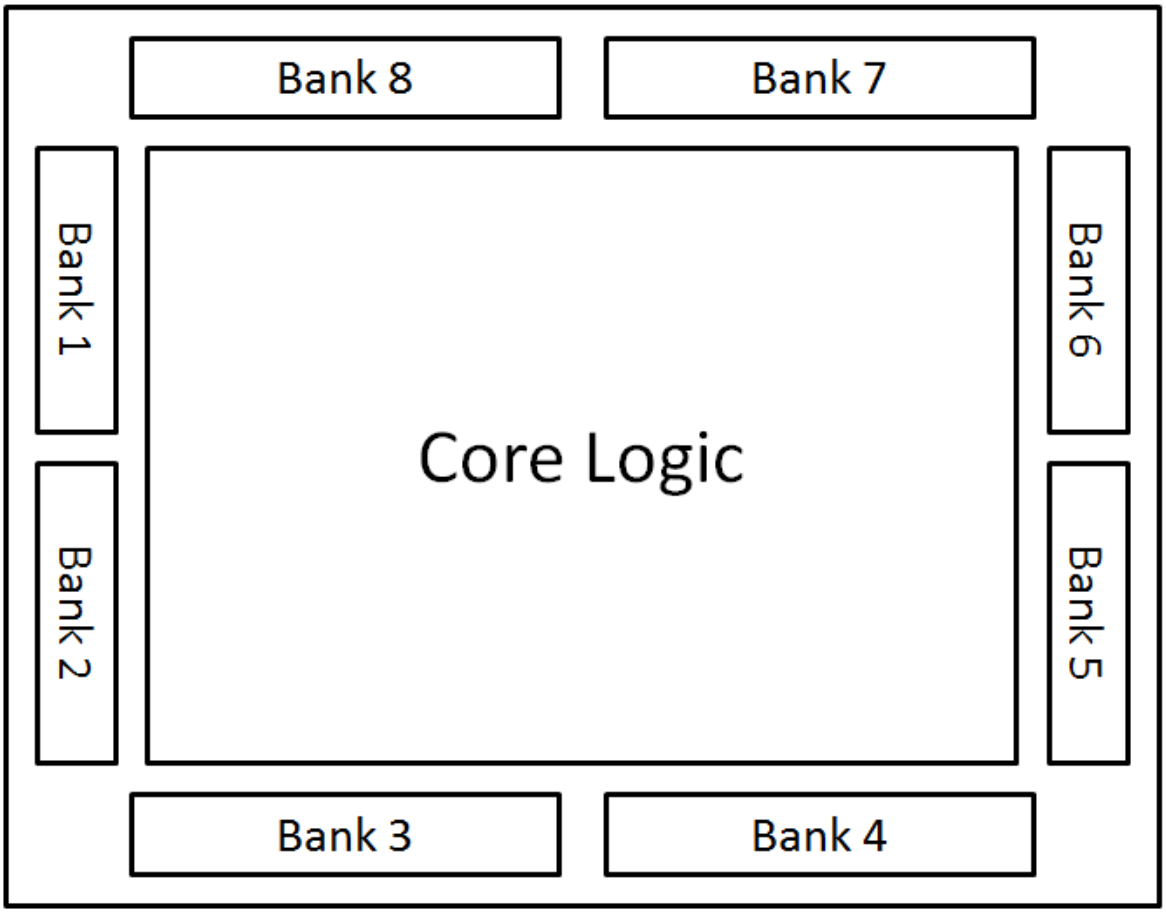


图 2-7- 4 I/O 组示意图

2.8 AL3 FPGA 配置说明

AL3 FPGA 芯片的配置是通过往芯片内部装载配置数据来实现。AL3 FPGA 芯片有一部分引脚是专用配置引脚，另一部分是复用引脚，复用引脚在配置完成之后可以用做一般输入输出，如下表所示。

表 2-8- 1 AL3 配置模式及引脚

配置模式								
配置引脚	类型	SS 从动串行 Slave serial	MS 主动串行 Master serial	SP 从动并行 Slave Parallel	MSPI 快速 SPI Master SPI Faster	标准 SPI Master SPI Standard	MP 主动并行 Master Parallel (X8)	JTAG
MSEL[2:0]	专用	=111	=000	=110	=001	=010	=011	XXX
PROGRAMN	专用	PROGRAMN						
INITN	专用	INITN						
DONE	专用	DONE						
CCLK	专用	CCLK						

CSN	专用	CSN		CSN				
TMS TCK TDO TDI	专用							TMS CK TDO TDI
D[7:2]	复用	-	-	D[7:2]			D[7:2]	
D[1]/ MOSI	复用	-	-	D[1]	MOSI	MOSI	D[1]	
D[0]/DIN/ MISO	复用	DIN	DIN-	D[0]	MISO	MISO	D[0]	
SPICSN	复用				SPICSN	SPICSN		
CSON/DOUT	复用	CSON /DOUT	CSON /DOUT	CSON	CSON /DOUT	CSON /DOUT	CSON	

下面的是专用配置的引脚：

- 配置模式选择引脚（MSEL[0]，MSEL[1]，MSEL[2]）
- 配置时钟引脚（CCLK）
- 配置开始信号引脚（PROGRAMN）
- 配置完成引脚（DONE）
- 配置错误指示引脚（INITN）
- 从模式配置片选引脚（CSN）
- 边界扫描相关引脚（TDI，TDO，TMS，TCK）

下面是复用配置引脚：

- 配置级联片选、数据输出脚（CSON/DOUT）
- SPI 模式片选输出（SPICSN）
- 配置数据输入引脚（D[7:0]），其中 D[1]还可以做为 MSPI 模式下的 MOSI，D[0]还可以作为从模式下的 DIN 以及 MSPI 模式下的 MISO。

根据不同的配置方式选择，CCLK 可以是 FPGA 芯片产生的时钟输出，也可以是外围电路产生的输入 FPGA 芯片。DONE 和 INITN 是开漏输出，必须有上拉电阻。

2.8.1 2.8.1 配置模式

AL3 FPGA 支持 7 种配置方式，分别是主动串行，从动串行，从动并行，主动并行，2 种 MSPI 模式和 JTAG 配置模式。配置模式由 M[2]、 M[1]、 M[0]三个模式选择信号来选择，具体选择关系见表 2-8- 1

AL3 系列 FPGA 配置位流长度 1.5M~26Mbits，需要配置芯片容量大于或等于 2M~32M bits。配置芯片可以使用 Xilinx、Altera 或其他公司兼容的 EEPROM，如 XCF04S 等，也可以使用工业标准串行 SPI 接口 FLASH，比如 M25Pxx、SST25LFxxx、S25FLxxx 等。 AL3 FPGA 支持 0B、03 两种读命令的 SPI FLASH，读命令由 M[2]、 M[1] 、M[0]电平来选择，MSPI FAST 模式下位 0X0B， MSPI Standard 模式下位 0X03。

配置流程

AL3 FPGA 芯片的整个配置过程可以分三个部分。首先，在芯片上电复位或者系统复位信号有效后进入复位阶段，等待内部信号和电源稳定后，系统进入初始化和内部配置信息清除，初始化完成后，FPGA 开始接受配置数据写入，写入完成后，FPGA 芯片启动阶段。

1. 初始化过程

AL3 FPGA 芯片上电后，系统需要经过初始化过程才能进入配置下载状态。 另外，用户如果需要重新对配置数据下载，拉低 PROGRAMN 后，系统进入初始化过程，初始化过程中，FPGA 将清除内部所有配置点，复位内部寄寄存器。

2. 配置数据写入

AL3 FPGA 初始化完成后，INITN 信号变为高电平，此时用户配置数据开始写入 AL3 FPGA。

INITN 信号变为高的时候，FPGA 采样模式选择信号电平，确定配置模式。JTAG 配置模式 INITN 信号变高后，可以在任何模式中进入。

3. 启动阶段

AL3 FPGA 完成所有配置点和块 RAM 的数据写入之后，进入启动过程。AL3 FPGA 启动主要完成以下功能：

1) 释放 DONE 信号。DONE 信号从低电平变为高电平表示 AL3 FPGA 顺利完成数据配置，反之则表示没有顺利完成配置。

2) 释放全局三态信号 GTS。全局三态信号 GTS 的释放，能够释放所有 I/O 管脚。

3) 释放全局复位/置位信号 GSR，允许所有的触发器改变状态。

4) 释放全局写使能信号 GWE，允许所有的 RAM 和触发器能够被写入。

2.8.2 串行配置模式

串行配置模式包括:主动串行（MS）、从动串行（MS）及 2 种 MSPI，共四种模式。

在 MSPI 模式下，AL3 FPGA 为 SPI 接口提供 2 个专用信号 MOSI 和 SPICSN，其中 MOSI 信号提供读命令，地址等信息，SPICSN 为 SPI 芯片片选。

MS 模式下，FPGA 只提供一个 CCLK 时钟。

AL3 FPGA 芯片 CCLK 输出驱动配置芯片，配置芯片的数据比特位流输出给 AL3 FPGA 芯片的 DIN 引脚。AL3 FPGA 芯片在每个 CCLK 的上升沿接收数据，DONE 拉高表示配置完成，如果配置出差，会将 INITN 信号拉低。

MSPI/MS 模式下的时钟 CCLK 由内部振荡器产生，用户能够选择 CCLK 频率范围。芯片上电时 CCLK 设定为一个默认的低频率值，用户可以通过位流软件频率选项来更改 CCLK 频率，CCLK 频率范围从 2MHz~64MHz。

SPI FPLASH 数据写入可以使用安路 FPGA 下载线通过 JTAG 在线写入，连接如图 2-8- 1 所示，也可以专用的烧写工具直接写入。

图 2-8- 1 是 MSPI 配置方式连接图， PROGRAM 信号控制复位 AL3 FPGA 配置，其中 INITN 和 DONE 信号为开漏输出信号，需要上拉电阻，DONE 信号变高，表示配置成功，芯片开始工作。其中 MSEL 引脚接 001 或者 010 分别对应着快速配置模式和标准配置模式，配置时序如图 2-8- 2 所示。

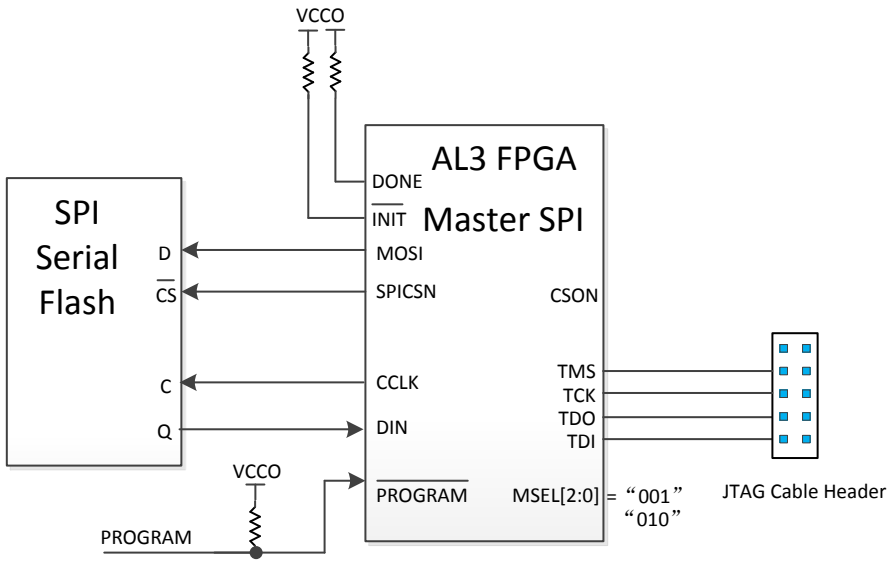


图 2-8- 1 AL3 FPGA MSPI 配置方式

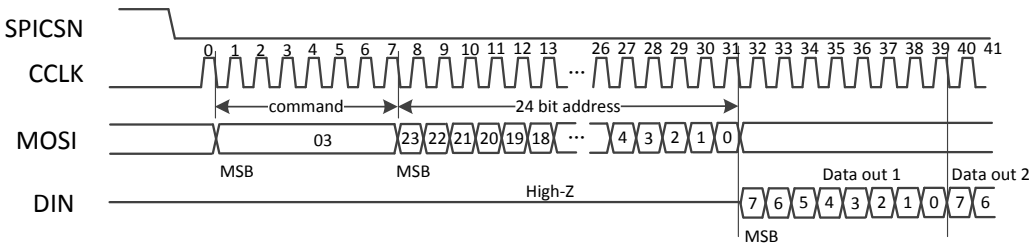


图 2-8- 2 MSPI 配置模式时序图

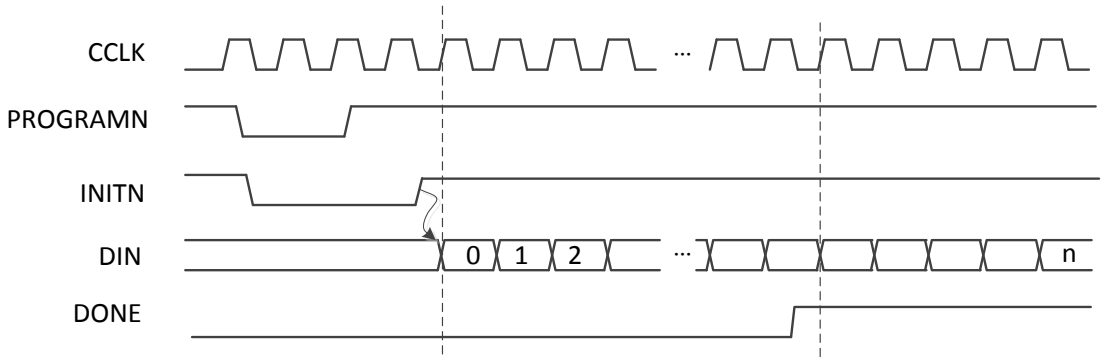


图 2-8- 3 串行配置模式时序图

主动/从动串行配置方式的时序如如图 2-8- 3 所示。PROGRAMN 拉低后，INITN 信号被拉低，表示芯片开始初始化，大约 1ms 后芯片初始化完成，INITN 回到高电平，配置开始，FPGA 在时钟的上升沿采集配置数据，在配置完成之后，DONE 信号变高，表示配置成功，芯片开始工作。

2.8.3 串行配置模式级联

需要多个 FPGA 协同工作时，可以采用级联配置方法。AL3 FPGA 支持 2 种级联方式：

Flow Through 和 Bypass 模式，级联工作模式由位流中的命令指定。

在 AL3 FPGA 芯片的配置数据下载时，若采用 Flow Through 模式，第一块 FPGA 配置完成后，输出 CSON 启动第二款芯片进入配置。而 Bypass 模式下，第一块芯片配置完成后，配置给其他 FPGA 的数据在每个 CCLK 上升时刻输出给 DOUT 引脚。级联配置芯片的 DONE 和 INITN 引脚通过上拉电阻线与连接在一起，只有 2 片都完成配置后，通过 DONE 芯片同时开始工作。

图 2-8- 4 是串行配置方式 Flow Through 级联模式图，图中有 2 个 FPGA 级联配置，第一个采用主动串行模式，第二个采用从动串行模式。图 2-8- 5 是串行配置方式 Bypass 级联模式图。

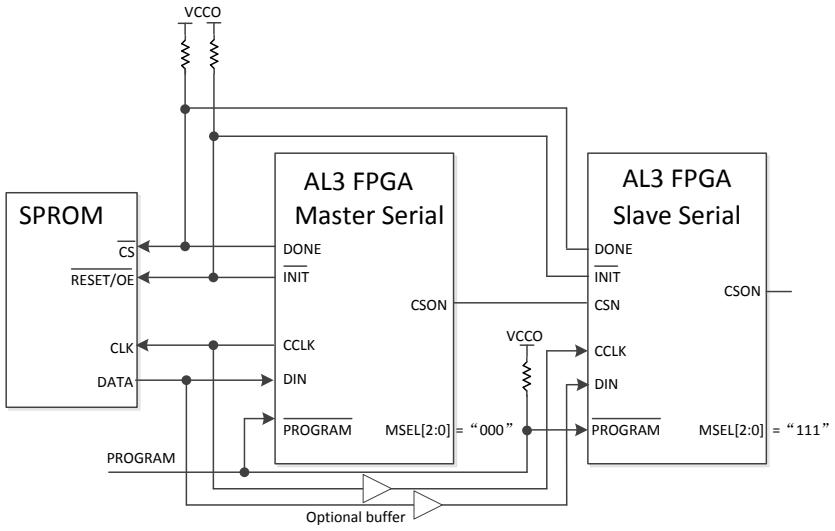


图 2-8- 4 主动、从动串行采用 Flow Through 级联配置图

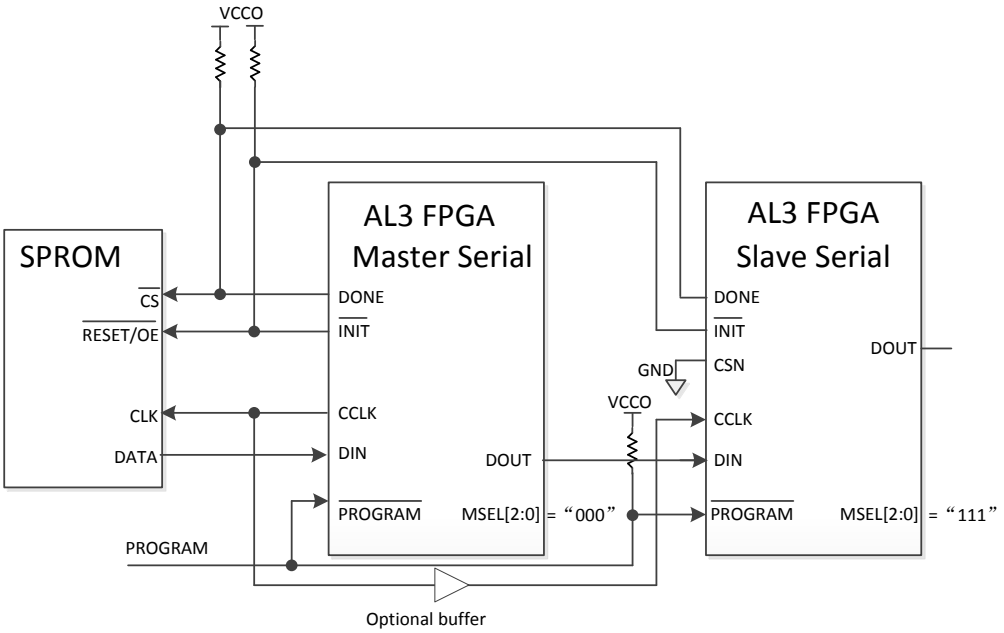


图 2-8- 5 主动、从动串行采用 Bypass 级联配置图

2.8.4 从动并行配置模式

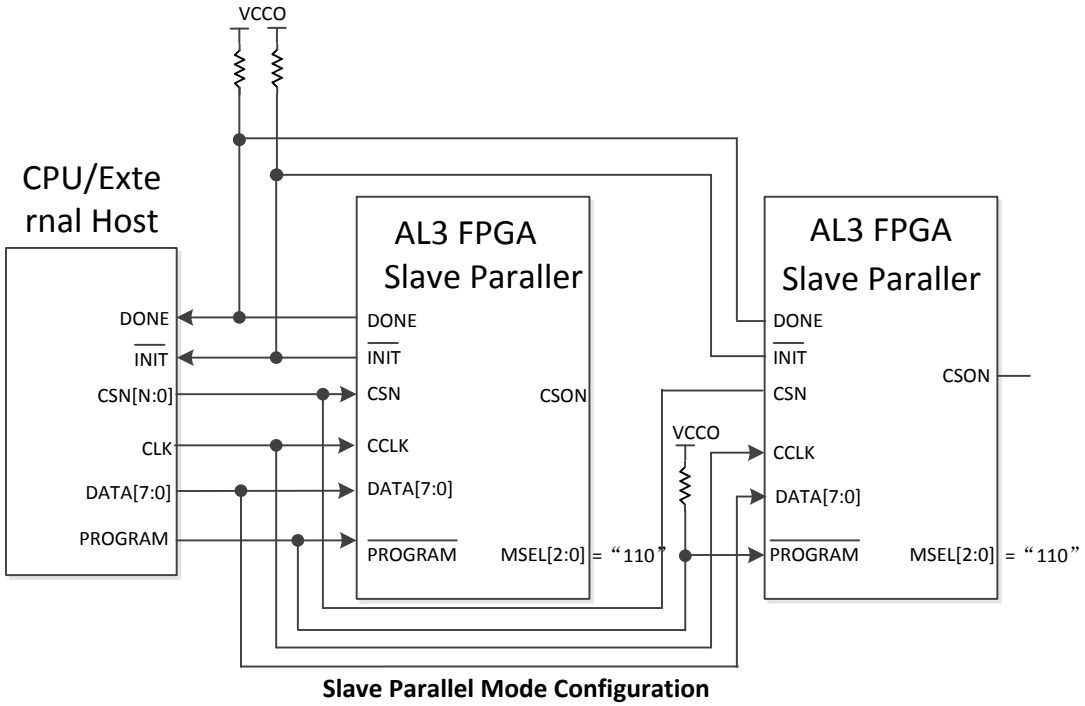


图 2-8- 6 AL3 FPGA 从动并行配置方式

从动并行配置适合通过 MCU 或者 CPU 等控制器使用。从动并行配通过 8 位并行数据写入能够达到较快的配置速度。AL3 FPGA 的从动并行配置模式 M[2：0]设置为 110，如图 2-8- 6 所示，其中多个 CSN 信号可以选择多个配置芯片。

从动并行配置模式时序如图 2-8- 7 所示。开始的初始化过程和串行配置一致，初始化完成之后，在

片选 CSN 有效时，在时钟的上升沿配置数据写入 AL3 FPGA。同样，配置完成后, DONE 信号会变高。

主动并行配置和从动并行配置类似，差别在于 CCLK 时钟由 FPGA 提供。

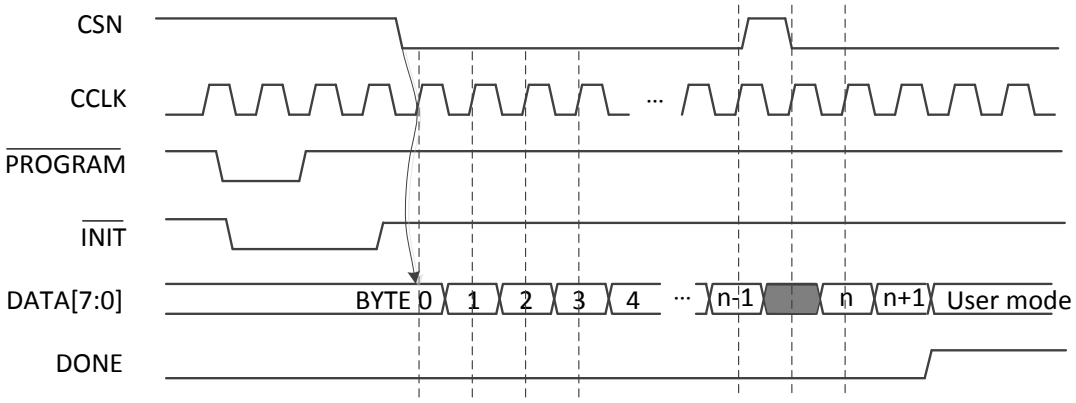


图 2-8- 7 AL3 FPGA 从动并行配置时序图

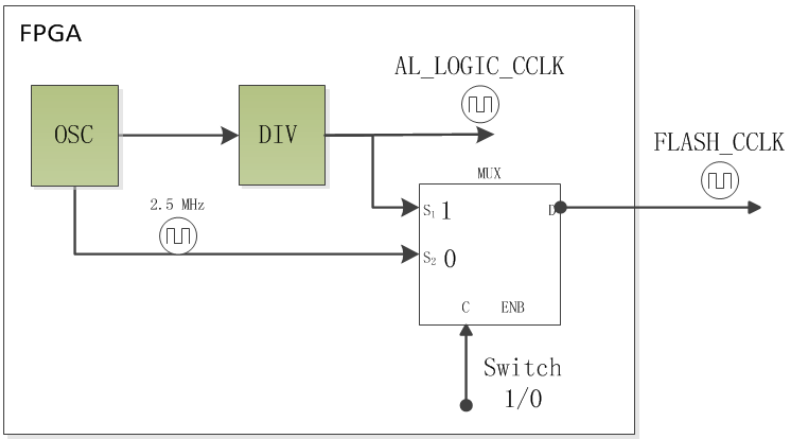
2.8.5 JTAG 配置模式

AL3 FPGA 还可以通过 JTAG 方式进行配置。JTAG 方式配置是通过 AL3 FPGA 专用的配置引脚（TDI，TDO，TMS，TCK）进行的。JTAG 配置模式在 INITN 信号变高后，不管模式选择引脚选择了何种模式，或者其他模式正在配置过程中，JTAG 模式可以通过指令中断其他模式，进入 JTAG 配置模式。

JTAG 配置使用安路公司专用的 USB 下载线，配合 TD 软件进行，可以通过软件查看配置是否成功。

2.9 内部振荡时钟 OSC

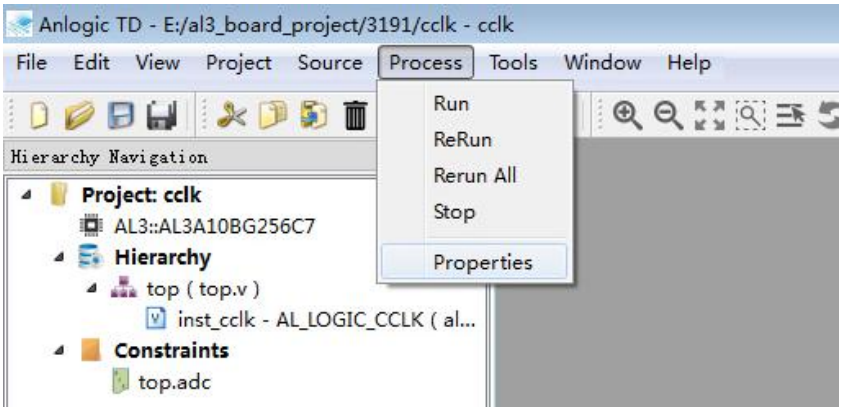
FPGA 内部有个振荡器，它有一个固定的 2.5M 时钟输出，还有一个经过分频频率可调的时钟输出，这两个都可以通过选择成为 flash 的加载时钟，而经过分频得到的时钟可作为 FPGA 内部工作频率，无需外部晶振，该模块结构框图如下：



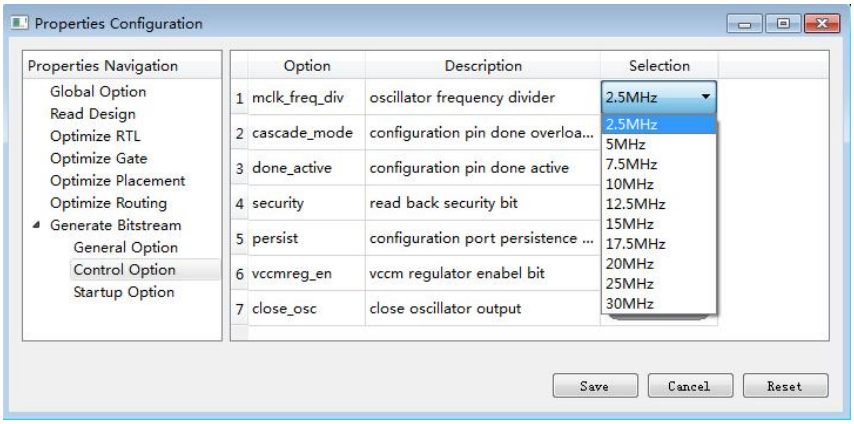
如上图所示，OSC 输出一个时钟送 Div，经过 Div 得到的 CCLK 送 MUX，也可供 FPGA 内部使用；另一个固定 2.5M 的时钟送 MUX，switch 选择为 OFF 状态时，flash 加载时钟就是固定的 2.5M。

2.9.1 配置一：内部 CCLK 频率修改

1. 打开 TD 工程，点击 Process-->Properties



2. 在左边的展开”Generate Bitstream”选项,这里点击” Control Option”选项，在左边的选项框里面，在右边的第一项”mclk_freq_div”选项中，可以选择 cclk 频率值。在工程的.v 文件中通过名为”AL_LOGIC_CCLK”的 IP 可将 CCLK 引出。



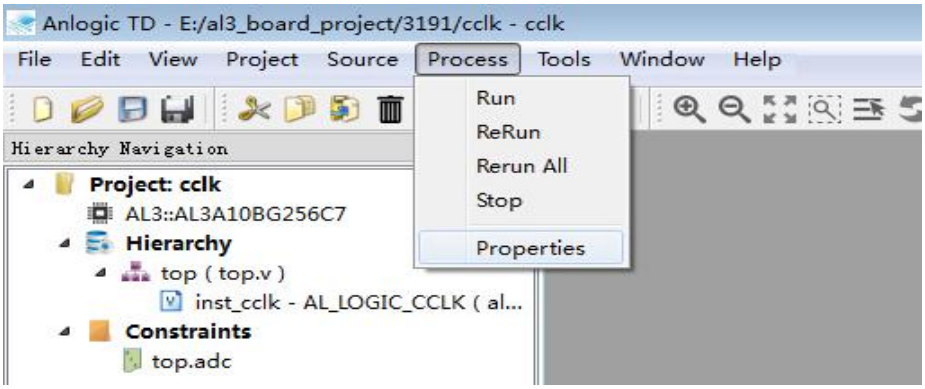

```
wire inset_clk;
AL_LOGIC_CCLK inst_cclk(.cclk(inset_clk));

always @ (posedge inset_clk or negedge rst_n)
if(!rst_n)
```

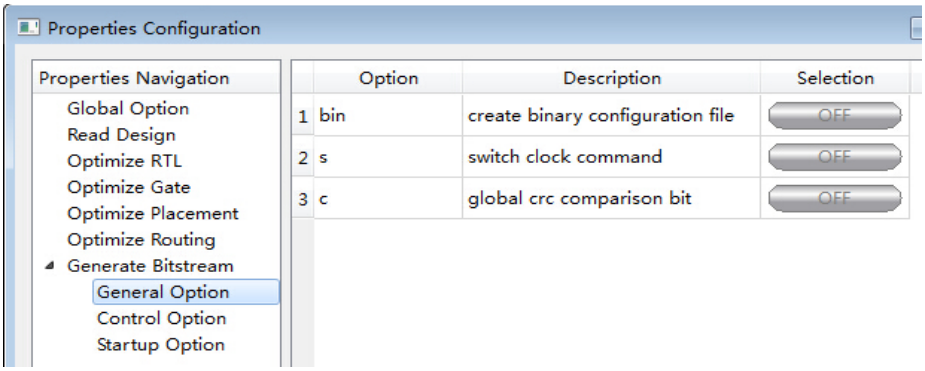
3. 选择频率值后点击”save”保存更改。

2.9.2 配置二：FLASH 加载频率调节

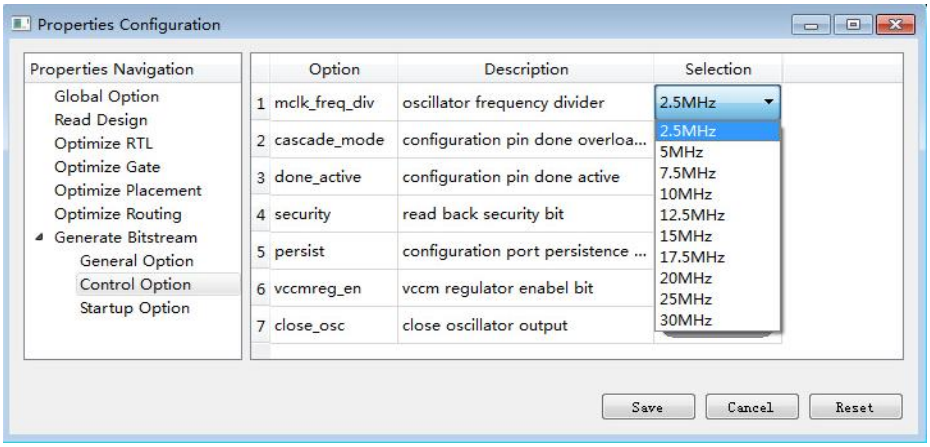
1. 打开 TD 工程，点击 Process-->Properties



2. 在左边的展开”Generate Bitstream”选项,这里点击”Generate Option”选项，在右边的第二项”switch colock command”选项中，选择”ON”。（默认就是”OFF”状态，默认状态 flash cclk 频率 2.5M 不可调）。



3. 在左边的选项框里面点击”Control Option”选项，在右边的第一项”mclk_freq_div”选项中，可以选择 flash 的 cclk 频率值.



4. 选择频率值后点击”save”保存更改，重新编译生成新的 bit 文件，在下载该 bit 文件时，flash 的 cclk 就会变为设置好的频率。

注：调节 flash CCLK 时，”switch colock command”选项为”ON”状态下，建议频率不要超过 20MHZ，这是由于有些 flash 芯片不支持更高的配置频率，以免造成配置不稳定甚至失败。如果对配置速度要求不是很高，建议 witch 选择默认状态”OFF”。

3 直流交流特性

所有参数指最差的供电电压和结点温度。如无特殊说明，以下信息适用于：同一商业和工业级别规定的交流和直流特性。所有参数均为电压对地时的值。

3.1 直流电气特性

3.1.1 最大绝对额定值

表 3-1- 1 为最大绝对额定值

SYMBOL	参 数	最 小	最 大	单 位
V_{CC}	内核供电电压	-0.5	1.32	V
V_{CCA}	锁相环电源	-0.5	1.32	V
V_{CCAUX}	辅助电源	-0.5	3.75	V
V_{CCIO}	I/O驱动供电电压	-0.5	3.75	V
V_I	直流输入电压	-0.5	3.75	V
V_{ESDHBM}	人体模型静电放电电压		±2000	V
V_{ESDCDM}	机器模型静电放电电压		±500	V
T_{STG}	存储温度	-65	150	℃
T_J	结点温度	-40	125	℃

超过以上最大绝对额定值可能会导致器件永久性损坏。这些值仅表示在该额定值下操作不会损坏器件，但不表示器件在此极限值下功能正常。器件的功能性操作或基于此的任何条件最大绝对额定值可能会造成器件永久损坏。器件长期在极值条件下运行，会严重的影响器件的可靠性。

信号转换过程中，输入信号过冲/下冲可能超过上表中给出数值，但必须同时满足电流小于 100mA 和脉冲宽度小于 20ns 两个条件。

3.1.2 推荐基本操作条件

表 3-1- 2 推荐基本操作条件 1

SYMBOL	参 数		最 小	典 型	最 大	单 位
V_{CC}	内核供电电压		1.14	1.2	1.26	V
V_{CCA}[2]	锁相环电源		1.14	1.2	1.26	V
V_{CCAUX}	辅助电源		2.375	2.5	3.465	V
V_{CCIO}[3]	I/O供电电压 @ 3.3V		3.135	3.3	3.465	V
	I/O供电电压 @ 2.5V		2.375	2.5	2.625	V
	I/O供电电压 @ 1.8V		1.71	1.8	1.89	V
	I/O供电电压 @ 1.5V		1.425	1.5	1.575	V
	I/O供电电压 @ 1.2V		1.14	1.2	1.26	V
V_I	直流输入电压		-0.5	—	3.6	V
V_O	输出电压		0	—	V_{CCIO}	V
T_J	结点温度	商业	0	—	85	℃
		工业	-40	—	105	℃
T_{RAMP}	电源缓变率		10	—	100	V/ms
I_{Diode}	PCI-clamp 二极管电流		—	—	25	mA

1. 器件工作时要求所有 I/O 的 V_{CCIO} 必须连接好电源
2. 器件工作时要求 V_{CCA} 必须连接好电源
3. 所有输入缓冲器由 V_{CCIO} 供电

3.1.3 静态供电电流 [1,2]

表 3-1- 3 静态电源电流

SYMBOL	参 数	器 件	典 型	单 位
I_{VCC}	内核供电电压	AL3A6	4	mA
		AL3A10	4	mA
		AL3A15	6	mA
		AL3A55	20	mA
		AL3A130	45	mA
I_{VCCIO}	I/O 组电源, @V_{CCIO}=2.5V	AL3A6	3	mA
		AL3A10	3	mA
		AL3A15	5	mA
		AL3A55	16	mA
		AL3A130	35	mA

I_{VCCAUX}	辅助电源	AL3A6	5	mA
		AL3A10	5	mA
		AL3A15	6	mA
		AL3A55	8	mA
		AL3A130	10	mA
I_{VCCA}	锁相环电源	AL3A6/10/15	1	mA
		AL3A55/130	2	mA

1. 该表中的数值基于通用的推荐操作条件，室温下（T_J = 25℃）使用典型器件测得。
2. 典型值为空白器件，没有输出电流负载，高阻抗状态下，并当所有上拉/下拉电阻器在 I/O 引脚禁止时，测量的所有 I/O 驱动的静态电源电流。

3.1.4 热插拔规格

表 3-1- 4 为热插拔规格

SYMBOL	参 数	最 大	单 位
$I_{IOPIN(DC)}$	DC电流，每个I/O	1	mA
$I_{IOPIN(AC)}$	AC电流，每个I/O	8[1]	mA

1. 电源缓变率等于或大于 10ns。

3.1.5 上电复位电压阈值

表 3-1- 5 上电复位电压阈值

SYMBOL	参 数	最 小	典 型	最 大	单 位
V_{CC_PORUP}	V_{CC}上电检测阈值	0.95	1	1.05	V
V_{CCAUX_PORUP}	V_{CCAUX}上电检测阈值	2	2.1	2.3	V
V_{CC_PORDN}	VCC掉电检测阈值	—	—	0.9	V
V_{CCAUX_PORDN}	VCCAUX掉电检测阈值	—	—	1.9	V
V_{SRAM_PORDN}	SRAM电源掉电检测阈值	—	—	0.85	V

3.1.6 I/O 直流电气特性

表 3-1- 6 推荐基本操作条件

SYMBOL	参 数	条 件	最 小	典 型	最 大	单 位
I_{IL}, I_{IH}	输入漏电电流	$0 \leqq V_I \leqq V_{CCIO}$-0.5V	-10	—	10	uA
I_{IH}	输入漏电电流	V_{CCIO}-0.5V $\leqq V_I \leqq V_{IH_MAX}$	—	—	150	uA
I_{PU}	I/O 弱上拉电流		35	—	250	uA
I_{PD}	I/O 弱下拉电流		35	—	250	uA
I_{BHLS}	总线保持 0 维持电流		40	—	—	uA
I_{BHHS}	总线保持 1 维持电流		40	—	—	uA
I_{BHLO}	总线保持 0 改写电流	$0 \leqq V_I \leqq V_{CCIO}$	—	—	350	uA
I_{BHHO}	总线保持 1 改写电流	$0 \leqq V_I \leqq V_{CCIO}$	—	—	350	uA
V_{BHT}	总线保持触发电平	—	V_{IL_max}	—	V_{IH_min}	V
V_{HYST}	施密特触发器输入磁滞	V_{CCIO}=3.3V,HYST=Large	—	450	—	mV
		V_{CCIO}=3.3V,HYST=Small	—	250	—	mV
		V_{CCIO}=2.5V,HYST=Large	—	250	—	mV
		V_{CCIO}=2.5V,HYST=Small	—	150	—	mV
		V_{CCIO}=1.8V,HYST=Large	—	125	—	mV
		V_{CCIO}=1.8V,HYST=Small	—	60	—	mV
		V_{CCIO}=1.5V,HYST=Large	—	100	—	mV
		V_{CCIO}=1.5V,HYST=Small	—	40	—	mV

3.1.7 I/O 管脚电容

表 3-1- 7 AL3 器件管脚电容

SYMBOL	参 数	QFP	FBGA	单 位
C_{IOTB}	上下管脚输入电容	7	6	pF
C_{IOLR}	左右管脚输入电容	8	7	pF

3.1.8 单端 I/O 直流电学特性

表 3-1- 8 AL3 器件单端 I/O 标准规格

标准	V_{IL} (V)		V_{IH} (V)		V_{OL} 最大	V_{OH} 最小	I_{OL}	I_{OH}
	最小	最大	最小	最大	(V)	(V)	(mA)	(mA)
LVTTL33 LVCMOS33	-0.3	0.8	1.9	Vccio+0.3	0.4	V_{CCIO} – 0.4	4	-4
							8	-8
							12	-12
							16	-16
							20	-20
							24	-24
					0.2	V_{CCIO} – 0.2	0.1	-0.1
LVCMOS25	-0.3	0.7	1.7	Vccio+0.3	0.4	V_{CCIO} – 0.4	4	-4
							8	-8
							12	-12
							16	-16
							20	-20
					0.2	V_{CCIO} – 0.2	0.1	-0.1
LVCMOS18	-0.3	0.35*V_{CCIO}	0.65*V_{CCIO}	Vccio+0.3	0.4	V_{CCIO} – 0.4	4	-4
							8	-8
							12	-12
					0.2	V_{CCIO} – 0.2	0.1	-0.1
LVCMOS15	-0.3	0.35*V_{CCIO}	0.65*V_{CCIO}	Vccio+0.3	0.4	V_{CCIO} – 0.4	4	-4
							8	-8
					0.2	V_{CCIO} – 0.2	0.1	-0.1
LVCMOS12	-0.3	0.35*V_{CCIO}	0.65*V_{CCIO}	Vccio+0.3	0.4	V_{CCIO} – 0.4	4	-3
							8	-6
					0.2	V_{CCIO} – 0.2	0.1	-0.1
PCI33	-0.3	0.3*V_{CCIO}	0. 5*V_{CCIO}	Vccio+0.3	0.1*V_{CCIO}	0.9*V_{CCIO}	1.5	-0.5
PCIX33	-0.3	0.35*V_{CCIO}	0. 5*V_{CCIO}	Vccio+0.3	0.1*V_{CCIO}	0.9*V_{CCIO}	1.5	-0.5

3.1.9 差分 I/O 电学特性

表 3-1- 9 推荐差分操作条件

参 数	描 述	测试条件	最 小	典 型	最 大	单 位
V_{IP}, V_{IN}	输入电平	V_{CCIO}=2.5	0	—	2.4	V
V_{ID}	输入差分摆幅		100	500	800	mV
V_{ICM}	输入共模电压	V_{CCIO}=2.5	0.05	—	2.35	V
I_{IN}	输入电流	上电过程	—	—	±15	uA
V_{OD}	差分输出摆幅	$\|V_{OP} - V_{ON}\|$, R_T = 100 ohm	150	250	350	mV
ΔV_{OD}	差分输出摆幅变化	□	□	□	50	mV
V_{OCM}	输出共模电压	$(V_{OP} + V_{ON})/2$, R_T = 100 ohm	0.8	1.2	—	V
ΔV_{OCM}	输出共模电压偏差	□	□	□	50	mV

3.2 交流电气特性

本章节提供 AL3 核心和周边模块的性能参数，时序参数及其典型值是常规的设计重要参数，也是器件的基本性能参数。这些参数反映了器件在最差条件下的实际性能。

3.2.1 时钟性能

表 3-2- 1 推荐的时钟操作频率

器 件	性 能			单 位
	6	7	8	
AL3A6	500	440	400	MHz
AL3A10	500	440	400	MHz
AL3A15	500	440	400	MHz
AL3A55	500	440	400	MHz
AL3A130	500	440	400	MHz

3.2.2 锁相环(PLL)规格

表 3-2- 2 AL3 器件的 PLL 规格

参 数	描 述	最 小	典 型	最 大	单 位
f_{IN}	输入时钟频率	10	—	400	MHz
f_{PFD}	鉴频鉴相器（PFD）输入频率	10	—	400	MHz
f_{VCO}	锁相环内部振荡器频率范围	300	—	1200	MHz
f_{OUT}	输出时钟频率	—	—	400	MHz
交流特性					
f_{INDUTY}	输入时钟占空比	40	—	60	%
$t_{INJITTER}$[1]	输入时钟抖动，f_{PFD} ≧ 20 MHz	—	—	800	ps p-p
	输入时钟抖动，f_{PFD} < 20 MHz	—	—	0.02	UI
$t_{OUTDUTY}$	输出时钟占空比	45	50	55	%
$t_{OUTJITTER}$[2]	输出时钟周期抖动(Period Jitter), f_{OUT} > 100MHz	—	—	160	ps p-p
	输出时钟周期抖动(Period Jitter), f_{OUT} < 100MHz	—	—	0.009	UI
	Output Clock Cycle-to-cycle Jitter, f_{OUT} > 100MHz	—	—	200	ps p-p
	Output Clock Cycle-to-cycle Jitter, f_{OUT} < 100MHz	—	—	0.01	UI
	Output Clock Phase Jitter, f_{OUT} > 100MHz	—	—	180	ps p-p
	Output Clock Phase Jitter, f_{OUT} < 100MHz	—	—	0.013	UI
t_{LOCK}[3]	PLL 锁定时间	—	—	15	ms
t_{DLOCK}	动态锁定时间（切换、重配置之后）	—	—	15	ms
t_{PLL_PS}	PLL 相移精度	—	—	±125	ps
t_{RST}	复位脉冲最小宽度	1	—	—	ns
t_{RSTREC}	复位恢复时间	1	—	—	ns
$t_{CONFIGPLL}$	PLL 相位动态配置时间	—	3.5	—	cycles
$f_{SCANCLK}$	SCANCLK 频率	—	—	100	MHz

1. 参考时钟允许的最大输入抖动。为得到低抖动的输出时钟，必须提供干净的参考时钟。
2. 周期抖动通过对 PLL 输出采样 10,000 次测量得到。相邻周期间抖动采样 1000 次。相位抖动采样 2000 次。参考时钟抖动 30ps。
3. t_{LOCK} 之后，在输出端得到稳定时钟。

3.2.3 嵌入数字信号处理模块（DSP）规格

表 3-2- 3 AL3 嵌入 DSP 规格表

Function	AL3			Unit
	6	7	8	
DSP Function				
18×18 Pipelined Pre-add/Multiply-Add/Sub	400	350	320	MHz
18×18 Multiplier(all registers)	400	350	320	MHz
9×9 Multiplier(all registers)	400	350	320	MHz
36×36 Pipelined Multiplier(all registers)	240	210	190	MHz
18×18 Pipelined Multiply/Accumulate(input&output registers)	200	175	160	MHz
18×18 Pipelined Multiply/Accumulate(all registers)	400	350	320	MHz
18×18 Pipelined Multiply-Add/Sub-Sum(all registers)	240	210	190	MHz
18×18 Pipelined Multiply-Add/Sub-CASCADE(all registers)	400	350	320	MHz
ALU logic(IR&OR)	400	350	320	MHz
ALU Add/Sub(IR&OR)	400	350	320	MHz

3.2.4 存储器模块（EMB）规格

表 3-2- 4 AL3 存储器模块规格表

存储器	模式	性 能			单 位
		6	7	8	
M9K	FIFO 512 x 18	250	220	200	MHz
	单口 512 x 18	250	220	200	MHz
	简单双口 512 x 18	250	220	200	MHz
	真双口 1024 x 9	250	220	200	MHz

3.2.5 高速 I/O 接口性能

表 3-2- 5 高速 I/O 接口性能表

输入/输出标准	描 述	最 大	单 位
最大输入频率			
LVDS25	LVDS, VCCIO = 2.5V	400	MHz
RSDS25	RSDS, VCCIO = 2.5V	400	MHz
MINILVDS	Mini-LVDS, VCCIO = 2.5V	400	MHz
PPDS25	PPDS	400	MHz
LVPECL33	LVPECL, VCCIO = 3.0V	400	MHz
BLVDS25	BLVDS, VCCIO = 2.5V	400	MHz
MLVDS25	MLVDS, VCCIO = 2.5V	400	MHz
LVTTL33	LVTTL, VCCIO = 3.3V	166	MHz
LVCMOS33	LVCMOS, VCCIO = 3.3V	166	MHz
LVCMOS25	LVCMOS, VCCIO = 2.5V	166	MHz
LVCMOS18	LVCMOS, VCCIO = 1.8V	166	MHz
LVCMOS15	LVCMOS, VCCIO = 1.5V	166	MHz
LVCMOS12	LVCMOS, VCCIO = 1.2V	166	MHz
PCI33		133	MHz
最大输出频率			
LVDS25	LVDS, VCCIO = 2.5V	400	MHz
LVDS25E	LVDS, Emulated, VCCIO = 2.5V	166	MHz
RSDS25	RSDS, VCCIO = 2.5V	400	MHz
RSDS25E	RSDS, Emulated, VCCIO = 2.5V	166	MHz
MINILVDS	RSDS, VCCIO = 2.5V	400	MHz
MINILVDS25E	Mini-LVDS, Emulated, VCCIO = 2.5V	166	MHz
PPDS	Ponit-to-ponit LVDS	400	MHz
LVPECL33E	LVPECL, Emulated, VCCIO = 3.0V	166	MHz
BLVDS25E	BLVDS, Emulated, VCCIO = 2.5V	166	MHz
MLVDS25E	MLVDS, Emulated, VCCIO = 2.5V	166	MHz
LVTTL33	LVTTL, VCCIO = 3.3V	166	MHz
LVCMOS33	LVCMOS, VCCIO = 3.3V	166	MHz
LVCMOS25	LVCMOS, VCCIO = 2.5V	166	MHz
LVCMOS18	LVCMOS, VCCIO = 1.8V	166	MHz
LVCMOS15	LVCMOS, VCCIO = 1.5V	166	MHz
LVCMOS12	LVCMOS, VCCIO = 1.2V	100	MHz
PCI33		133	MHz

3.2.6 配置模块和 JTAG 规格

表 3-2- 6 AL3 器件配置模式时序规格表

下载模式	最 小	典 型	最 大	单 位
主模式串行 PROM (MS)	2.5	—	66	MHz
主模式串行 SPI (MSPI)	2.5	—	66	MHz
主模式并行 x8 (MP)	2.5	—	66	MHz
从模式串行 (SS)	—	66	—	MHz
从模式并行 x8 (SP)	—	66	—	MHz

表 3-2- 7 AL3 器件 JTAG 时序规格表

符号	参 数	最 小	最 大	单 位
t_{JCP}	TCK 周期	40	—	ns
t_{JCH}	TCK 高电平时间	20	—	ns
t_{JCL}	TCK 低电平时间	20	—	ns
t_{JPSU_TDI}	TDI 建立时间	1	—	ns
t_{JPSU_TMS}	TMS 建立时间	3	—	ns
t_{JPH}	JTAG 端口保持时间	10	—	ns
t_{JPCO}	JTAG 端口时钟到输出延时	—	15	ns
t_{JPZX}	JTAG 端口有效输出到高阻转换时间	—	15	ns
t_{JPXZ}	抓取寄存器建立时间	—	15	ns
t_{JSSU}	抓取寄存器保持时间	5	—	ns
t_{JSH}	更新寄存器建立时间	10	—	ns
t_{JSCO}	更新寄存器时钟到输出延时	—	25	ns
t_{JSZX}	更新寄存器高阻到有效输出	—	25	ns
t_{JSXZ}	更新寄存器有效输出到高阻	—	25	ns

4 引脚和封装

4.1 引脚定义和规则

表 4-1- 1 引脚定义规则

引脚名称	方向	描 述
普通 I/O		
IO,[DIFFIO_][Edge][Num][p/n]	I/O	[Edge] 表示管脚所在的边。包括 L/R/T/B [Num] 表示 I/O 在所在边的编号 [p/n] 表示 I/O 差分极性
NC	—	无连接
GND	—	电源地
VCC	—	内部核心模块电源
VCCIOx	—	I/O 组电源
VCCAUX	—	辅助电源
VCC_PLLX	—	PLL 电源
GND_PLLx	—	PLL 地
JTAG 专用引脚		
TCK	输入	TCK 输入边界扫描时钟
TDI	输入	边界扫描数据输入
TDO	输出	边界扫描数据输出
TMS	输入	边界扫描模式选择
配置专用管脚		
CSN	输入	并行下载模式片选信号，低有效
MSEL[2:0]	输入	下载模式选择
PROGRAMN	输入	全局复位输入，低有效
CCLK	I/O	
DONE	I/O	专用配置状态引脚，在配置完成后会输出高，源端开路
INITN	I/O	专用配置状态引脚，输出高表示 FPGA 准备好配置，源端开路

4.2 TQFP144 引脚说明- AL3A6/AL3A10

引脚编号	IO BANK	引脚说明		引脚编号	IO BANK	引脚说明
1	1	IO,DIFFIO_L1n		31	2	IO
2	1	IO,DIFFIO_L1p		32	2	IO,DIFFIO_L4p,VREF2_1
3	1	IO		33	2	IO,DIFFIO_L4n
4	1	GND		34	2	IO
5	1	VCCINT		35	2	VCCAUX
6	1	IO,D1,MOSI		36	2	GND_PLLA0
7	1	IO, VREF1_1		37	3	VCC_PLLA0
8	1	IO,SPICSN,BUSY		38	3	IO,PLL0_CLKIN0,EDIFFIO_B1n
9	1	INITN		39	3	IO,PLL0_CLKIN1,EDIFFIO_B1p
10	1	IO,DPCLK1,DIFFIO_L2n		40	3	VCCIO3
11	1	IO,DIFFIO_L2n		41	3	GND
12	1	CCLK		42	3	IO,DPCLK3
13	1	IO,D0		43	3	IO,PLL0_OUT1p,EDIFFIO_B2p
14	1	PROGRAMN		44	3	IO,PLL0_OUT1n,EDIFFIO_B2n
15	1	TDI		45	3	VCCINT
16	1	TCK		46	3	IO
17	1	VCCIO1		47	3	VCCIO3
18	1	TMS		48	3	GND
19	1	GND		49	3	IO,EDIFFIO_B3p
20	1	TDO		50	3	IO,EDIFFIO_B3n
21	1	CSN		51	3	IO
22	1	GND		52	3	IO,GCLK3p,EDIFFIO_B4p
23	1	IO,GCLK1n		53	3	IO,GCLK3n,EDIFFIO_B4n
24	2	IO,GCLK2p,DIFFIO_L3p		54	4	IO,GCLK4p,EDIFFIO_B5p
25	2	IO,GCLK2n,DIFFIO_L3n		55	4	IO,GCLK4n,EDIFFIO_B5n
26	2	VCCIO2		56	4	VCCIO4
27	2	GND		57	4	GND
28	2	IO		58	4	IO
29	2	VCCINT		59	4	IO,EDIFFIO_B6p
30	2	IO,DPCLK2		60	4	IO,EDIFFIO_B6n

引脚编号	IO BANK	引脚说明		引脚编号	IO BANK	引脚说明
61	4	VCCINT		93	6	VCCIO6
62	4	VCCIO4		94	6	MSEL0
63	4	GND		95	6	GND
64	4	IO,EDIFFIO_B7p		96	6	MSEL1
65	4	IO,EDIFFIO_B7n		97	6	MSEL2
66	4	IO,EDIFFIO_B8p		98	6	IO,DIFFIO_R7n
67	4	IO,EDIFFIO_B8n		99	6	IO,DIFFIO_R7p
68	4	IO,DPCLK4		100	6	IO
69	4	IO		101	6	IO,CSON,DOUT,DIFFIO_R8n
70	4	IO,EDIFFIO_B9p		102	6	VCCINT
71	4	IO,EDIFFIO_B9n		103	6	IO,USRCLK,DIFFIO_R8p
72	4	IO		104	6	IO,DPCLK6,DIFFIO_R9n
73	5	IO,DIFFIO_R1n		105	6	IO,DIFFIO_R9p,VREF6_1
74	5	IO,DIFFIO_R1p		106	6	IO
75	5	IO		107	6	VCCAUX
76	5	IO,DIFFIO_R2n		108	6	GND_PLLA2
77	5	IO,DIFFIO_R2p		109	7	VCC_PLLA2
78	5	VCCINT		110	7	IO,DPCLK7
79	5	GND		111	7	IO,PLL2_CLKI1n
80	5	IO		112	7	IO,PLL2_OUT1n,EDIFFIO_T1n
81	5	VCCIO5		113	7	IO,PLL2_OUT1p,EDIFFIO_T1p
82	5	GND		114	7	IO,EDIFFIO_T2n
83	5	IO		115	7	IO,EDIFFIO_T2p
84	5	IO,DIFFIO_R3n		116	7	VCCINT
85	5	IO,DPCLK5,DIFFIO_R3p		117	7	VCCIO7
86	5	IO,DIFFIO_R4n		118	7	GND
87	5	IO,DIFFIO_R4p		119	7	IO
88	5	IO,GCLK5n,DIFFIO_R5n		120	7	IO,EDIFFIO_T3n
89	5	IO,GCLK5p,DIFFIO_R5p		121	7	IO,EDIFFIO_T3p
90	6	IO,GCLK6n,DIFFIO_R6n		122	7	VCCIO7
91	6	IO,GCLK6p,DIFFIO_R6p		123	7	GND
92	6	DONE		124	7	IO

引脚编号	IO BANK	引脚说明		引脚编号	IO BANK	引脚说明
125	7	IO		135	8	IO,D7,EDIFFIO_T7n
126	7	IO,GCLK7n,EDIFFIO_T4n		136	8	IO,EDIFFIO_T7p,VREF8_1
127	7	IO,GCLK7p,EDIFFIO_T4p		137	8	IO,D5,EDIFFIO_T8n
128	8	IO,GCLK8n,EDIFFIO_T5n		138	8	IO,D6,EDIFFIO_T8p
129	8	IO,GCLK8p,EDIFFIO_T5p		139	8	VCCIO8
130	8	VCCIO8		140	8	GND
131	8	GND		141	8	IO,D4,EDIFFIO_T9n
132	8	IO,D2,EDIFFIO_T6n		142	8	IO,DPCLK8,EDIFFIO_T9p
133	8	IO,D3,EDIFFIO_T6p		143	8	IO,D9,EDIFFIO_T10p
134	8	VCCINT		144	8	IO,D8,EDIFFIO_T10n

4.3 fBGA256 引脚说明- AL3A6/AL3A10

引脚编号	IO BANK	引脚说明		引脚编号	IO BANK	引脚说明
D4	1	IO,DIFFIO_L1n		M1	2	IO,GCLK2n,DIFFIO_L12n
E1	1	IO,GCLK1n,DIFFIO_L11n		M2	2	IO,GCLK2p,DIFFIO_L12p
E2	1	IO,GCLK1p,DIFFIO_L11p		J1	2	IO,DIFFIO_L13n
E5	1	IO,DIFFIO_L1p		J2	2	IO,DIFFIO_L13p
C3	1	IO,DIFFIO_L2n		K1	2	IO,DIFFIO_L14n
D3	1	IO,DIFFIO_L2p		K2	2	IO,DIFFIO_L14p
G5	1	IO,DIFFIO_L3n		L4	2	IO,DIFFIO_L15n
F5	1	IO,DIFFIO_L3p		K5	2	IO,DIFFIO_L15p
C1	1	IO,D1,MOSI,DIFFIO_L4n		K7	2	IO,DIFFIO_L16n
C2	1	IO,DIFFIO_L4p		J6	2	IO,DIFFIO_L16p
F3	1	IO,DIFFIO_L5n,VREF1_1		N1	2	IO,DIFFIO_L17n
B1	1	IO,DIFFIO_L5p		N2	2	IO,DIFFIO_L17p
D1	1	IO,DIFFIO_L6n		L1	2	IO,DIFFIO_L18n
D2	1	IO,SPICSN,BUSY,DIFFIO_L6p		L2	2	IO,DPCLK2,DIFFIO_L18p
G1	1	IO,DIFFIO_L7n		P1	2	IO,DIFFIO_L19n
G2	1	IO,DPCLK1,DIFFIO_L7p		P2	2	IO,DIFFIO_L19p
G4	1	IO,DIFFIO_L8n		R1	2	IO,DIFFIO_L20n
H2	1	IO,D0,DIFFIO_L8p		L3	2	IO,DIFFIO_L20p,VREF2_1
F1	1	IO,DIFFIO_L9n		L6	2	IO,DIFFIO_L21n
F2	1	IO,DIFFIO_L9p		K6	2	IO,DIFFIO_L21p
H3	1	TCK		N6	2	IO,PLL0_OUT2n,DIFFIO_L22n
H4	1	TDI		N5	2	IO,PLL0_OUT2p,DIFFIO_L22p
J4	1	TDO				
H1	1	CCLK				
H5	1	PROGRAMN				
J5	1	TMS				
J3	1	CSN				
F4	1	INITN				

引脚编号	IO BANK	引脚说明		引脚编号	IO BANK	引脚说明
P3	3	IO,PLL0_CLKINn,EDIFFIO_B1n		T9	4	IO,GCLK4n,EDIFFIO_B13n
N3	3	IO,PLL0_CLKINp,EDIFFIO_B1p		R9	4	IO,GCLK4p,EDIFFIO_B13p
T3	3	IO,EDIFFIO_B2n		L9	4	IO,EDIFFIO_B14n
R3	3	IO,EDIFFIO_B2p		K9	4	IO,EDIFFIO_B14p
K8	3	IO,EDIFFIO_B3n		N9	4	IO,EDIFFIO_B15n
M7	3	IO,EDIFFIO_B3p		M9	4	IO,EDIFFIO_B15p
P6	3	IO,EDIFFIO_B4n,VREF3_1		P11	4	IO,EDIFFIO_B16n,VREF4_1
T2	3	IO,DPCLK3,EDIFFIO_B4p		P9	4	IO,EDIFFIO_B16p
T4	3	IO,PLL0_OUT1n,EDIFFIO_B5n		T10	4	IO,EDIFFIO_B17n
R4	3	IO,PLL0_OUT1p,EDIFFIO_B5p		R10	4	IO,EDIFFIO_B17p
M6	3	IO,EDIFFIO_B6n		T11	4	IO,EDIFFIO_B18n
L7	3	IO,EDIFFIO_B6p		R11	4	IO,EDIFFIO_B18p
T5	3	IO,EDIFFIO_B7n		N11	4	IO,EDIFFIO_B19n
R5	3	IO,EDIFFIO_B7p		M10	4	IO,EDIFFIO_B19p
T6	3	IO,EDIFFIO_B8n		T12	4	IO,EDIFFIO_B20n
R6	3	IO,EDIFFIO_B8p		R12	4	IO,EDIFFIO_B20p
T7	3	IO,EDIFFIO_B9n		T15	4	IO,DPCLK4,EDIFFIO_B21n
R7	3	IO,EDIFFIO_B9p		T14	4	IO,EDIFFIO_B21p
M8	3	IO,EDIFFIO_B10n		N12	4	IO,EDIFFIO_B22n
L8	3	IO,EDIFFIO_B10p		M11	4	IO,EDIFFIO_B22p
P8	3	IO,EDIFFIO_B11n		T13	4	IO,EDIFFIO_B23n
N8	3	IO,EDIFFIO_B11p		R13	4	IO,EDIFFIO_B23p
T8	3	IO,GCLK3n,EDIFFIO_B12n		L11	4	IO,EDIFFIO_B24n
R8	3	IO,GCLK3p,EDIFFIO_B12p		P14	4	IO,EDIFFIO_B24p

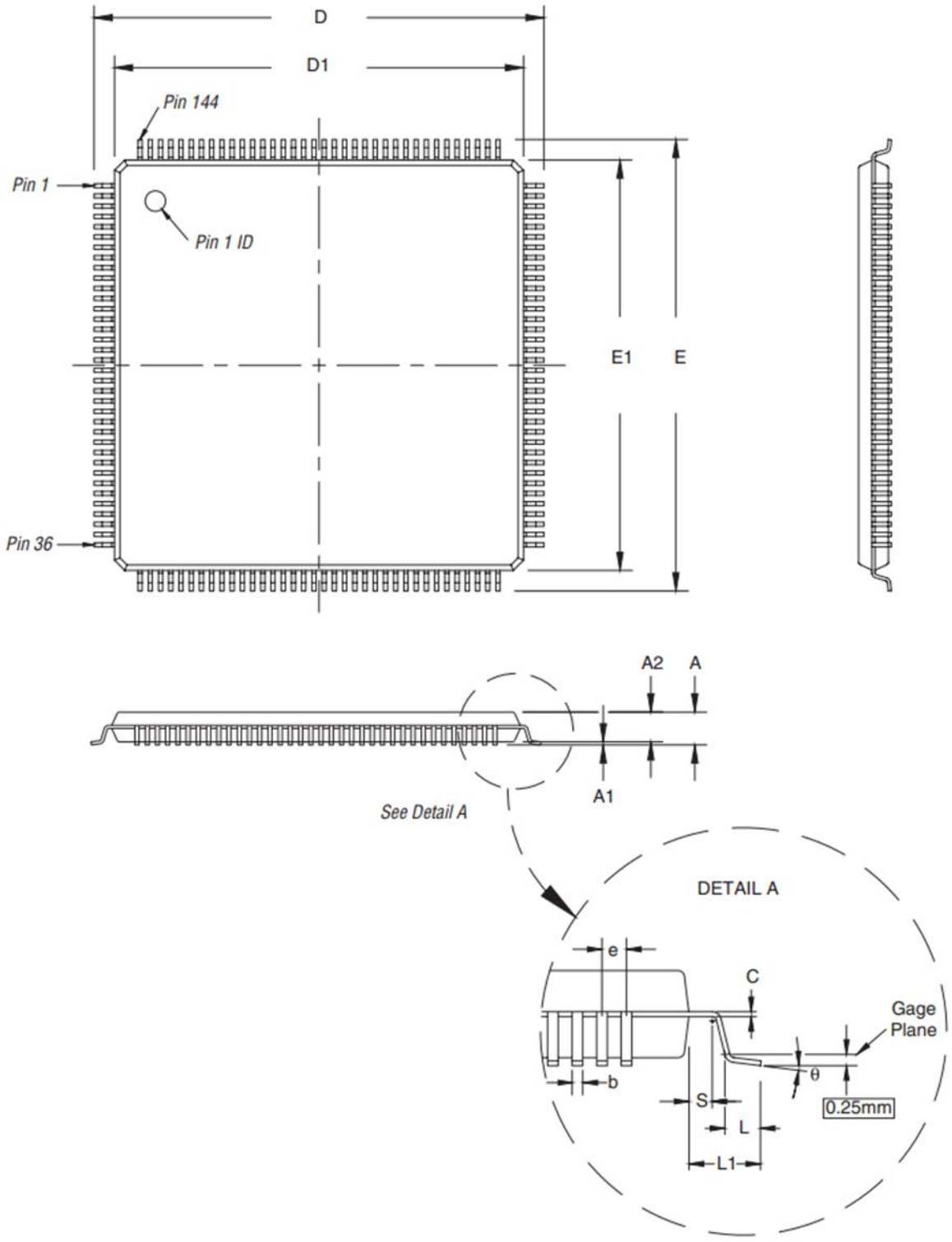
引脚编号	IO BANK	引脚说明		引脚编号	IO BANK	引脚说明
L10	5	IO,DIFFIO_R1n		E16	6	IO,GCLK6n,DIFFIO_R13n
K10	5	IO,DIFFIO_R1p		E15	6	IO,GCLK6p,DIFFIO_R13p
R14	5	IO,DIFFIO_R2n		J14	6	IO,DIFFIO_R14n
P15	5	IO,DIFFIO_R2p		J12	6	IO,DIFFIO_R14p
M12	5	IO,DIFFIO_R3n		J16	6	IO,DIFFIO_R15n
L12	5	IO,DIFFIO_R3p		J15	6	IO,DIFFIO_R15p
N13	5	IO,DIFFIO_R4n		H16	6	IO,DIFFIO_R16n
N14	5	IO,DIFFIO_R4p		H15	6	IO,DIFFIO_R16p
P16	5	IO,DIFFIO_R5n		G16	6	IO,DIFFIO_R17n
R16	5	IO,DIFFIO_R5p		G15	6	IO,DIFFIO_R17p
N16	5	IO,DIFFIO_R6n		D16	6	IO,DIFFIO_R18n
N15	5	IO,DIFFIO_R6p		D15	6	IO,DIFFIO_R18p
K11	5	IO,DIFFIO_R7n		F16	6	IO,CSON,DOUT,DIFFIO_R19n
J11	5	IO,DIFFIO_R7p		F15	6	IO,USRCLK,DIFFIO_R19p
L13	5	IO,DIFFIO_R8n		C16	6	IO,DIFFIO_R20n
L14	5	IO,DIFFIO_R8p,VREF5_1		C15	6	IO,DIFFIO_R20p
K16	5	IO,DIFFIO_R9n		B16	6	IO,DPCLK6,DIFFIO_R21n
K15	5	IO,DPCLK5,DIFFIO_R9p		F14	6	IO,DIFFIO_R21p,VREF6_1
L16	5	IO,DIFFIO_R10n		G11	6	IO,DIFFIO_R22n
L15	5	IO,DIFFIO_R10p		F13	6	IO,DIFFIO_R22p
J13	5	IO,DIFFIO_R11n		C14	6	IO,PLL2_OUT2n,DIFFIO_R23n
K12	5	IO,DIFFIO_R11p		D14	6	IO,PLL2_OUT2p,DIFFIO_R23p
M16	5	IO,GCLK5n,DIFFIO_R12n		H13	6	MSEL0
M15	5	IO,GCLK5p,DIFFIO_R12p		H12	6	MSEL1
				G12	6	MSEL2
				H14	6	DONE

引脚编号	IO BANK	引脚说明		引脚编号	IO BANK	引脚说明
D11	7	IO,EDIFFIO_T1n		A8	8	IO,GCLK8n,EDIFFIO_T13n
D12	7	IO,DPCLK7,EDIFFIO_T1p		B8	8	IO,GCLK8p,EDIFFIO_T13p
F11	7	IO,PLL2_CLKI1n,EDIFFIO_T2n		C8	8	IO,EDIFFIO_T14n
A15	7	IO,PLL2_CLKIN0,EDIFFIO_T2p		D8	8	IO,EDIFFIO_T14p
A14	7	IO,PLL2_OUT1n,EDIFFIO_T3n		A6	8	IO,EDIFFIO_T15n
B14	7	IO,PLL2_OUT1p,EDIFFIO_T3p		B6	8	IO,EDIFFIO_T15p
A13	7	IO,EDIFFIO_T4n		E8	8	IO,D2,EDIFFIO_T16n
B13	7	IO,EDIFFIO_T4p		F8	8	IO,D3,EDIFFIO_T16p
A12	7	IO,EDIFFIO_T5n		F6	8	IO,EDIFFIO_T17n
B12	7	IO,EDIFFIO_T5p		F7	8	IO,EDIFFIO_T17p
E11	7	IO,EDIFFIO_T6n		A5	8	IO,D7,EDIFFIO_T18n
C11	7	IO,EDIFFIO_T6p,VREF7_1		C6	8	IO,EDIFFIO_T18p,VREF8_1
F10	7	IO,EDIFFIO_T7n		E7	8	IO,D5,EDIFFIO_T19n
F9	7	IO,EDIFFIO_T7p		E6	8	IO,D6,EDIFFIO_T19p
E10	7	IO,EDIFFIO_T8n		D5	8	IO,D15,EDIFFIO_T20n
E9	7	IO,EDIFFIO_T8p		D6	8	IO,D14,EDIFFIO_T20p
A11	7	IO,EDIFFIO_T9n		A2	8	IO,D13,EDIFFIO_T21n
B11	7	IO,EDIFFIO_T9p		B5	8	IO,D12,EDIFFIO_T21p
A10	7	IO,EDIFFIO_T10n		A4	8	IO,D11,EDIFFIO_T22n
B10	7	IO,EDIFFIO_T10p		B4	8	IO,D10,EDIFFIO_T22p
C9	7	IO,EDIFFIO_T11n		B7	8	IO,D4,EDIFFIO_T23n
D9	7	IO,EDIFFIO_T11p		B3	8	IO,DPCLK8,EDIFFIO_T23p
A9	7	IO,GCLK7n,EDIFFIO_T12n		A3	8	IO,D9,EDIFFIO_T24n
B9	7	IO,GCLK7p,EDIFFIO_T12p		A7	8	IO,D8,EDIFFIO_T24p

引脚编号	IO BANK	引脚说明		引脚编号	IO BANK	引脚说明
B2	-	GND		N4	-	VCC_PLLA0
B15	-	GND		D13	-	VCC_PLLA2
C5	-	GND		F12	-	VCCAUX
C12	-	GND		L5	-	VCCAUX
D7	-	GND		G6	-	VCCINT
D10	-	GND		G7	-	VCCINT
E4	-	GND		G8	-	VCCINT
E13	-	GND		G9	-	VCCINT
G13	-	GND		G10	-	VCCINT
H7	-	GND		H6	-	VCCINT
H8	-	GND		H11	-	VCCINT
H9	-	GND		E3	-	VCCIO1
H10	-	GND		G3	-	VCCIO1
J7	-	GND		K3	-	VCCIO2
J8	-	GND		M3	-	VCCIO2
J9	-	GND		P4	-	VCCIO3
J10	-	GND		P7	-	VCCIO3
K4	-	GND		T1	-	VCCIO3
K13	-	GND		P10	-	VCCIO4
M4	-	GND		P13	-	VCCIO4
M13	-	GND		T16	-	VCCIO4
N7	-	GND		K14	-	VCCIO5
N10	-	GND		M14	-	VCCIO5
P5	-	GND		E14	-	VCCIO6
P12	-	GND		G14	-	VCCIO6
R2	-	GND		A16	-	VCCIO7
R15	-	GND		C10	-	VCCIO7
M5	-	GND_PLLA0		C13	-	VCCIO7
E12	-	GND_PLLA2		C4	-	VCCIO8
				C7	-	VCCIO8
				A1	-	VCCIO8

4.4 封装信息

4.4.1 LQFP144 封装规格



Package Information	
Description	**Specification**
Ordering Code Reference	E
Package Acronym	EQFP
Leadframe Material	Copper
Lead Finish (plating)	Regular: 85Sn:15Pb (Typ.) Pb-free: Matte Sn
JEDEC Outline Reference	MS-026 Variation: BFB-HD
Lead Coplanarity	0.003 inch (0.08mm)
Weight	1.3 g (Typ.)
Moisture Sensitivity Level	Printed on moisture barrier bag

Package Outline Dimension Table			
Symbol	**Millimeters**		
	Min.	**Nom.**	**Max.**
A	1.45	1.55	1.65
A1	0.05	0.10	0.15
A2	1.30	1.45	1.60
D		22.00 BSC	
D1		20.00 BSC	
D2	5.25	5.40	5.55
E		22.00 BSC	
E1		20.00 BSC	
E2	5.25	5.40	5.55
L	0.45	0.60	0.75
L1		1.00 REF	
S	0.20	-	-
b	0.17	0.22	0.27
c	0.09	-	0.20
e		0.50 BSC	
θ	0°	3.5°	7°

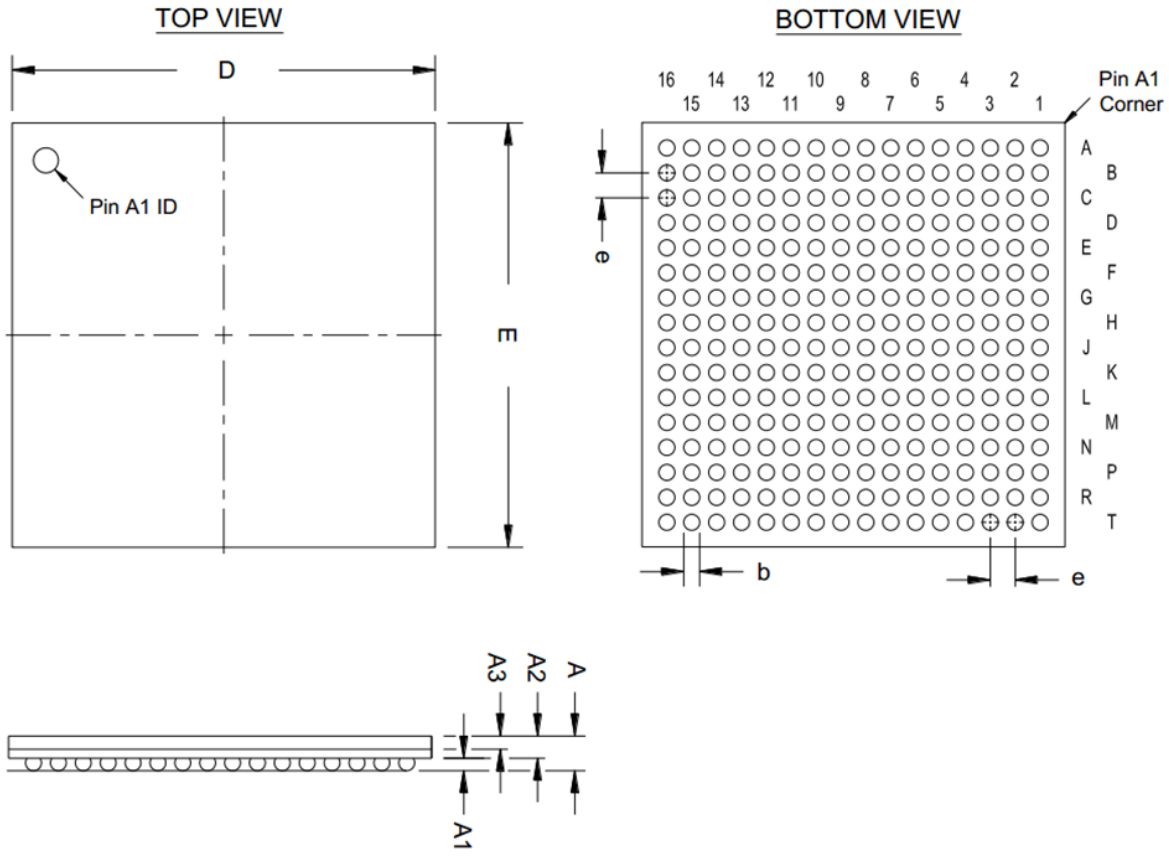
4.4.2 fBGA256 封装规格

- All dimensions and tolerances conform to ASME Y14.5M – 1994.
- Controlling dimension is in millimeters.
- Pin A1 may be indicated by an ID dot, or a special feature, in its proximity on package surface.

Package Information	
Description	**Specification**
Ordering Code Reference	F
Package Acronym	FBGA
Substrate Material	BT
Solder ball composition	Regular: 63Sn:37Pb (Typ.) Pb-free: Sn:3Ag:0.5Cu (Typ.)
JEDEC Outline Reference	MO-192 Variation: DAF-1
Lead Coplanarity	0.008 inch (0.20 mm)
Weight	0.93 g (Typ.)
Moisture Sensitivity Level	Printed on moisture barrier bag

Package Outline Dimension Table			
Symbol	**Millimeters**		
	Min.	**Nom.**	**Max.**
A	1.35	1.45	1.55
A1	0.30	0.40	0.50
A2	0.85	1.05	1.25
A3	0.65	0.70	0.75
D	17.00 BSC		
E	17.00 BSC		
b	0.40	0.50	0.60
e	1.00 BSC		

封装外观

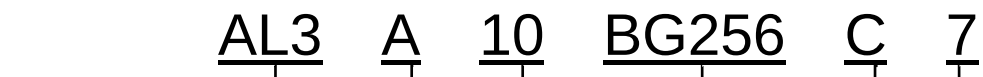

TOP VIEW
BOTTOM VIEW
D
E
Pin A1 ID
16 14 12 10 8 6 4 2
15 13 11 9 7 5 3 1
Pin A1
Corner
A B C D E F G H J K L M N P R T
e
b
e
A3 A2 A
A1

5 订购信息

表 5- 1 器件号缩写

器件名称	类别	查找表容量	封装类型	温度等级	速度等级
AL3	A	10	BG256	C	7

- 产品系列
  - AL3 系列
  - AL4 系列
- 类别
  - A A 型 IO 布局
  - X X 型 IO 布局
  - L L 型 IO 布局
- 查找表容量
  - 06 6K 查找表
  - 10 10K 查找表
  - 55 55K 查找表
  - 130 130K 查找表
- 封装类型：<类型><#>
  - LG LQFP，lead free
  - BG FBGA，substrate
  - # 引脚数（144 指 144 个引脚，256 指 256 个引脚）
  -
- 温度等级
  - C 商业（TJ = 0 – 85 ℃）
  - I 工业（TJ = -40 – 100 ℃）
- 速度等级 #
  - # 速度（7 指速度等级为 7，6 指速度等级为 6，…）



器件名称

AL3 FPGA

类型

A A 型 IO 布局

X X 型 IO 布局

L L 型 IO 布局

查找表容量

05 5K 查找表

10 10K 查找表

55 55K 查找表

130 130K 查找表

封装类型

LG LQFP

BG FBGA

温度等级

C 商业（TJ= 0 - 85℃）

I 工业（TJ= -40 - 100℃）

速度等级为 7

6 版本信息

日期	版本	修订记录
09/08/2013	0.1	首次发布中文版
08/07/2014	1.1	更改部分芯片规格，更新 EMB 说明等，增加引脚信息，更新订购信息
06/23/2015	1.2	更新订购信息
28/09/2017	1.3	更新 LQFP144 引脚说明
09/12/2017	1.4	增加 LVDS 端口说明
01/02/2018	1.5	增加 CCLK 时钟说明
08/02/2018	1.6	更改封装型号 LQFP144
26/02/2018	1.7	增加 VREF 引脚标示
28/05/2018	1.8	更新器件选型表，修改部分功能描述
04/07/2018	1.9	更新 LQFP144 引脚列表，修正第 12 脚标识
05/07/2018	2.0	更新 LQFP144 引脚列表，修改引脚差分标识
10/07/2018	2.1	修正修正 VCCAUX 最大推荐值
05/09/2018	2.2	文档格式统一化
16/11/2018	2.3	修改 TRUE LVDS 输出示意图

版权所有©2018 上海安路信息科技有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全 部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任 何知识产权许可。除安路科技在其产品的销售条款和条件中声明的责任之外，安路科技概不承担任何法律或非法律责任。安路科技对安路科技产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。安路科技对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，安路科技保留修改文档中任何内容的权利，恕不另行通知。安路科技不承诺对这些文档进行适时的更新。