

安路科技 ELF 系列 FPGA
数据手册

DS200（v2.3）2018 年 9 月

Confidential

目 录

目 录 I

1 简介 1

1.1 ELF 器件系列特性 1

1.2 ELF CPLD 器件市场定位 2

2 ELF 架构概述 3

2.1 PLB 模块 3

2.1.1 PFB 操作模式 4

2.1.2 寄存器 5

2.1.3 互连（Routing） 5

2.2 时钟和全局信号资源 6

2.3 输入输出逻辑（IOL） 7

2.3.1 输入寄存器 7

2.3.2 输出寄存器 7

2.4 输入输出缓冲器（IOB） 8

2.4.1 简介 8

2.4.2 IO BANK 9

2.4.3 兼容 5V 输入 9

2.5 ELF CPLD 位流配置说明 13

2.5.1 配置模式 14

2.5.2 配置流程 14

2.5.3 MIPI 配置模式 15

2.5.4 SFL(Self Flash Loader)自下载配置模式 16

2.5.5 Dual Boot 模式 17

2.5.6 JTAG 配置模式 17
2.6 OTP 功能 18
2.7 上电延迟 18
2.8 保密配置选项 18
2.9 内部振荡器 18
3 直流交流特性 19
3.1 直流电气特性 19
3.1.1 最大绝对额定值 19
3.1.2 推荐基本操作条件 19
3.1.3 静态供电电流 [1,2] 20
3.1.4 热插拔规格 20
3.1.5 上电复位电压阈值 20
3.1.6 I/O 直流电气特性 21
3.1.7 I/O 管脚电容 21
3.1.8 差分 I/O 电学特性 21
3.1.9 单端 I/O 直流电学特性 22
3.2 交流电气特性 23
3.2.1 时钟性能 23
3.2.2 I/O 接口性能 23
3.2.3 配置模块和 JTAG 规格 24
4 引脚和封装 25
4.1 引脚定义和规则 25
4.2 电源电压管脚 26
4.3 EL1L300、EL1F650 引脚说明 27
4.4 EL1A300、EL1A650 引脚说明 31
4.5 封装信息 36

4.5.1 LQFP100 封装规格 36

4.5.2 LQFP144 封装规格 37

4.5.3 QFP44 封装规格 38

5 订购信息 39

6 版本信息 40

免责声明 40

1 简介

1.1 ELF 器件系列特性

- **内嵌 Flash 的快速上电 CPLD 器件**
  - 先进的 130nm flash 低功耗工艺
  - 内嵌非易失性 Flash
  - 可支持快速上电工作(<1 ms)
  - 静态功耗 < 2mA
  - 3.3~2.5 V 单电源供电（Vccext）
  - 3.3~1.2 V IO 电压（Vccio）
- **基于灵活的 CPLD 可配置逻辑模块(PLBs)**
  - 每个 PLB 包含 8 个基于 4 输入查找表和 DFF 锁存器构成的逻辑单元（LE）。
  - 多种可编程逻辑单元规模可选（等效 300 个 LE~650 个 LE）
  - 每个 PLB 内嵌专用进位链可实现 8 位算术逻辑。
  - 内部 PLB 可配置成独立的深度为 32，宽度为 4 的 RAM
  - 丰富的互连资源保证布通率，8 个全局时钟
- **高性能，灵活的输入/输出缓冲器**
  - 4 个 IO BANK，支持热插拔
  - 除支持标准 CMOS/TTL 接口外，BANK1 支持差分输入,四个 BANK 均支持 EMULATED LVDS
- **内嵌非易失性 eFlash 存储器**
  - 支持 DualBoot，存储 2 套码流，主码流失效时自动加载备用码流
  - 只存储 1 套码流时，用户可用内部 Flash 存储空间 16Kbyte
  - 若用外部接口下载，则可用空间 32Kbyte
  - 支持 OTP 模式，提供用户码流保密，eFlash 存储器可进行访问控制，用户可设置禁止读或写 eFlash 内部码流
  - Single-Boot 模式时，用户可使用 16K Bytes 内部 Flash 空间
  - 支持 42 位 DNA：每个芯片拥有唯一的 34 位芯片 DNA 和至少 8 位用户 trace ID

■ **配置模式**

- JTAG 模式 (IEEE-1532)
- 上电自动加载内部 eFlash 存储的码流
- 主动 SPI 接口

■ **封装**

- TQFP 44/100/144 封装
- 为用户提供更多的可用 IO，最大可用 IO 数：
  - ✧ 84(100pin 封装)
  - ✧ 120(144pin 封装)
  - ✧ 31(44pin 封装)

表 1-1- 1 ELF 系列选型器件参数列表

参 数	Elf-300	Elf-650
等效 4 输入查找表(LUT4)	300	650
分布式 RAM(Kbits)	2K	7K
Vccext 电压	2.5/3.3V	2.5/3.3V
用户可用内部 Flash 容量(KB)	16[1]	16[1]
I/O Banks	4	4
最大可用 I/O 数目	84	120
LVDS 输入对数	10	12

表 1-1- 2 ELF 系列封装

封装	Elf-300	Elf-650
100-pin TQFP	84	84
144-pin TQFP	----	120
44-pin TQFP	31	----

说明：

1. 位流存储于芯片内部时，内部 32KB eFlash 中 16KB 空间用于存储位流，用户可使用剩余的 16KB 空间。
2. 位流存储于芯片外部时，用户可以使用内部 32KB eFlash 空间。

1.2 ELF CPLD 器件市场定位

安路 ELF 系列 CPLD 器件，定位于低成本、低功耗可编程 CPLD 市场。相比对标器件更多逻辑容量、分布式 RAM 支持、更多 IO 支持、多种封装支持等特性，使得 ELF 器件合适通信、工业、消费等应用领域中逻辑桥接、接口扩展、系统控制等功能。ELF 器件支持 OTP 模式，上电 1ms 快速上电启动功能适合于上电时间敏感的运动控制领域和安全应用领域。

2 ELF 架构概述

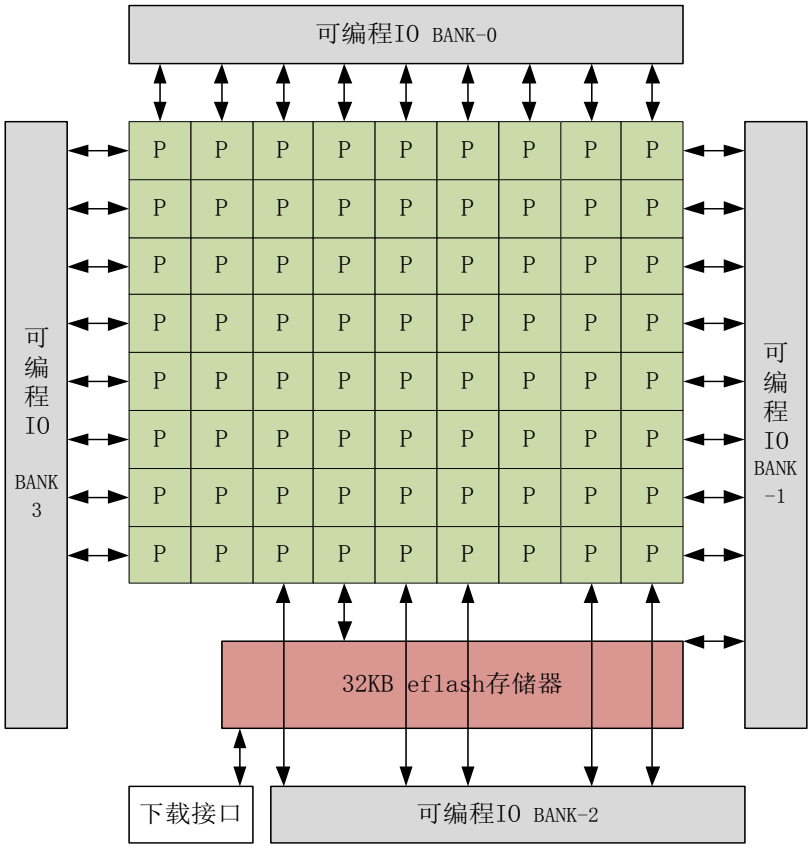


图 2- 1 ELF 器件简化框图

ELF 系列器件由查找表逻辑模块（PLB）阵列构成核心资源，输入输出缓冲器分布在芯片四边。ELF 器件基于 eFlash 工艺，内部集成有 32K BYTE 的非易失存储器，用户可以通过 JTAG 接口编写 eFlash。

ELF 芯片 IO 有 4 个 BANK，其中 BANK-1 的 IO 增加了对差分输入信号的支持，四个 BANK 均支持 EMULATED LVDS 输出。

2.1 PLB 模块

可编程逻辑块（PLB）按照行/列规则排布成二维阵列，每个 PLB 包括可编程互连（routing）和可编程功能块（Programmable Functional Block，PFB）。PFB 是 CPLD 的可编程功能核心。ELF 器件内部 PFB 可实现：逻辑，算术 ROM 功能以及信号锁存 DFF。

ELF PFB 分为两类：MPFB 和 LPFB。其唯一不同点是：LPFB 不具有分布式 RAM（distribute RAM）功能。PFB 内部包含 4 个 SLICE，编号 0~3。SLICE 0,1 为 MSLICE 类型，SLICE 2,3 为 LSLICE 类型。

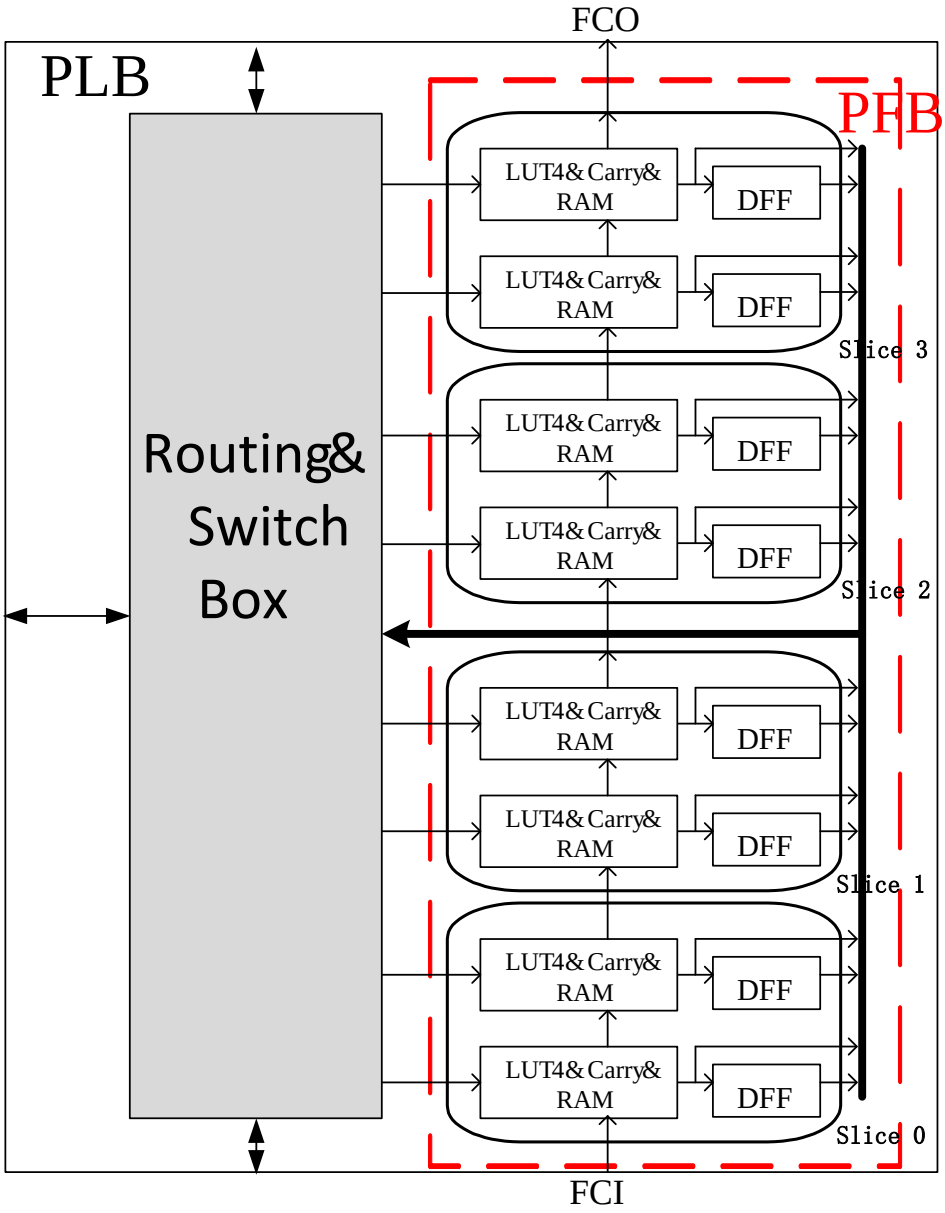


图 2-1- 1 可编程功能块（PFB）结构图

2.1.1 PFB 操作模式

MPFB 有 4 种操作模式：逻辑，算术，分布式 RAM 和 ROM。

LPFB 有 3 种操作模式：逻辑，算术和 ROM。

■ **逻辑模式**

在逻辑模式中，PFB 中的 LUT4 配置成 4 输入组合逻辑查找表，任意 4 输入函数都可以用这个查找表实现。PFB 内的 LUT 还可以通过内部输出组合电路级联成更大的查找表。

■ **算术模式**

算术模式会利用 SLICE 内部快速进位链实现快速、高效的算术功能，每个 PLB 可实现 8bit 算术逻

辑。可支持的算术逻辑有：加法，减法，带控制选择的加/减法器，计数器，以及比较器。

上下相邻 PFB 可级联实现更宽位宽的算术逻辑。

- **分布式 RAM 模式**

MPFB 可配置成此模式，一个 MPFB 可配置成 32x4 的简单双口 RAM（一口写/一口读）。多个 MPFB 组合可实现深度/位宽的扩展，也可以实现真双口 RAM。

- **ROM 模式**

所有 SLICE 在 LUT 逻辑下可用作 ROM 模式，用户可以通过软件设置 ROM 初值。

2.1.2 寄存器

PFB 内每个 SLICE 包含 2 个可配置寄存器。可锁存 LUT 的输出或者来自互连的 MI 输入。寄存器配置选项：

- 边沿触发的锁存器（DFF） 或电平使能锁存器（LATCH）
- 支持同步复位的同时且支持异步复位 0 或置位 1
- SLOAD 功能和移位功能。
- 是否使用 ClockEnable 使能
- CLK/CE/SR 支持上升沿/下降沿/0/1 选择

2.1.3 互连（Routing）

可编程互连实现 CPLD 内部各个功能块之间的信号传输。ELF 系列器件内部拥有丰富的互连资源，包括线间选通开关、线缓冲器以及信号走线。ELF 系列互连线全部带有缓冲器，从而实现高速信号传输和可靠的信号完整性。

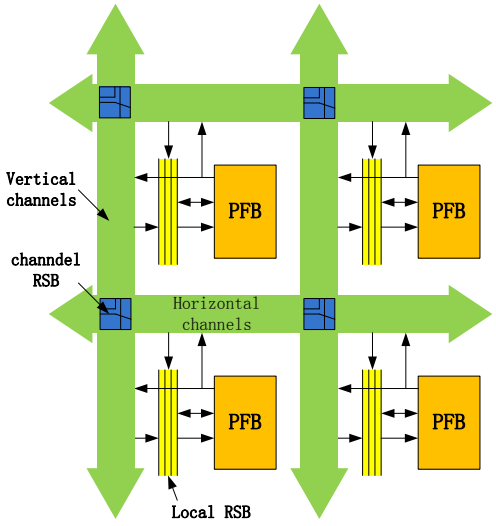


图 2-1- 2 ELF 互连架构

PFB 间信号通过水平通道和垂直通道传输。PFB 可以直接驱动水平/垂直通道。通道之间通过 channel RSB(routing switch box) 进行切换。通道上传输的信号通过 local RSB 进入 PFB。

2.2 时钟和全局信号资源

ELF 系列器件每边有 2 个合计 8 个专用全局时钟输入管脚，为全局时钟树提供高品质的 clock 输入。当这些脚不用做时钟输入时也可以配置为普通用户 IO。

ELF 系列内部时钟资源提供 8 个低延迟、低偏斜、互联的全局时钟/信号网络。全局时钟/信号网络能够为 CPLD 各个模块提供统一的高性能、低抖动、低偏斜时钟源和复位信号，同时全局时钟也可用于高扇出信号。每一个全局时钟网络可以驱动芯片内的每一个 PFB、IOB 中 DFF 资源。图 2-2- 1 给出了全局时钟 CMUX 的输入资源。

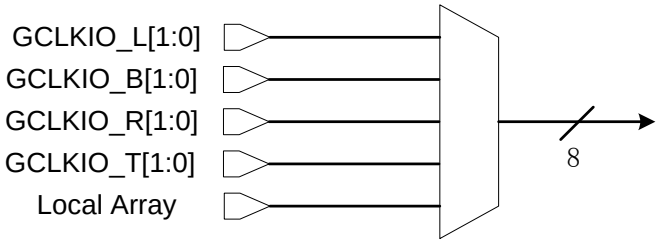


图 2-2- 1 全局时钟 CMUX 的输入资源

■ **动态时钟使能（DCE）**

动态时钟使能(DCE)模块允许用户逻辑控制动态控制时钟网络。当选定时钟被禁止，所有被该时钟驱动的逻辑都静止，从而减少功耗。

■ **全局时钟分布树**

全局时钟网络驱动到每一个独立的 PFB 列，每一列的 8 个全局时钟从 PFB 列的底端延伸至顶端。每一列的全局时钟可以在不使用时独立关掉以节省功耗。

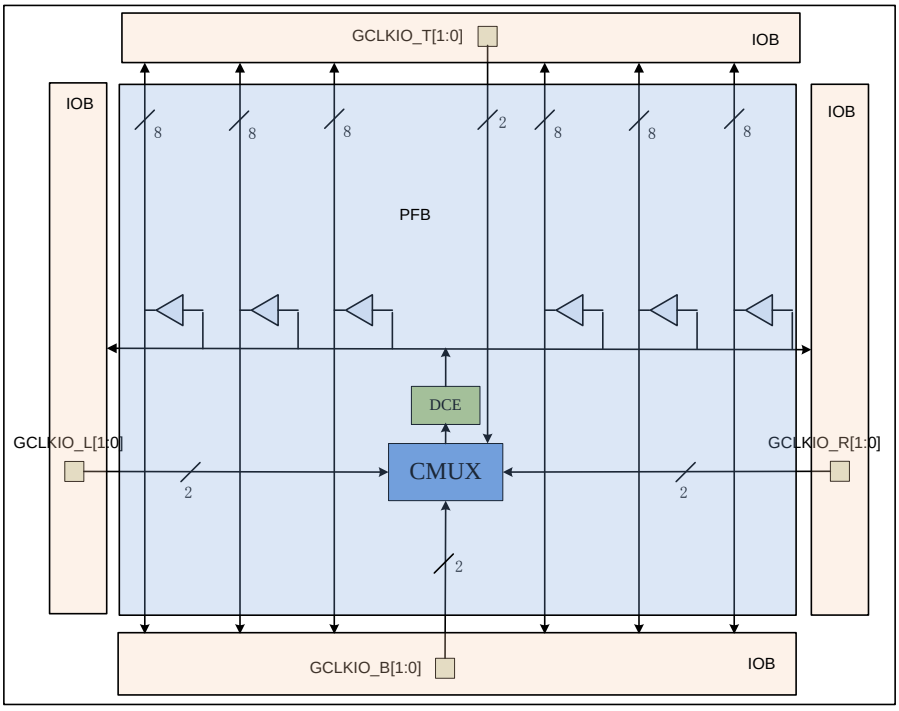


图 2-2- 2 全局时钟分布树

2.3 输入输出逻辑（IOL）

2.3.1 输入寄存器

输入输出逻辑（IOL）中的输入寄存器用来处理高速接口，将其降低为内部核心逻辑可以处理的频率。输入寄存器中均包含可配置延时单元作为数据采样处理辅助。在次基本功能基础上增强了对普通双边沿数据(GDDR)的支持。

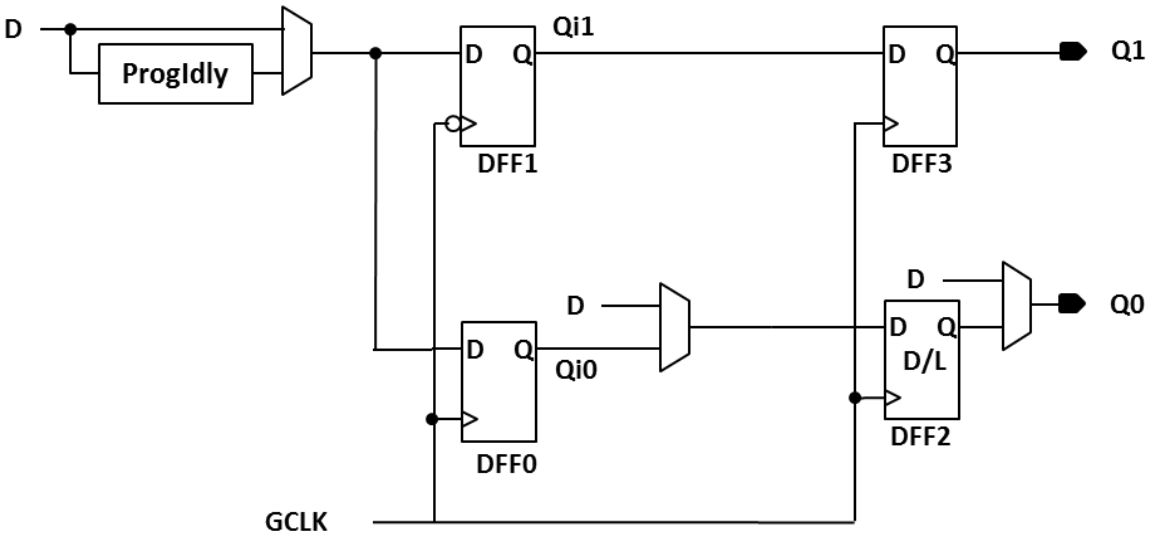


图 2-3- 1 输入寄存器框图

2.3.2 输出寄存器

输入输出逻辑（IOL）中的输出寄存器用来处理内部核心逻辑到高速 I/O 接口的时序。

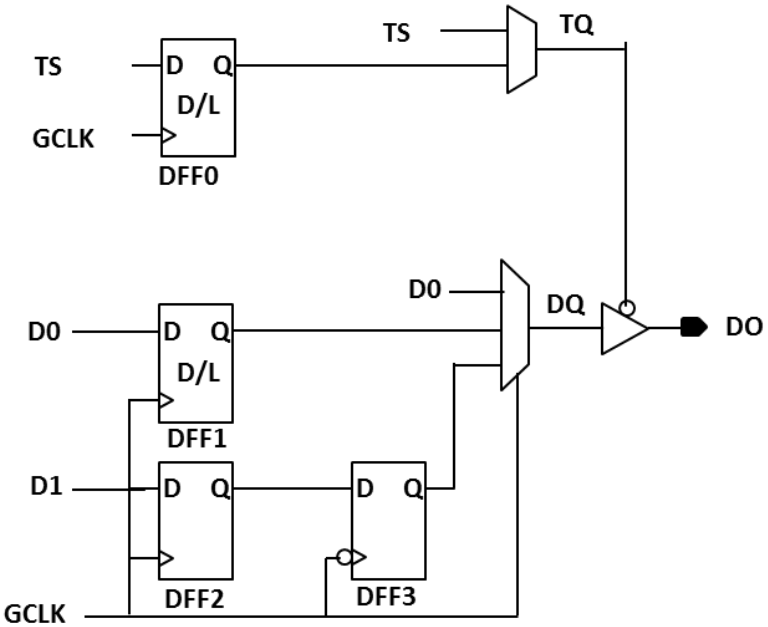


图 2-3- 2 输出寄存器框图

2.4 输入输出缓冲器（IOB）

2.4.1 简介

ELF 具有可配置宽电压范围的 I/O 驱动器和接收器，可支持种类繁多的标准接口。强大的功能集包括输出强度和斜率的可编程控制。

每个 IOB 包含输入、输出和三态驱动器。这些驱动器可以按照各种 I/O 标准配置。

- 单端 I/O 标准（LVCMOS、LVTTL、HSTL、SSTL、GTL、PCI）
- BANK1 IO 支持差分输入（LVDS），四个 BANK 均支持 EMULATED LVDS 输出

IOB 支持上述电平标准的同时，IOB 支持以下配置项：

- 输出驱动能力调节
- 输出 Slew Rate 调节
- 弱上拉/下拉电阻选择配置
- PCI Clamp 使能
- Bus Hold 功能使能

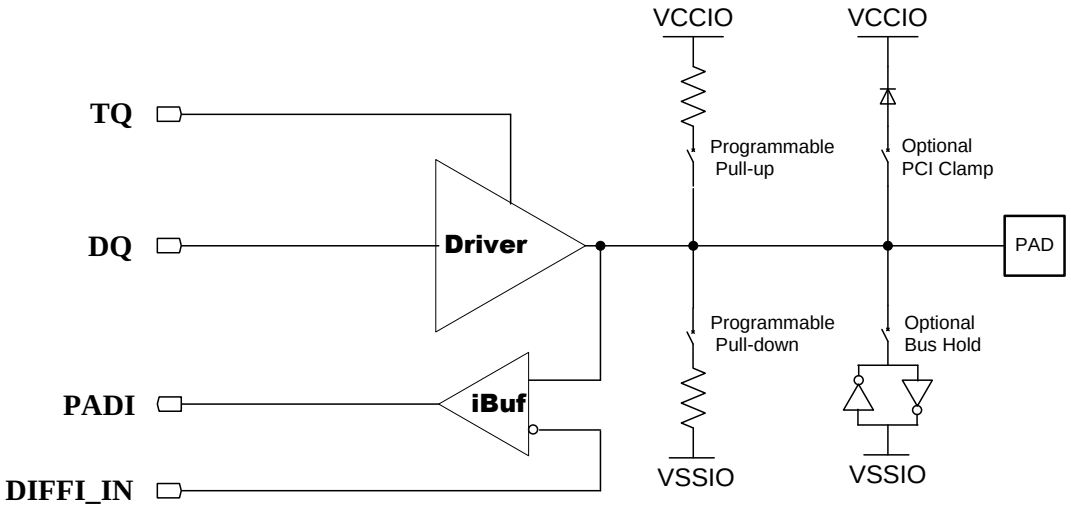


图 2-4- 1 基本 IOB 及其与内部逻辑和器件焊盘的连接

各 IOB 直接连接 IOL 组成逻辑对，该逻辑对包含输入和输出逻辑资源，可用于数据和 IOB 的三态控制。

2.4.2 IO BANK

ELF 器件有 4 个 I/O 组 Bank 0~3。所有的下载端口（包括 JTAG 口）和用户 IO 复用，为客户提供最大数量的可用 IO。位于芯片右侧的组 1 可支持高速 LVDS 差分输入。每一个 I/O 组由对应的 VCCIO 供电。

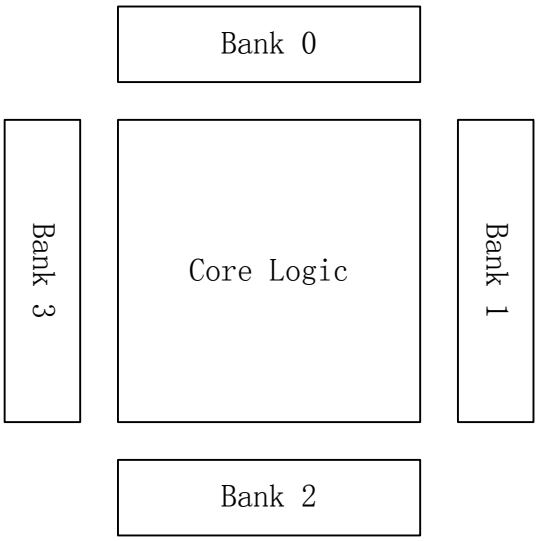


图 2-4- 2 IO 组示意图

2.4.3 兼容 5V 输入

ELF I/O 可以工作在 1.2-3.3V 电压范围，不能直接接收 5V 输入。如果 5V 电压信号驱动到 ELF 器件的输入，需要外部串接电阻和打开 ELF I/O 内部的 PCI 箝位二极管把输入端口接收到的电压降到器件安全范围内，如图 2-4- 3 所示。

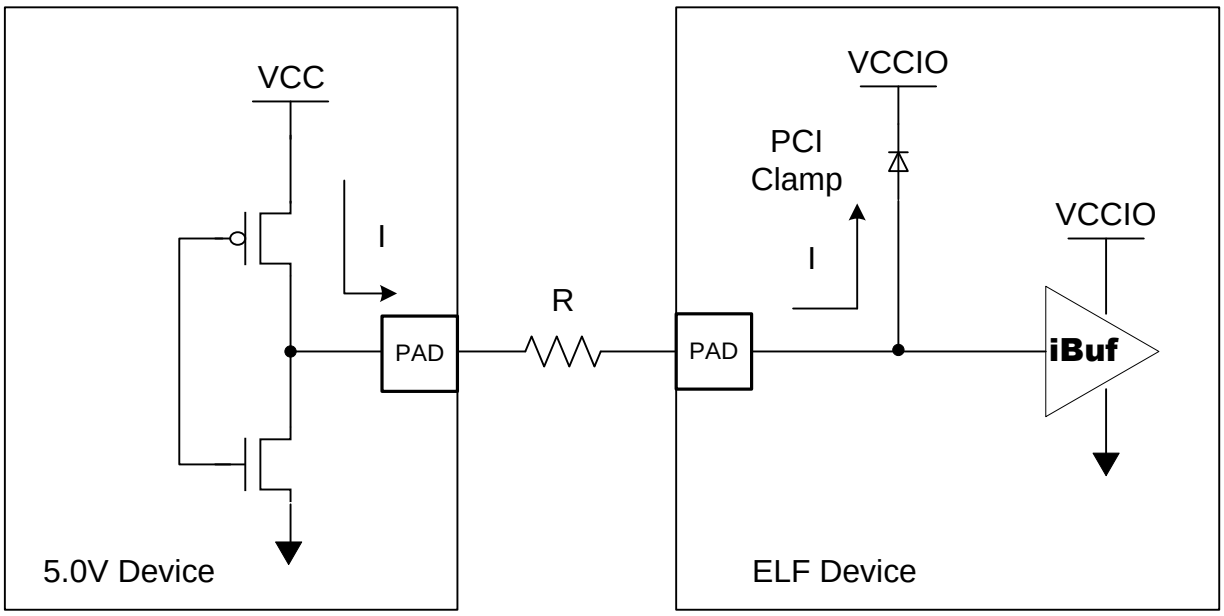


图 2-4- 3 5V 输入驱动 ELF 器件

电阻 R 值依赖于 PCI 箝位二极管的电流特性，二极管的电压电流特性见表 2-4- 1。

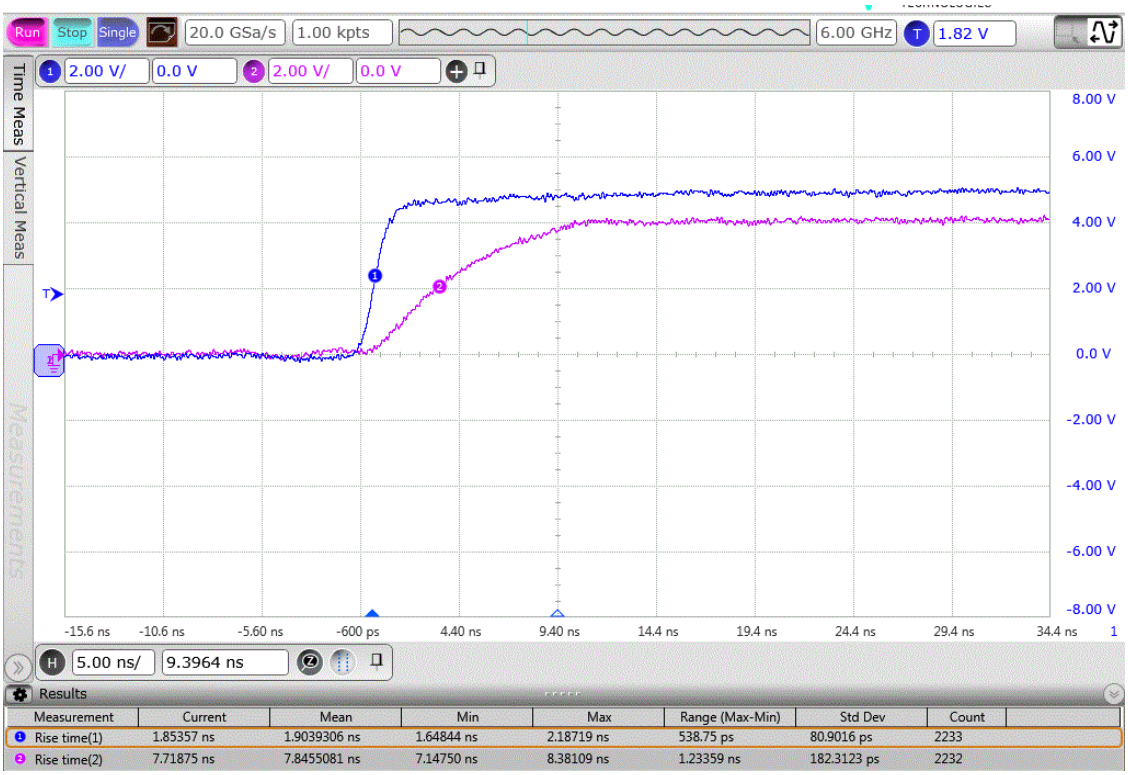
为支持 5V 输入，建议 VCCIO 电压工作在 2.5-3.0V 范围。I/O 器件最大容限绝对电压为 VIMAX=3.7V，设置 VCCIO=2.5V，则二极管上的压降为 VDIO = VI － VCCIO = 3.3 － 2.5 = 0.8V。IDIO @0.8V = 2.85Ma， R = (5 － 3.3)V/2.85mA = 596Ohm。

表 2-4- 1 PCI 箝位二极管的电流特性

V_D (V)	I_{max}	Unit
0.0	0.92	uA
0.1	9.2	uA
0.2	20	uA
0.3	30.4	uA
0.4	43.3	uA
0.5	76.5	uA
0.6	0.15	mA
0.7	0.36	mA
0.8	2.85	mA
0.9	9.42	mA

在输入信号频率为 800KHz 条件下，箝位通路分别串接不同阻值电阻，在 ELF 接收端测量波形如图 2-4- 4 ~图 2-4- 5 所示。

- 串接电阻 R=330 Ohm，上升时间为 7.8ns，下降时间为 12ns，见图 2-4- 4



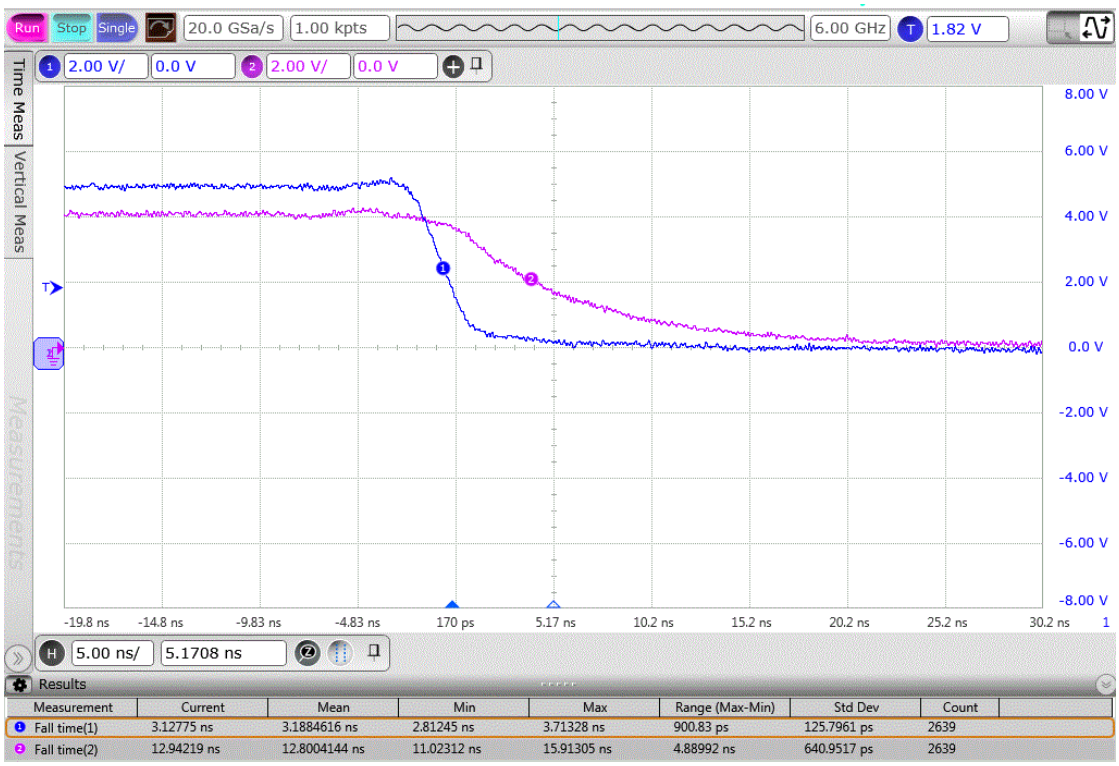
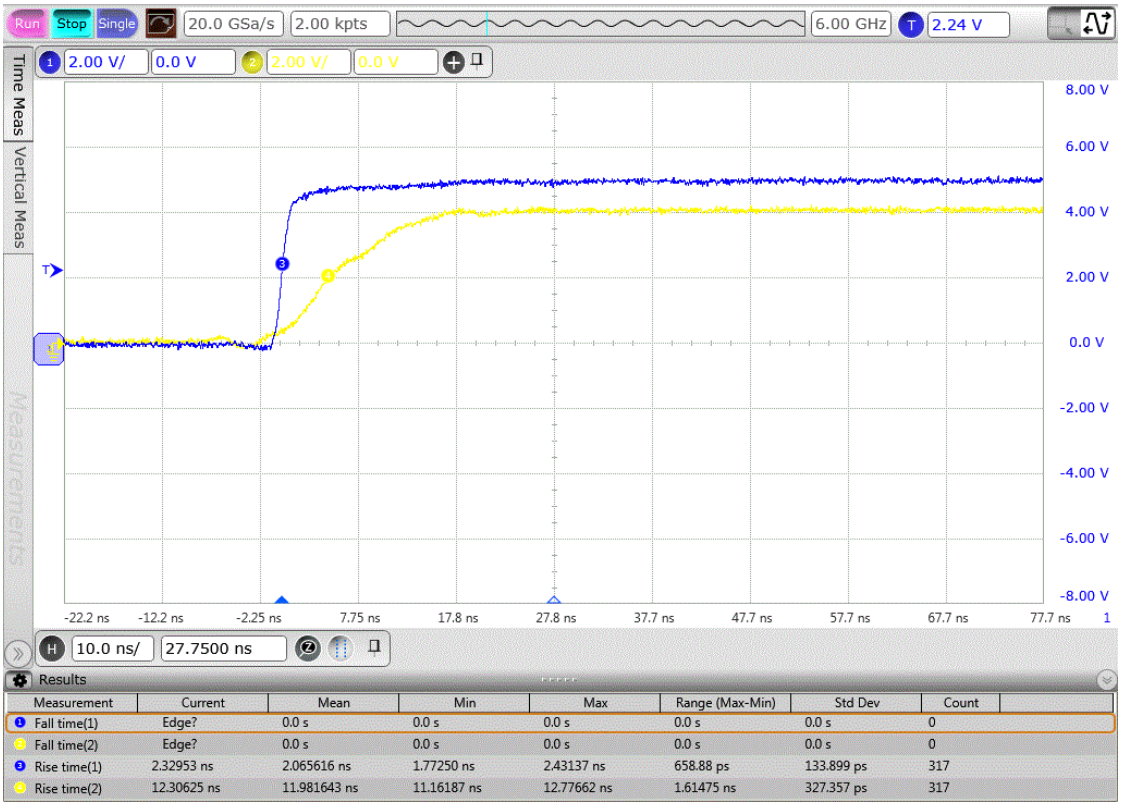


图 2-4- 4 5V 输入驱动 ELF 器件接收端波形 @R=330 Ohm

■ 串接电阻 R=560 Ohm，上升时间为 12ns，下降时间为 21ns，见图 2-4- 5



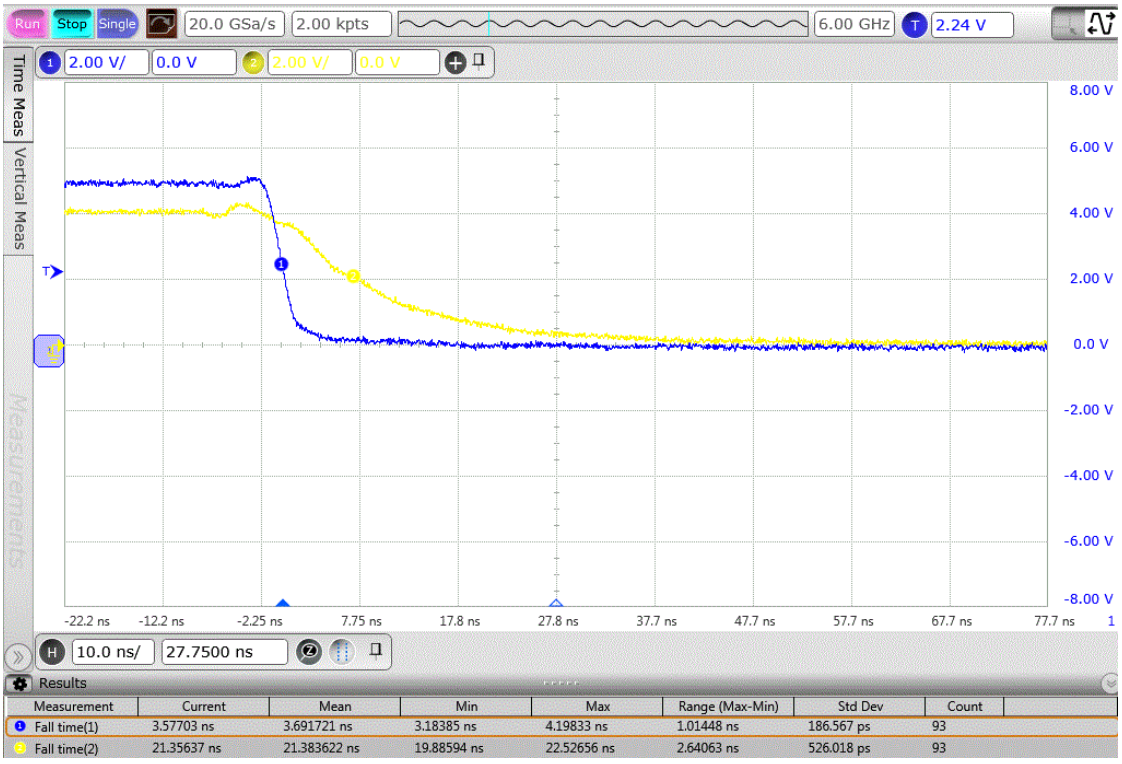


图 2-4- 5 5V 输入驱动 ELF 器件上升/下降沿 @R=560 Ohm

2.5 ELF CPLD 位流配置说明

ELF CPLD 芯片支持多种配置方式。ELF CPLD 芯片所有配置引脚都和用户 IO 复用，复用引脚在配置完成之后会根据用户的设置转换到用户输入输出模式或保持配置模式，用户可使用 TD 软件在 Elf Attr option 中设置配置引脚是否复用。

ELF 提供的位流加载方式有：

- JTAG 模式：可对内部 eFlash 进行位流编程，可直接下载位流进内部 SRAM
- CPLD 上电自加载：芯片如同 CPLD，内部电路直接加载芯片内 eFlash 中的位流，加载时间最快<1ms，实现上电即工作
- 外部 MSPI 串行下载
- Dual Boot 配置，首先从芯片内 eFlash 加载位流，如果失败，会从 eFlash 或外部 spi Flash 下载另外一个受保护的位流

表 2-5- 1 ELF 配置模式及引脚

配置模式					
配置引脚名	类型	SFL	MSPI	Dual Boot	JTAG
		自配置模式	外部 SPI	双重启动	
PROGRAMN	复用	PROGRAMN			
INITN	复用	INITN			
DONE	复用	DONE			
JTAG	复用				TMS TCK TDO TDI JTAGEN
MOSI	复用	-	MOSI-		
MISO	复用		MISO		
SPICSN	复用		SPICSN		
SCLK	复用		SCLK		

所有配置模式共用信号：

- 配置开始信号引脚（PROGRAMN），内部带上拉电阻
- 配置完成引脚（DONE），漏端开路输出，内部带上拉电阻
- 配置错误指示引脚（INITN），漏端开路输出，内部带上拉电阻

在 Elf Attr option 中可以分别设置属性 program_pin_persistn、done_pin_persist 和 init_pin_persist 来决定是配置 IO 或者用户 IO 。

其他配置专用信号：

- 边界扫描相关引脚（TDI，TDO，TMS，TCK, JTAGEN）
- SPI 模式片选输出（SPICSN）
- SPI 模式数据输出（MOSI）
- SPI 模式数据输入（MISO）
- SPI 模式时种输出 （SCLK）

2.5.1 配置模式

ELF CPLD 支持 4 种配置方式，分别是 SFL，MSPI，DUAL BOOT 模式和 JTAG 配置模式。配置模式由 TD 软件定义，并写入内部 FLASH 的 Elf Attr option 中的模式选择位。

ELF 系列 CPLD 中 ELF-300 和 ELF-650 配置位流长度约为 11K BYTE。

2.5.2 配置流程

ELF CPLD 芯片的整个配置过程可以分三个部分。首先，在芯片上电复位或者系统复位信号有效后进入复位阶段，等待内部信号和电源稳定后，系统进入初始化和内部配置信息清除，初始化完成后，CPLD 开始接受配置数据写入，写入完成后，CPLD 进入芯片启动阶段。

1. 初始化过程

ELF 芯片上电后，系统需要经过初始化过程才能进入配置下载状态。另外，用户如果需要重新对配置数据下载，拉低 PROGRAMN 并放开后，系统进入初始化过程，初始化过程中，CPLD 将清除内部所有配置点，复位内部寄寄存器。

2. 配置数据写入

ELF 初始化完成后，INITN 信号变为高电平，此时用户配置数据开始写入 ELF CPLD。

INITN 信号变为高的时候，CPLD 根据 Elf Attr option 中 Boot_Mode 确定配置模式。JTAG 配置模式在 INITN 信号变高后，可以在任何时间点进入。

3. 启动阶段

ELF 完成所有配置数据写入之后，进入启动过程。ELF CPLD 启动主要完成以下功能：

1) 释放 DONE 信号。DONE 信号从低电平变为高电平表示 ELF CPLD 顺利完成数据配置；如果一直保持低电平则表示没有顺利完成配置。

2) 释放全局 I/O 使能信号 GOE。I/O 使能信号 GOE 的释放，能够使能所有 I/O 管脚。

3) 释放全局复位/置位信号 GSRN，允许所有的触发器根据用户逻辑改变状态。

4) 释放全局写使能信号 GWE，允许所有的 RAM 和触发器能够被写入。

2.5.3 MIPI 配置模式

在 MSPI 模式下，ELF CPLD 为 SPI 接口提供 4 个专用信号 SCLK，MISO, MOSI 和 SPICSN，其中 SCLK 信号提供时钟，MISO 信号是数据输入，MOSI 信号提供读命令，地址等信息，SPICSN 为 SPI 片选。在 Elf Attr option 中设置 boot_select 为 MSPI 或 SLF-MSPI, ELF CPLD 使能 MSPI 配置模式，并在配置阶段将这些 IO 作为配置 IO 使用。

ELF CPLD 芯片 SCLK 输出驱动配置芯片，配置芯片的数据比特位流输出给 ELF CPLD 芯片的 MISO 引脚。ELF CPLD 芯片在每个 SCLK 的上升沿接收数据，DONE 拉高表示配置完成，如果配置过程中有错误，会把 INITN 信号拉低。

MSPI 模式下的时钟 SCLK 由内部振荡器产生，用户可以设置 SCLK 频率范围。芯片上电时 SCLK 默认设定为一个的低频率值，用户可以通过 TD 软件来修改 SCLK 频率，SCLK 频率范围从 2MHz~40MHz。

SPI Flash 数据可以使用安路 CPLD 下载线通过 JTAG 在线写入，连接如图 2-5- 1 所示，也可以使用专用的烧写工具直接写入。

图 2-5- 1 是 MSPI 配置方式连接图， PROGRAMN 信号控制复位 ELF CPLD 配置，其中 INITN 和 DONE 信号为漏端开路输出信号，内部带上拉电阻，DONE 信号变高，表示配置成功，芯片开始工作。配置时序如图 2-5- 2 所示。

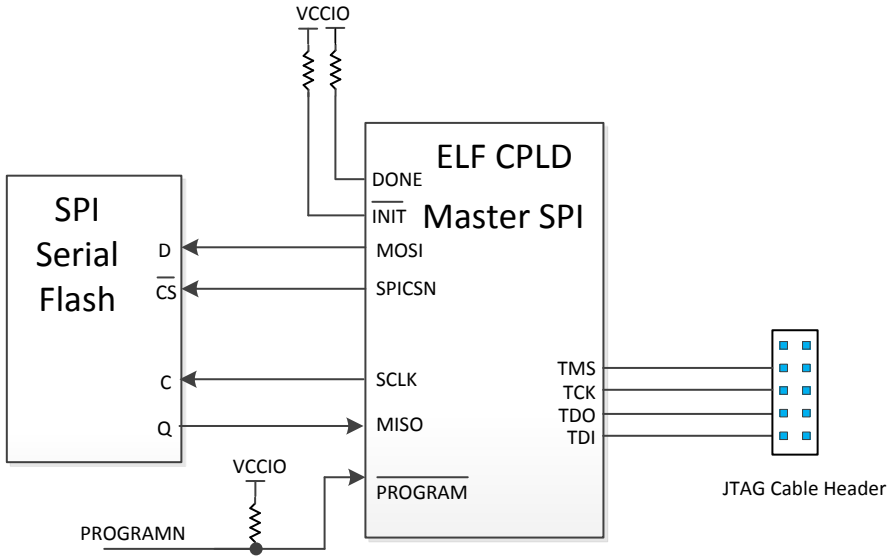


图 2-5- 1 ELF CPLD MSPI 配置方式

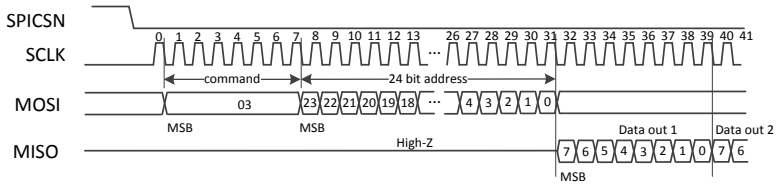


图 2-5- 2 MSPI 配置模式时序图

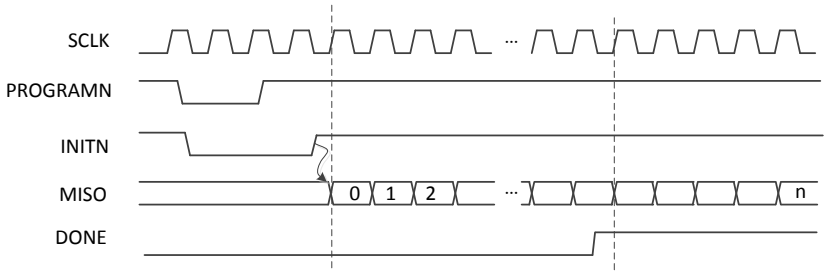


图 2-5- 3 串行配置模式时序图

MSPI 配置方式的时序如图 2-5- 3 所示。PROGRAMN 拉低后，INITN 信号被拉低，表示芯片开始初始化，大约 1ms 后芯片初始化完成，INITN 回到高电平，配置开始，CPLD 在时钟的上升沿采集配置数据，在配置完成之后，DONE 信号变高，表示配置成功，芯片开始工作。

2.5.4 SFL(Self　Flash Loader)自下载配置模式

Self Flash Loader 模式是 ELF CPLD 的主要下载模式。该模式的优点如下：

- 减少 BOM 成本：不需要额外的片外存储器，通过片内 eFlash 存储配置
- 安全性：下载过程中位流不可见，可以保护用户数据，防止被读出
- 即时工作：整个下载过程只需要 1ms，满足芯片快速启动要求

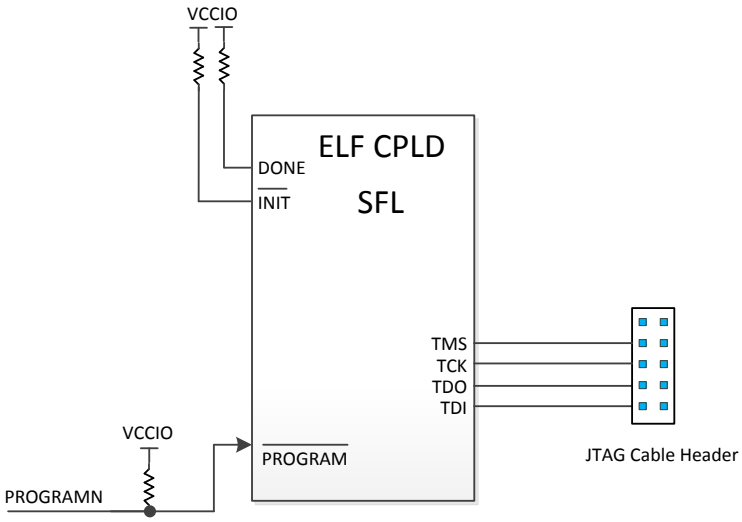


图 2-5- 4 SFL 配置图

2.5.5 Dual Boot 模式

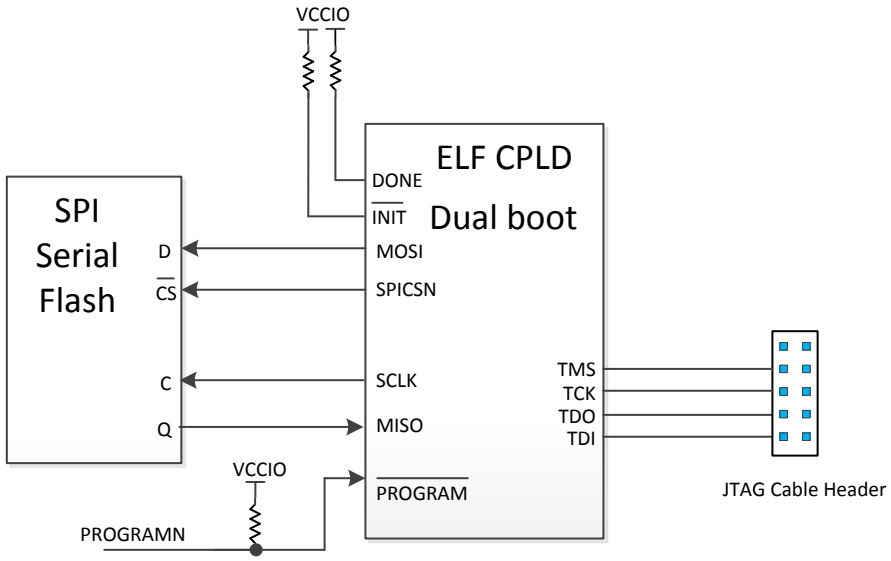


图 2-5- 5 ELF CPLD Dual Boot 配置方式

片内 eFlash 分为 2 块存储空间 CFM/UFM。CFM 用来存储配置位流。UFM 用来存储用户数据或配置位流。当 UFM 存储用户配置位流时，ELF CPLD 可设置为 Dual Boot 状态；当 CFM 中的位流配置失败后，能自动跳转到 UFM 的位流进行下载。Dual boot 模式可以提高用户设计的可靠性，在一个配置数据被破坏的情况下，通过另一个配置数据启动工作。

另外 Dual Boot 配置方式也可以将 SFL 和 MSPI 结合在一起。这种设置情况下，可以设置为首先尝试从内部 eFlash 的 CFM 开始配置，如果内部配置失败，ELF 再尝试通过 MSPI 从外部配置。

2.5.6 JTAG 配置模式

ELF CPLD 提供标准 JTAG 接口，可以通过 JTAG 方式进行配置。JTAG 方式配置是通过 ELF 4 个配置引脚（TDI，TDO，TMS，TCK）进行的。JTAG 配置模式在 INITN 信号变高后，不管配置模式如何，或者其他模式正在配置过程中，JTAG 均可以通过指令中断其他配置过程，进入 JTAG 配置模式。JTAG 提供以下功能：

- 片外 SPI Flash 编程
- 片内 SRAM 编程
- 片内 eFlash CFM/UFM 后台编程
- 片内 eFlash Elf Attr Option 读写

JTAG 配置使用安路 USB 下载线，配合 TD 软件进行，可以通过软件查看配置状态。ELF 芯片的 TDI，TDO，TMS，TCK 是复用引脚。在 Elf Attr option 中设置 JTAG_PIN_PERSISTN=Disable，TDI，TDO，TMS，TCK 在用户模式做用户 IO 使用，在这种情况下，如果需要继续使用 JTAG 接口，可以使用 JTAGEN 引脚控制，拿回 JTAG 引脚的控制权。

2.6 OTP 功能

用户可根据使用需求对 CFM/UFM/SRAM/ATTR 设定一次性可编程。通过设置 Elf Attr option 中 CFM_OTP，UFM_OTP, SRAM_OTP 和 ATTR_OTP 属性来实现，设置后对应块数据不能被擦除或改写。

2.7 上电延迟

ELF CPLD 有 50ms，5ms 和 0.05ms 3 档上电延迟选择。用户可通过设置 Elf Attr option 中 POR_Delay 属性来实现，默认为 0.05ms。

2.8 保密配置选项

ATTR_SEC: Elf Attr option 决定了 ELF CPLD 的配置功能和安全设置，其中 ATTR_SEC=Yes 时将禁止读取 Elf Attr option 中的数据。

DNA：ELF CPLD 引入 DNA 功能，每颗 ELF CPLD 器件有一个 42 位唯一 ID。这 42 位 ID 中有 34 位是不可改变的，在生产时决定。另外的 8 了位是 Elf Attr option 中 DNA_MSB，由用户决定。TD 软件提供读取 DNA 的 IP，用户可以通过对比 DNA 和用户应用中的数据，来对用户的应用进行保护。

用户配置安全选项：当用户分别设置了 SRAM 和 CFM 的安全选项后，SRAM 和 CFM 的读操作被禁止。如果用户同时设置了 UFM 的安全选项后，UFM 的读操作也被禁止。ELF CPLD 必须在 eFlash 被擦除后才能重置用户配置安全选项。

2.9 内部振荡器

ELF CPLD 内部有 OSC 振荡器，主要是用于程序加载使用。该 OSC 输出经过一个分频器后，也可供用户使用。用户可以通过调用库 IP ELF_PHY_OSC 来使用该时钟。该 IP 的原型如下：

```
module ELF_PHY_OSC (osc_dis, osc_clk);

input osc_dis;

output osc_clk;

parameter FREQ = "60"; // 60, 30 MHz

endmodule
```

从模型可以看出该 IP 可以输出 30MHz 和 60MHz 两个时钟频率，频率选择通过 parameter 参数确定。该时钟的频率精度不高，大概为±30%，所以该时钟不可作为通信，定时等使用。

该模块的端口有两个信号，当 osc_dis 为 0 时有时钟输出；osc_clk 是 OSC 分频器的输出，可以直接供用户逻辑使用。

3 直流交流特性

如无特殊说明，以下信息适用于：同一商业和工业级别规定的交流和直流特性。所有参数均为电压对地时的值。

3.1 直流电气特性

3.1.1 最大绝对额定值

表 3-1- 1 最大绝对额定值

SYMBOL	参 数	最 小	最 大	单 位
V_{CCEXT}	辅助电源	-0.5	3.75	V
V_{CCIO}	I/O驱动供电电压	-0.5	3.75	V
V_I	直流输入电压	-0.5	3.75	V
V_{ESDHBM}	人体模型静电放电电压		±2000	V
V_{ESDCDM}	机器模型静电放电电压		±200	V
T_{STG}	存储温度	-65	150	℃
T_J	结点温度	-40	125	℃

超过以上最大绝对额定值可能会导致器件永久性损坏。这些值仅表示在该额定值下操作不会损坏器件，但不表示器件在此极限值下功能正常。器件的功能性操作或基于此的任何条件最大绝对额定值可能会造成器件永久损坏。器件长期在极值条件下运行，会严重的影响器件的可靠性。

3.1.2 推荐基本操作条件

表 3-1- 2 推荐基本操作条件 [1]

SYMBOL	参 数		最 小	典 型	最 大	单 位
V_{CCEXT}[2]	辅助电源		2.25	2.5/3.3	3.465	V
V_{CCIO}[3]	I/O供电电压 @ 3.3V		3.135	3.3	3.465	V
	I/O供电电压 @ 2.5V		2.375	2.5	2.625	V
	I/O供电电压 @ 1.8V		1.71	1.8	1.89	V
	I/O供电电压 @ 1.5V		1.425	1.5	1.575	V
	I/O供电电压 @ 1.2V		1.14	1.2	1.26	V
V_I	直流输入电压		-0.5	—	3.6	V
V_O	输出电压		0	—	V_{CCIO}	V
T_J	结点温度	商业	0	—	85	℃
		工业	-40	—	100	℃
T_{RAMP}	电源缓变率		10	—	100	V/ms
I_{Diode}	PCI-clamp 二极管电流		—	—	10	mA

1. 器件工作时要求所有 I/O 的 VCCIO 必须连接好电源
2. 器件工作时要求 VCCEXT 必须连接好电源
3. 所有输入输出缓冲器由 VCCIO 供电

3.1.3 静态供电电流 [1,2]

表 3-1- 3 静态电源电流

Symbol	参 数	器 件	典 型	单 位
I_{VCCEXT}	核心电源	ELF-300	3	mA
		ELF-650	3	mA
I_{VCCIO}	I/O 组电源, @V_{CCIO}=2.5V	ELF-300	0.6	mA
		ELF-650	0.6	mA

1. 该表中的数值基于通用的推荐操作条件，室温下（TJ = 25℃）使用典型器件测得。
2. 典型值为空白器件，没有输出电流负载，高阻抗状态下，并当所有上拉/下拉电阻器在 I/O 引脚禁止时，测量的所有 I/O 驱动的静态电源电流。

3.1.4 热插拔规格

表 3-1- 4 为热插拔规格 [1]

SYMBOL	参 数	最 大	单 位
$I_{IOPIN(DC)}$	DC电流，每个I/O	1	mA
$I_{IOPIN(AC)}$	AC电流，每个I/O	8[1]	mA

1. 电源缓变率等于或大于 10ns。

3.1.5 上电复位电压阈值

表 3-1- 5 上电复位电压阈值

SYMBOL	参 数	最 小	典 型	最 大	单 位
V_{CCEXT_PORUP}	V_{CCEXT}上电检测阈值	1.95	2.0	2.05	V
V_{CCEXT_PORDN}	V_{CCEXT}掉电检测阈值	—	—	1.8	V

3.1.6 I/O 直流电气特性

表 3-1- 6 推荐基本操作条件

SYMBOL	参 数	条 件	最 小	典 型	最 大	单 位
I_{IL}, I_{IH}	输入漏电电流	$0 \leqq V_I \leqq V_{CCIO}$-0.5V	-10	—	10	uA
I_{IH}	输入漏电电流	V_{CCIO}-0.5V $\leqq V_I \leqq V_{IH_MAX}$	—	—	150	uA
I_{PU}	I/O 弱上拉电流		35	—	250	uA
I_{PD}	I/O 弱下拉电流		35	—	250	uA
I_{BHLS}	总线保持 0 维持电流		40	—	—	uA
I_{BHHS}	总线保持 1 维持电流		40	—	—	uA
I_{BHLO}	总线保持 0 改写电流	$0 \leqq V_I \leqq V_{CCIO}$	—	—	350	uA
I_{BHHO}	总线保持 1 改写电流	$0 \leqq V_I \leqq V_{CCIO}$	—	—	350	uA
V_{BHT}	总线保持触发电平	—	V_{IL_max}	—	V_{IH_min}	V
V_{HYST}	施密特触发器输入磁滞	V_{CCIO}=3.3V,HYST=Large	—	500	—	mV
		V_{CCIO}=3.3V,HYST=Small	—	250	—	mV
		V_{CCIO}=2.5V,HYST=Large	—	400	—	mV
		V_{CCIO}=2.5V,HYST=Small	—	200	—	mV
		V_{CCIO}=1.8V,HYST=Large	—	350	—	mV
		V_{CCIO}=1.8V,HYST=Small	—	170	—	mV
		V_{CCIO}=1.5V,HYST=Large	—	380	—	mV
		V_{CCIO}=1.5V,HYST=Small	—	190	—	mV

3.1.7 I/O 管脚电容

表 3-1- 7 ELF 器件管脚电容

SYMBOL	参 数	QFP	FBGA	单 位
C_{IOTB}	上下管脚输入电容	7	6	pF
C_{IOLR}	左右管脚输入电容	8	7	pF

3.1.8 差分 I/O 电学特性

表 3-1- 8 推荐差分操作条件

参 数	描 述	测试条件	最 小	典 型	最 大	单 位
V_{IP}, V_{IN}	输入电平	V_{CCIO}=2.5	0	—	2.4	V
V_{ID}	输入差分摆幅		100	350	800	mV
V_{ICM}	输入共模电压	V_{CCIO}=2.5	0.05	—	2.35	V
I_{IN}	输入电流	上电过程	—	—	±15	uA

3.1.9 单端 I/O 直流电学特性

表 3-1- 9 ELF 器件单端 I/O 标准规格

标准	V_{IL} (V)		V_{IH} (V)		V_{OL} 最大	V_{OH} 最小	I_{OL}	I_{OH}
	最小	最大	最小	最大	(V)	(V)	(mA)	(mA)
LVTTL33 LVCMOS33	-0.3	0.8	1.9	Vccio+0.3	0.4	V_{CCIO} – 0.4	4	-4
							8	-8
							12	-12
							16	-16
							24	-24
					0.2	V_{CCIO} – 0.2	0.1	-0.1
LVCMOS25	-0.3	0.7	1.7	Vccio+0.3	0.4	V_{CCIO} – 0.4	4	-4
							8	-8
							10	-10
							12	-12
					0.2	V_{CCIO} – 0.2	0.1	-0.1
LVCMOS18	-0.3	0.35*V_{CCIO}	0.65*V_{CCIO}	Vccio+0.3	0.4	V_{CCIO} – 0.4	4	-4
							6	-6
							8	-8
					0.2	V_{CCIO} – 0.2	0.1	-0.1
LVCMOS15	-0.3	0.35*V_{CCIO}	0.65*V_{CCIO}	Vccio+0.3	0.4	V_{CCIO} – 0.4	3	-3
							6	-6
					0.2	V_{CCIO} – 0.2	0.1	-0.1
LVCMOS12	-0.3	0.35*V_{CCIO}	0.65*V_{CCIO}	Vccio+0.3	0.4	V_{CCIO} – 0.4	2	-2
							4	-4
					0.2	V_{CCIO} – 0.2	0.1	-0.1
PCI33	-0.3	0.3*V_{CCIO}	0. 5*V_{CCIO}	Vccio+0.3	0.1*V_{CCIO}	0.9*V_{CCIO}	1.5	-0.5
PCIX33	-0.3	0.35*V_{CCIO}	0. 5*V_{CCIO}	Vccio+0.3	0.1*V_{CCIO}	0.9*V_{CCIO}	1.5	-0.5

3.2 交流电气特性

本章节提供 ELF 核心和周边模块的性能参数，时序参数及其典型值是常规的设计重要参数，也是器件的基本性能参数。这些参数反映了器件在最差条件下的实际性能。

3.2.1 时钟性能

表 3-2- 1 推荐的时钟操作频率

器 件	性 能			单 位
	3	4	5	
ELF-300/650	300	250	200	MHz

3.2.2 I/O 接口性能

表 3-2- 2 I/O 接口性能

输入/输出标准	描 述	最 大	单 位
最大输入频率			
LVPECL33	LVPECL, Emulated, VCCIO = 3.0V	150	MHz
LVDS25	LVDS, VCCIO = 2.5V	300	MHz
LVTTL33	LVTTL, VCCIO = 3.3V	150	MHz
LVCMOS33	LVCMOS, VCCIO = 3.3V	150	MHz
LVCMOS25	LVCMOS, VCCIO = 2.5V	150	MHz
LVCMOS18	LVCMOS, VCCIO = 1.8V	120	MHz
LVCMOS15	LVCMOS, VCCIO = 1.5V	100	MHz
LVCMOS12	LVCMOS, VCCIO = 1.2V	70	MHz
PCI33		66	MHz
最大输出频率			
LVPECL33E	LVPECL, Emulated, VCCIO = 3.0V	150	MHz
LVTTL33	LVTTL, VCCIO = 3.3V	150	MHz
LVCMOS33	LVCMOS, VCCIO = 3.3V	150	MHz
LVCMOS25	LVCMOS, VCCIO = 2.5V	150	MHz
LVCMOS18	LVCMOS, VCCIO = 1.8V	125	MHz
LVCMOS15	LVCMOS, VCCIO = 1.5V	100	MHz
LVCMOS12	LVCMOS, VCCIO = 1.2V	70	MHz
PCI33		66	MHz

3.2.3 配置模块和 JTAG 规格

表 3-2- 3 ELF 器件下载模式规格

下载模式	最 小	典 型	最 大	单 位
主模式串行 SPI (MSPI)	2.5	—	20	MHz
JTAG	—	10	—	MHz

表 3-2- 4 ELF 器件 JTAG 时序规格表

符号	参 数	最 小	最 大	单 位
t_{JCP}	TCK 周期	40	—	ns
t_{JCH}	TCK 高电平时间	20	—	ns
t_{JCL}	TCK 低电平时间	20	—	ns
t_{JPSU_TDI}	TDI 建立时间	1	—	ns
t_{JPSU_TMS}	TMS 建立时间	3	—	ns
t_{JPH}	JTAG 端口保持时间	10	—	ns
t_{JPCO}	JTAG 端口时钟到输出延时	—	15	ns
t_{JPZX}	JTAG 端口有效输出到高阻转换时间	—	15	ns
t_{JPXZ}	抓取寄存器建立时间	—	15	ns
t_{JSSU}	抓取寄存器保持时间	5	—	ns
t_{JSH}	更新寄存器建立时间	10	—	ns
t_{JSCO}	更新寄存器时钟到输出延时	—	25	ns
t_{JSZX}	更新寄存器高阻到有效输出	—	25	ns
t_{JSXZ}	更新寄存器有效输出到高阻	—	25	ns

4 引脚和封装

4.1 引脚定义和规则

表 4-1- 1 引脚定义规则

引脚名称	方向	描 述
普通 I/O		
IO,[DIFFIO_][Edge][Num][p/n]	I/O	[Edge] 表示管脚所在的边。包括 L/R/T/B [Num] 表示 I/O 在所在边的编号 [p/n] 表示 I/O 差分极性
NC	—	无连接。
GND	—	电源地。建议所有的电源地接在一起。
V_{CCIOx}	—	I/O 组电源。建议同一 I/O 组所有的电源接在一起。
V_{CCEXT}	—	核心逻辑电源。
配置复用引脚		
TCK	输入	TCK 输入边界扫描时钟。
TDI	输入	边界扫描数据输入。
TDO	输出	边界扫描数据输出。
TMS	输入	边界扫描模式选择。
JTAGEN	输入	JTAG 权限控制脚，如果 JTAG 脚设为复用： JTAGEN=1, JTAG 脚激活，JTAGEN=0, JTAG 脚作为普通 IO。
PROGRAMN	输入	全局复位输入，低有效。
DONE	双向	专用配置状态引脚，在配置完成后会输出高，源端开漏。
INITN	双向	专用配置状态引脚，输出高表示准备好配置，源端开漏。
SCLK	输出	MSPI 下载模式时钟输出。
SPICSN	输出	MSPI 下载模式片选。
MISO	输入	MSPI 下载模式 CPLD 数据输入，Flash 数据输出。
MOSI	输出	MSPI 下载模式 CPLD 数据输出，Flash 数据输入。

4.2 电源电压管脚

100TQFP	**Power**	**EF1A300**	**EF1A650**	**EF1L300**	**EF1L650**
	VCCEXT	13,63	13,39,63,88	35,90	35,90
	VCCIO0	NA	NA	60,74,92	80,92
	VCCIO1	9,31,45	9,31,45	10,24,41	60,74
	VCCIO2	59,80,94	59,80,94	NA	29,41
	VCCIO3	NA	NA	NA	10,24
	VSSIO	10,32,46,60,79,93	10,32,46,60,79,93	12,25,42,62,75,93	12,25,30,42,62,75,81,93
	GND	11,65	11,37,65,90	40,84	40,84
144TQFP	**Power**	**EF1A650**		**EF1L650**	
	VCCEXT	19,56,90,126		21,52,93,129	
	VCCIO0	NA		117135	
	VCCIO1	9,25,46,64		82,98	
	VCCIO2	82100116136		38,63	
	VCCIO3	NA		10,26	
	VSSIO	10,26,47,65,83,99,115,135		11,27,37,64,83,99,118,136	
	GND	17,54,92,128		16,59,88,123	

4.3 EL1L300、EL1F650 引脚说明

LQFP100

编号	BANK	引脚说明		编号	BANK	引脚说明
1	3	IO		31	2	IO,TDO
2	3	IO		32	2	IO,SCLK
3	3	IO		33	2	IO,TDI
4	3	IO		34	2	IO,MOSI
5	3	IO		35	2	VCCEXT
6	3	IO		36	2	IO,GCLK5
7	3	IO		37	2	IO
8	3	IO		38	2	IO,GCLK4
9	3	IO		39	2	IO
10	3	VCCIO3		40	2	GND
11	3	IO		41	2	VCCIO2
12	3	VSSIO		42	2	VSSIO
13	3	IO		43	2	IO
14	3	IO		44	2	IO,PROGRAMN
15	3	IO,GCLK7		45	2	IO
16	3	IO		46	2	IO
17	3	IO		47	2	IO,INITN
18	3	IO		48	2	IO,PWRDWN
19	3	IO		49	2	IO
20	3	IO		50	2	IO,DONE
21	3	IO		51	1	IO,LVDSR0N
22	3	IO		52	1	IO,LVDSR0P
23	3	IO		53	1	IO,LVDSR1N
24	3	VCCIO3		54	1	IO,LVDSR1P
25	3	VSSIO		55	1	IO,LVDSR2N
26	2	IO,TMS		56	1	IO,LVDSR2P
27	2	IO		57	1	IO,LVDSR3N
28	2	IO,TCK		58	1	IO,LVDSR3P
29	2	IO,MISO		59	1	IO,LVDSR4N
30	2	IO,SPICSN		60	1	VCCIO1

编号	BANK	引脚说明		编号	BANK	引脚说明
61	1	IO,LVDSR4P		91	0	IO
62	1	VSSIO		92	0	VCCIO0
63	1	IO,LVDSR5N		93	0	VSSIO
64	1	IO,LVDSR5P		94	0	IO
65	1	IO,GCLKP_2,LVDSR6N		95	0	IO
66	1	IO,GCLKP_3,LVDSR6P		96	0	IO
67	1	IO,LVDSR7N		97	0	IO
68	1	IO,LVDSR7P		98	0	IO
69	1	IO,LVDSR8N		99	0	IO
70	1	IO,LVDSR8P		100	0	IO
71	1	IO,LVDSR9N				
72	1	IO,LVDSR9P				
73	1	IO,LVDSR10N				
74	1	VCCIO1				
75	1	VSSIO				
76	1	IO,LVDSR10P				
77	0	IO				
78	0	IO				
79	0	IO				
80	0	IO				
81	0	IO				
82	0	IO				
83	0	IO				
84	0	GND				
85	0	IO				
86	0	IO				
87	0	IO				
88	0	IO				
89	0	IO				
90	0	VCCEXT				

LQFP144

编号	BANK	引脚说明		编号	BANK	引脚说明
1	3	IO		36	3	IO
2	3	IO		37	2	VSSIO
3	3	IO		38	2	VCCIO2
4	3	IO		39	2	IO,TMS
5	3	IO		40	2	IO
6	3	IO		41	2	IO
7	3	IO		42	2	IO,TCK
8	3	IO		43	2	IO,MISO
9	3	IO		44	2	IO,SPICSN
10	3	VCCIO3		45	2	IO
11	3	VSSIO		46	2	IO
12	3	IO		47	2	IO,TDO
13	3	IO		48	2	IO
14	3	IO		49	2	IO,SCLK
15	3	IO		50	2	IO,MOSI
16	3	GND		51	2	IO,TDI
17	3	IO		52	2	VCCEXT
18	3	IO,GCLK7		53	2	IO
19	3	IO		54	2	IO
20	3	IO,GCLK6		55	2	IO,GCLK5
21	3	VCCEXT		56	2	IO
22	3	IO		57	2	IO
23	3	IO		58	2	IO,GCLK4
24	3	IO		59	2	GND
25	3	IO		60	2	IO
26	3	VCCIO3		61	2	IO
27	3	VSSIO		62	2	IO
28	3	IO		63	2	VCCIO2
29	3	IO		64	2	VSSIO
30	3	IO		65	2	IO
31	3	IO		66	2	IO,PROGRAMN
32	3	IO		67	2	IO
33	3	IO		68	2	IO
34	3	IO		69	2	IO,INIT
35	3	IO		70	2	IO,PWRDWN

编号	BANK	引脚说明		编号	BANK	引脚说明
71	2	IO		108	1	IO,LVDSR14P
72	2	IO,DONE		109	0	IO
73	1	IO,LVDSR0N		110	0	IO
74	1	IO,LVDSR0P		111	0	IO
75	1	IO,LVDSR1N		112	0	IO
76	1	IO,LVDSR1P		113	0	IO
77	1	IO,LVDSR2N		114	0	IO
78	1	IO,LVDSR2P		115	0	IO
79	1	IO,LVDSR3N		116	0	IO
80	1	IO,LVDSR3P		117	0	VCCIO0
81	1	IO,LVDSR4N		118	0	VSSIO
82	1	VCCIO1		119	0	IO
83	1	VSSIO		120	0	IO
84	1	IO,LVDSR4P		121	0	IO
85	1	IO,LVDSR5N		122	0	IO
86	1	IO,LVDSR5P		123	0	GND
87	1	IO,LVDSR6N		124	0	IO,GCLK1
88	1	GND		125	0	IO
89	1	IO,LVDSR6P		126	0	IO
90	1	IO,GCLK2,LVDSR7N		127	0	IO,GCLK0
91	1	IO,GCLK3,LVDSR7P		128	0	IO,JTAGEN
92	1	IO,LVDSR8N		129	0	VCCEXT
93	1	VCCEXT		130	0	IO
94	1	IO,LVDSR8P		131	0	IO
95	1	IO,LVDSR9N		132	0	IO
96	1	IO,LVDSR9P		133	0	IO
97	1	IO,LVDSR10N		134	0	IO
98	1	VCCIO1		135	0	VCCIO0
99	1	VSSIO		136	0	VSSIO
100	1	IO,LVDSR10P		137	0	IO
101	1	IO,LVDSR11N		138	0	IO
102	1	IO,LVDSR11P		139	0	IO
103	1	IO,LVDSR12N		140	0	IO
104	1	IO,LVDSR12P		141	0	IO
105	1	IO,LVDSR13N		142	0	IO
106	1	IO,LVDSR13P		143	0	IO
107	1	IO,LVDSR14N		144	0	IO

4.4 EL1A300、EL1A650 引脚说明

LQFP100

编号	BANK	引脚说明		编号	BANK	引脚说明
1	3	IO		31	2	VCCIO2
2	3	IO		32	2	VSSIO
3	3	IO		33	2	IO,SCLK
4	3	IO		34	2	IO
5	3	IO		35	2	IO,MOSI
6	3	IO		36	2	IO
7	3	IO		37	2	IO,GCLK5
8	3	IO		38	2	IO
9	3	VCCIO3		39	2	IO,GCLK4
10	3	VSSIO		40	2	IO
11	3	GND		41	2	IO
12	3	IO,GCLK7		42	2	IO
13	3	VCCEXT		43	2	IO
14	3	IO,GCLK6		44	2	IO
15	3	IO		45	2	VCCIO2
16	3	IO		46	2	VSSIO
17	3	IO		47	2	IO
18	3	IO		48	2	IO,PROGRAMN
19	3	IO		49	2	IO
20	3	IO		50	2	IO,PWRDWN
21	3	IO		51	2	IO,INITN
22	3	IO,TMS		52	2	IO,DONE
23	3	IO,TDI		53	1	IO,LVDSR0N
24	3	IO,TCK		54	1	IO,LVDSR0P
25	3	IO,TDO		55	1	IO,LVDSR1N
26	2	IO		56	1	IO,LVDSR1P
27	2	IO		57	1	IO,LVDSR2N
28	2	IO,SPICSN		58	1	IO,LVDSR2P
29	2	IO,MISO		59	1	VCCIO1
30	2	IO		60	1	VSSIO

编号	BANK	引脚说明		编号	BANK	引脚说明
61	1	IO		91	0	IO
62	1	IO		92	0	IO
63	1	VCCEXT		93	0	VSSIO
64	1	IO		94	0	VCCIO0
65	1	GND		95	0	IO
66	1	IO,LVDSR3N		96	0	IO
67	1	IO,LVDSR3P		97	0	IO
68	1	IO,LVDSR4N		98	0	IO
69	1	IO,LVDSR4P		99	0	IO
70	1	IO,LVDSR5N		100	0	IO
71	1	IO,LVDSR5P				
72	1	IO,LVDSR6N				
73	1	IO,LVDSR6P				
74	1	IO,LVDSR7N				
75	1	IO,LVDSR7P				
76	0	IO				
77	0	IO				
78	0	IO				
79	0	VSSIO				
80	0	VCCIO0				
81	0	IO				
82	0	IO				
83	0	IO				
84	0	IO				
85	0	IO,GCLK1				
86	0	IO,GCLK0				
87	0	IO				
88	0	IO				
89	0	IO,JTAGEN				
90	0	IO				

LQFP144

编号	BANK	引脚说明		编号	BANK	引脚说明
1	3	IO		36	3	IO,TDO
2	3	IO		37	2	IO
3	3	IO		38	2	IO
4	3	IO		39	2	IO
5	3	IO		40	2	IO
6	3	IO		41	2	IO
7	3	IO		42	2	IO,MISO
8	3	IO		43	2	IO,SPICSN
9	3	VCCIO3		44	2	IO
10	3	VSSIO		45	2	IO
11	3	IO		46	2	VCCIO2
12	3	IO		47	2	VSSIO
13	3	IO		48	2	IO
14	3	IO		49	2	IO,SCLK
15	3	IO		50	2	IO
16	3	IO		51	2	IO,MOSI
17	3	GND		52	2	IO
18	3	IO,GCLK7		53	2	IO,GCLKP5
19	3	VCCEXT		54	2	VSSIO
20	3	IO,GCLK6		55	2	IO
21	3	IO		56	2	VCCEXT
22	3	IO		57	2	IO,GCLK4
23	3	IO		58	2	IO
24	3	IO		59	2	IO
25	3	VCCIO3		60	2	IO
26	3	VSSIO		61	2	IO
27	3	IO		62	2	IO
28	3	IO		63	2	IO
29	3	IO		64	2	VCCIO2
30	3	IO		65	2	VSSIO
31	3	IO		66	2	IO,PROGRAMN
32	3	IO		67	2	IO
33	3	IO,TMS		68	2	IO
34	3	IO,TDI		69	2	IO,INITN
35	3	IO,TCK		70	2	IO,PWRDWN

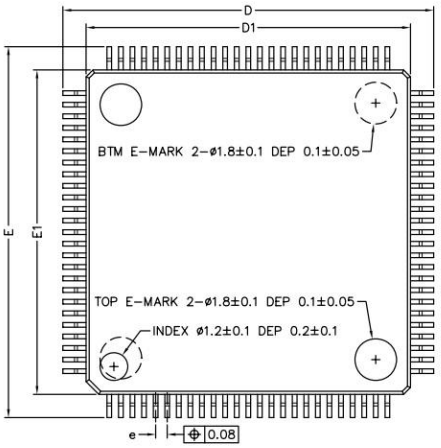
编号	BANK	引脚说明		编号	BANK	引脚说明
71	2	IO		108	1	IO,LVDSR14P
72	2	IO,DONE		109	0	IO
73	1	IO,LVDSR0N		110	0	IO
74	1	IO,LVDSR0P		111	0	IO
75	1	IO,LVDSR1N		112	0	IO
76	1	IO,LVDSR1P		113	0	IO
77	1	IO,LVDSR2N		114	0	IO
78	1	IO,LVDSR2P		115	0	VSSIO
79	1	IO,LVDSR3N		116	0	VCCIO0
80	1	IO,LVDSR3P		117	0	IO
81	1	IO,LVDSR4N		118	0	IO
82	1	VCCIO1		119	0	IO
83	1	VSSIO		120	0	IO
84	1	IO,LVDSR4P		121	0	IO
85	1	IO,LVDSR5N		122	0	IO
86	1	IO,LVDSR5P		123	0	IO,GCLK1
87	1	IO,LVDSR6N		124	0	IO,GCLK0
88	1	IO,LVDSR6P		125	0	IO
89	1	IO,GCLK2,LVDSR7N		126	0	VCCEXT
90	1	NC		127	0	IO
91	1	IO,GCLK3,LVDSR7P		128	0	IO
92	1	GND		129	0	IO,JTAGEN
93	1	IO,LVDSR8N		130	0	IO
94	1	IO,LVDSR8P		131	0	IO
95	1	IO,LVDSR9N		132	0	IO
96	1	IO,LVDSR9P		133	0	IO
97	1	IO,LVDSR10N		134	0	IO
98	1	IO,LVDSR10P		135	0	VSSIO
99	1	VSSIO		136	0	VCCIO0
100	1	VCCIO1		137	0	IO
101	1	IO,LVDSR11N		138	0	IO
102	1	IO,LVDSR11P		139	0	IO
103	1	IO,LVDSR12N		140	0	IO
104	1	IO,LVDSR12P		141	0	IO
105	1	IO,LVDSR13N		142	0	IO
106	1	IO,LVDSR13P		143	0	IO
107	1	IO,LVDSR14N		144	0	IO

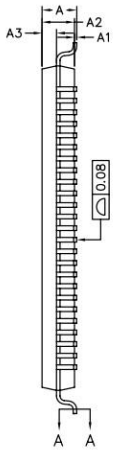
QFP44

编号	BANK	引脚说明		编号	BANK	引脚说明
1	-	IO,TDI		31	-	IO
2	-	IO		32	-	IO,TDO
3	-	IO		33	-	IO
4	-	GND		34	-	IO
5	-	IO		35	-	IO
6	-	IO		36	-	GND
7	-	IO,TMS		37	-	IO,GCLK7
8	-	IO,GCLK4		38	-	IO
9	-	VCCIO		39	-	IO
10	-	IO,PROGRAMN		40	-	IO,GCLK6
11	-	GND		41	-	VCCEXT
12	-	IO		42	-	IO
13	-	IO		43	-	IO
14	-	IO		44	-	IO
15	-	IO				
16	-	GND				
17	-	VCCEXT				
18	-	IO				
19	-	IO				
20	-	IO				
21	-	IO				
22	-	IO				
23	-	IO				
24	-	GND				
25	-	IO				
26	-	IO,TCK				
27	-	IO,GCLK1				
28	-	IO				
29	-	VCCIO				
30	-	GND				

4.5 封装信息

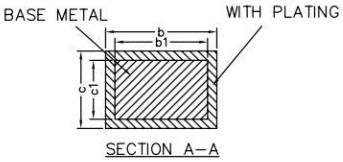
4.5.1 LQFP100 封装规格

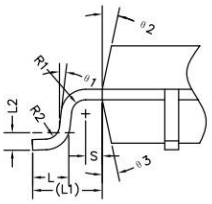




COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

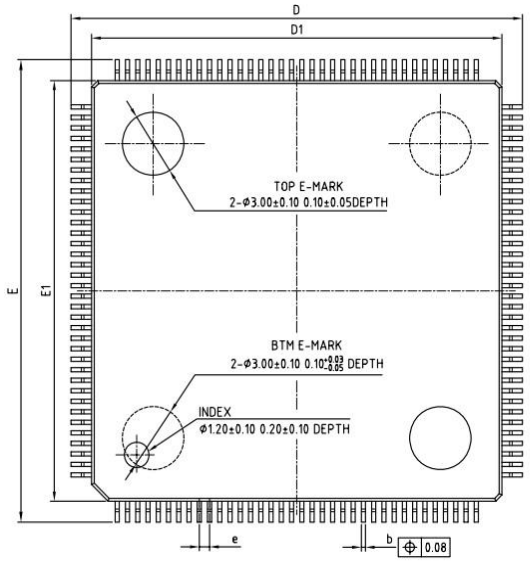
SYMBOL	MIN	NOM	MAX
A	–	–	1.60
A1	0.05	–	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.17	–	0.27
b1	0.17	0.20	0.23
c	0.13	–	0.18
c1	0.12	0.127	0.134
D	15.80	16.00	16.20
D1	13.90	14.00	14.10
E	15.80	16.00	16.20
E1	13.90	14.00	14.10
e	0.40	0.50	0.60
L	0.45	0.60	0.75
L1		1.00REF	
L2		0.25BSC	
R1	0.08	–	–
R2	0.08	–	0.20
S	0.20	–	–
θ	0°	3.5°	7°
θ 1	0°	–	–
θ 2	11°	12°	13°
θ 3	11°	12°	13°

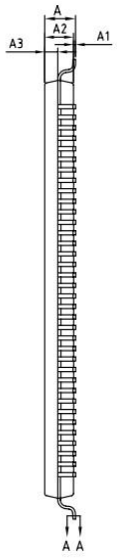




NOTES:
ALL DIMENSIONS REFER TO JEDEC STANDARD MS-026 BED DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.

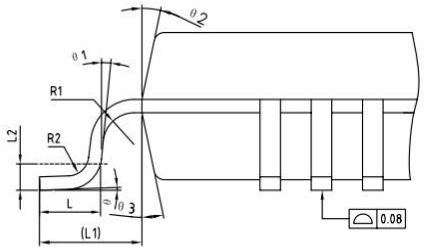
4.5.2 LQFP144 封装规格

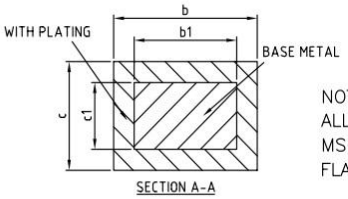




COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

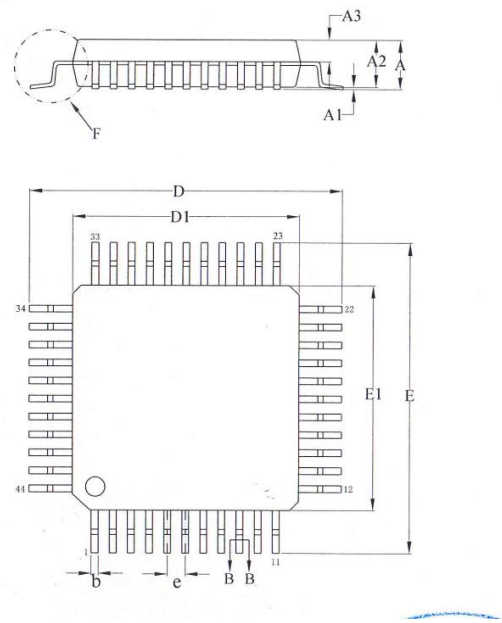
SYMBOL	MIN	NOM	MAX
A	–	–	1.60
A1	0.05	–	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.17	–	0.27
b1	0.17	0.20	0.23
c	0.127	–	0.18
c1	0.119	0.127	0.135
D	21.80	22.00	22.20
D1	19.90	20.00	20.10
E	21.80	22.00	22.20
E1	19.90	20.00	20.10
e	0.40	0.50	0.60
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	–	–
R2	0.08	–	–
θ	0°	–	7°
θ1	0°	–	–
θ2	11°	12°	13°
θ3	11°	12°	13°

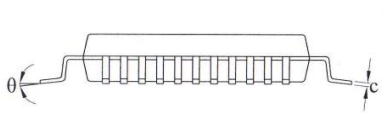


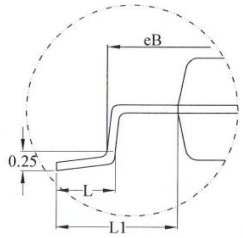


NOTES:
ALL DIMENSIONS REFER TO JEDEC STANDARD MS-026 BFB DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.

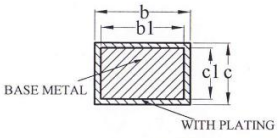
4.5.3 QFP44 封装规格







DETAIL: F



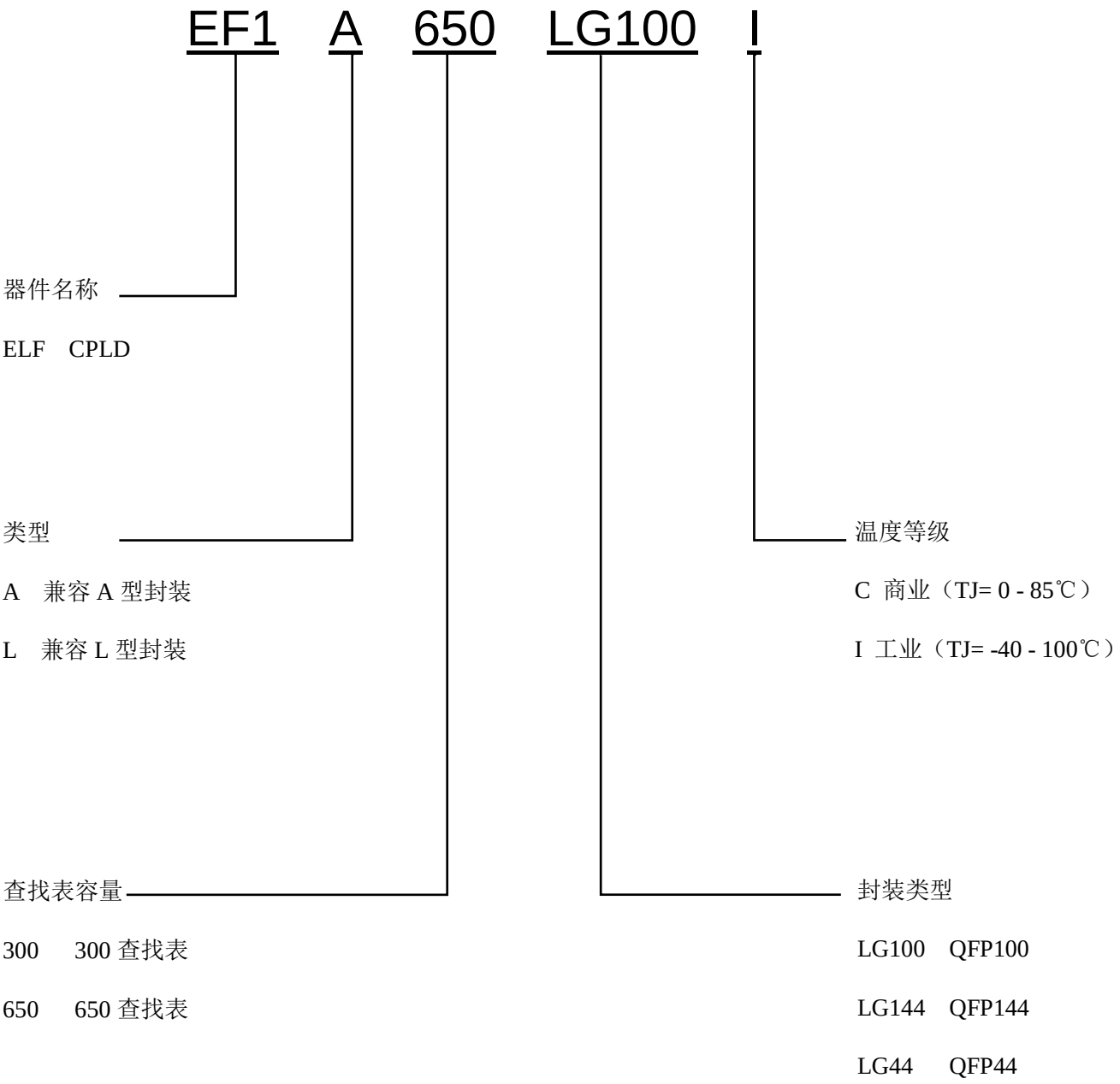
SECTION B-B

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	2.35
A1	0.05	—	0.15
A2	2.05	2.10	2.15
A3	0.95	1.00	1.05
b	0.28	—	0.36
b1	0.27	0.30	0.33
c	0.15	—	0.19
c1	0.14	0.15	0.16
D	13.00	13.20	13.40
D1	9.90	10.00	10.10
E	13.00	13.20	13.40
E1	9.90	10.00	10.10
eB	11.59	—	11.89
e	0.80BSC		
L	0.78	—	0.98
L1	1.60REF		
θ	0	—	7°

5 订购信息

表 5- 1 器件号缩写

器件名称	类别	查找表容量	封装类型	温度等级
EF	L	650/300	LG256	I



6 版本信息

日期	版本	修订记录
02/08/2016	1.0	首次发布中文版
05/20/2016	1.1	补充 100 pin 封装
06/26/2017	1.4	修正配置部分错误
27/11/2017	1.5	增加 PQFP44 封装
07/12/2017	1.6	增加 BANK1 LVDS 输入
22/01/2018	1.7	增加 OSC 内部振荡器说明
02/02/2018	1.8	TQFP 封装改成 LQFP
04/04/2018	1.9	修正 IO 端口错误
21/06/2018	2.0	统一文档格式
11/07/2018	2.1	修正芯片架构示意图
18/07/2018	2.2	更新引脚列表
06/09/2018	2.3	文档格式修改，修正内部振荡器 osc_dis 有效电平

版权所有©2018 上海安路信息科技有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全 部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任 何知识产权许可。除安路科技在其产品的销售条款和条件中声明的责任之外，安路科技概不承担任何法律或非法律责任。安路科技对安路科技产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。安路科技对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，安路科技保留修改文档中任何内容的权利，恕不另行通知。安路科技不承诺对这些文档进行适时的更新。