

安路科技 ELF2 系列 FPGA
数据手册

DS400（v3.8）2019 年 2 月

Confidential

目 录

目 录.....I

1 简介.....1

1.1 ELF2 器件系列特性.....1

1.2 ELF2 器件介绍.....2

2 ELF2 架构介绍.....3

2.1 PFB 模块.....4

2.1.1 SLICE.....5

2.1.2 PFB 操作模式.....6

2.1.3 寄存器.....7

2.2 互连（Routing）.....7

2.3 嵌入式存储器模块（BRAM）.....8

2.3.1 BRAM 9K.....8

2.3.2 BRAM32K.....19

2.3.3 大容量存储器.....21

2.4 时钟资源.....26

2.4.1 全局时钟.....26

2.4.2 输入输出时钟.....28

2.4.3 快速时钟.....30

2.5 锁相环（PLL）.....30

2.5.1 简介.....30

2.5.2 动态相移.....32

2.5.3 时钟反馈模式.....32

2.5.4 展频和小数分频.....34

2.5.5 占空比调制.....35

2.6 数字信号处理（DSP）..... 36
2.6.1 体系结构..... 36
2.6.2 操作模式..... 38
2.7 输入输出逻辑单元（IOL）..... 40
2.7.1 输入寄存器逻辑..... 41
2.7.2 输出寄存器逻辑..... 44
2.8 输入输出缓冲器（IOB）..... 47
2.8.1 IOB 简介..... 47
2.8.2 高速 LVDS 接口..... 50
2.8.3 MIPI IO..... 52
2.8.4 ATS IP..... 52
2.8.5 兼容 5V 输入..... 53
2.9 EFL2 FPGA 配置说明..... 57
2.9.1 配置模式..... 57
2.9.2 配置流程..... 58
2.9.3 MSPI 配置模式..... 59
2.9.4 从动串行配置模式..... 60
2.9.5 从动并行配置模式..... 61
2.9.6 主动并行配置模式..... 62
2.9.7 JTAG 配置模式..... 62
2.9.8 DUAL BOOT 功能..... 63
2.9.9 MULT BOOT 功能..... 64
2.9.10 FPGA I/O 引脚在配置阶段的设置..... 64
2.9.11 FPGA I/O 引脚在配置阶段的状态..... 64
2.9.12 FPGA 加密下载..... 65
2.9.13 DNA 安全功能..... 65
2.10 内置 MCU..... 66

2.11 内嵌 ADC 模块.....67
2.12 高速接口 IP.....68
2.13 电源监控模块.....69
2.14 内置环形振荡器.....69
2.15 内置温度传感器简介.....70
3 直流交流特性.....71
3.1 直流电气特性.....71
3.1.1 最大绝对额定值.....71
3.1.2 推荐基本操作条件.....71
3.1.3 基本供电要求.....72
3.1.4 单电源器件静态供电电流- B Devices[1,2].....73
3.1.5 单电源器件深睡眠供电电流- B Devices[1,2].....73
3.1.6 双电源器件静态供电电流- D Devices[1,2].....73
3.1.7 热插拔规格.....74
3.1.8 上电复位电压阈值.....74
3.1.9 I/O 管脚电容.....75
3.1.10 I/O 直流电气特性.....75
3.1.11 单端 I/O 直流电学特性.....76
3.1.12 差分 I/O 电学特性.....77
3.1.13 MIPID-PHY 电学特性.....78
3.1.14 电源监测模块.....79
3.2 交流电气特性.....79
3.2.1 时钟性能.....79
3.2.2 嵌入数字信号处理模块（DSP）规格.....79
3.2.3 锁相环(PLL)规格.....79
3.2.4 存储器模块（BRAM）规格.....80

3.2.5 高速 I/O 接口性能 80
3.2.6 配置模块和 JTAG 规格 81
3.2.7 ADC 性能 82
4 引脚和封装 84
4.1 引脚定义和规则 84
4.2 IO 命名规则 84
4.3 EF2L15 引脚信息：LQFP100 85
4.4 EF2L15/45 引脚信息：LQFP144 87
4.5 EF2L15/25/45 引脚信息：ftBGA256 90
4.6 EF2L25 引脚信息：XWFN42 (1) 95
4.7 EF2M45 引脚信息：LQFP48 96
4.8 封装信息 97
4.8.1 XWFN42 封装规格 97
4.8.2 LQFP48 封装规格 98
4.8.3 LQFP100 封装规格 99
4.8.4 LQFP144 封装规格 100
4.8.5 ftBGA256 封装规格 101
5 订购信息 102
6 版本信息 104
免责声明 105

1 简介

1.1 ELF2 器件系列特性

- **灵活的逻辑结构**
  - 共 4 种器件，规模从 1,500 到 4,500 LUTs
  - 最大用户 IO 数量达 207.
- **低功耗器件**
  - 先进的 55nm 低功耗工艺
  - 支持单电源和双电源两种模式
  - 支持深睡眠模式，功耗将至 100uA 以下
- **内置 Flash**
  - 无需外部配置器件
  - 支持快速上电启动
- **支持分布式和嵌入式存储器**
  - 最大支持 35 Kbits 分布存储器
  - 最大支持 700Kbits 嵌入块存储器
  - 容量块存储器 9K 和 32K，可配置为真双口，多种组合模式，专用 FIFO 控制逻辑
  - 额外 128Kbits、256Kbits 存储器支持
- **可配置逻辑模块(PLBs)**
  - 优化的 LUT4/LUT5 组合设计
  - 双端口分布式存储器
  - 支持算数逻辑运算
  - 快速进位链逻辑
- **源同步输入/输出接口**
  - 输入/输出单元包含 DDR 寄存器支持 DDRx1、DDRx2 模式
- **高性能，灵活的输入/输出缓冲器**
  - 可配置支持以下单端标准
    - LVTTL，LVCMOS(3.3/2.5/1.8V/1.5/1.2V)
    - PCI
    - SSTL 3.3V and 2.5V (Class I and II)
    - SSTL 1.8V and 1.5V (Class I)
    - HSTL 1.8V and 1.5V (Class I)
  - 通过配置支持以下差分标准
    - LVDS,Bus-LVDS,MLVDS,RSDS, LVPECL
  - 支持热插拔
  - 可配置上拉/下拉模式
  - 片内 100 欧姆差分电阻
  - 可配置施密特触发器，最大 0.5V 迟滞
  - 兼容 5V 输入
  - 优化 MIPI HS/LP IO 支持
- **时钟资源**
  - 16 路全局时钟
  - 针对高速 I/O 接口设计的 2 路 IOCLK
  - 优化全局时钟的 2 路快速时钟
  - PLLs 用于频率综合
    - 7 路时钟输出
    - 分频系数 1 到 128
    - 支持 5 路时钟输出级联

- 动态相位选择
- 支持展频 SSC
- 支持小数分频

■ **配置模式**

- 主模式串行 SPI (MSPI)
- 从模式串行 (SS)
- 从模式并行 x8 (SP)
- 主模式并行 x8 (MP)
- JTAG 模式 (IEEE-1532)

■ **BSCAN**

- 兼容 IEEE-1149.1

■ **增强安全设计保护**

- 每个芯片拥有唯一的 64 位 DNA
- 位流支持 AES 加密

■ **嵌入式硬核 IP**

- ADC
  - 12 比特逐次逼近寄存器型（SAR）
  - 8 个模拟输入
  - 1MHz 采样速率（MSPS）
- 集成电压监控模块
- 内置环形振荡器
- 内置温度传感器

■ **丰富封装形式**

- 标准尺寸：TQFP/BGA
- 小尺寸： XWFN42

表 1- 1 ELF2 FPGA 系列选型表

Series	Device	LUTs	DFFs	Dis-RAM（Kbs）	BRAM				Total（KBits）	DSP	PLL	Flash	MCU	MAX user IO
					9K	32K	128K	256K						
L	EF2L15	1500	1500	12	6	3	1	1	546	8	1	4Mb	-	207
	EF2L25	2500	2500	20	9	4	1	1	607	12	1	4Mb	-	207
	EF2L45	4480	4480	35	12	6	1	1	700	15	1	4Mb	-	207
M	EF2M45	4480	4480	35	12	6	1	1	700	15	1	4Mb	M3	207

表 1- 2 ELF2 FPGA 封装

Packages	EF2L15	EF2L25	EF2L45	EF2M45
42 XWFN (4.2x4.2, 0.35mm pitch)		29/13		
48 LQFP (10x10, 0.5mm pitch)				36/15
100 LQFP (14x14, 0.5mm pitch)	80/36			
144 LQFP (20x20, 0.5mm pitch)	114/53		114/53	114
256 fpBGA (17x17, 1.0mm pitch)	207/100	207/100	207/100	

注释：80/36 表示用户可用 IO 数/用户可用差分输出（LVDS）对

1.2 ELF2 器件介绍

安路最新的 ELF2 系列 FPGA 有 4 个器件，定位低成本、低功耗可编程市场。ELF2 器件旨在用于大批量，成本敏感的应用，使系统设计师在降低成本的同时又能够满足不断增长的带宽要求。

ELF2 器件系列建立在一个优化的低功耗工艺基础之上，并通过最低的成本实现较高的功能性。针对工业用户以及通信等行业中的低成本的小型应用，ELF2 器件无疑是最理想的选择。

安路信息提供丰富的设计工具帮助用户有效地利用 ELF2 平台实现复杂设计。业界领先的综合和布局布线工具，为用户设计高质量产品提供有力保障。

2 ELF2 架构介绍

ELF2 系列器件由可编程逻辑模块（PLB）阵列构成核心资源，输入输出缓冲器分布在四边。嵌入式块存储单元（BRAM9K/BRAM32K）和数据信号处理模块（DSP）嵌在 PLB 中间。

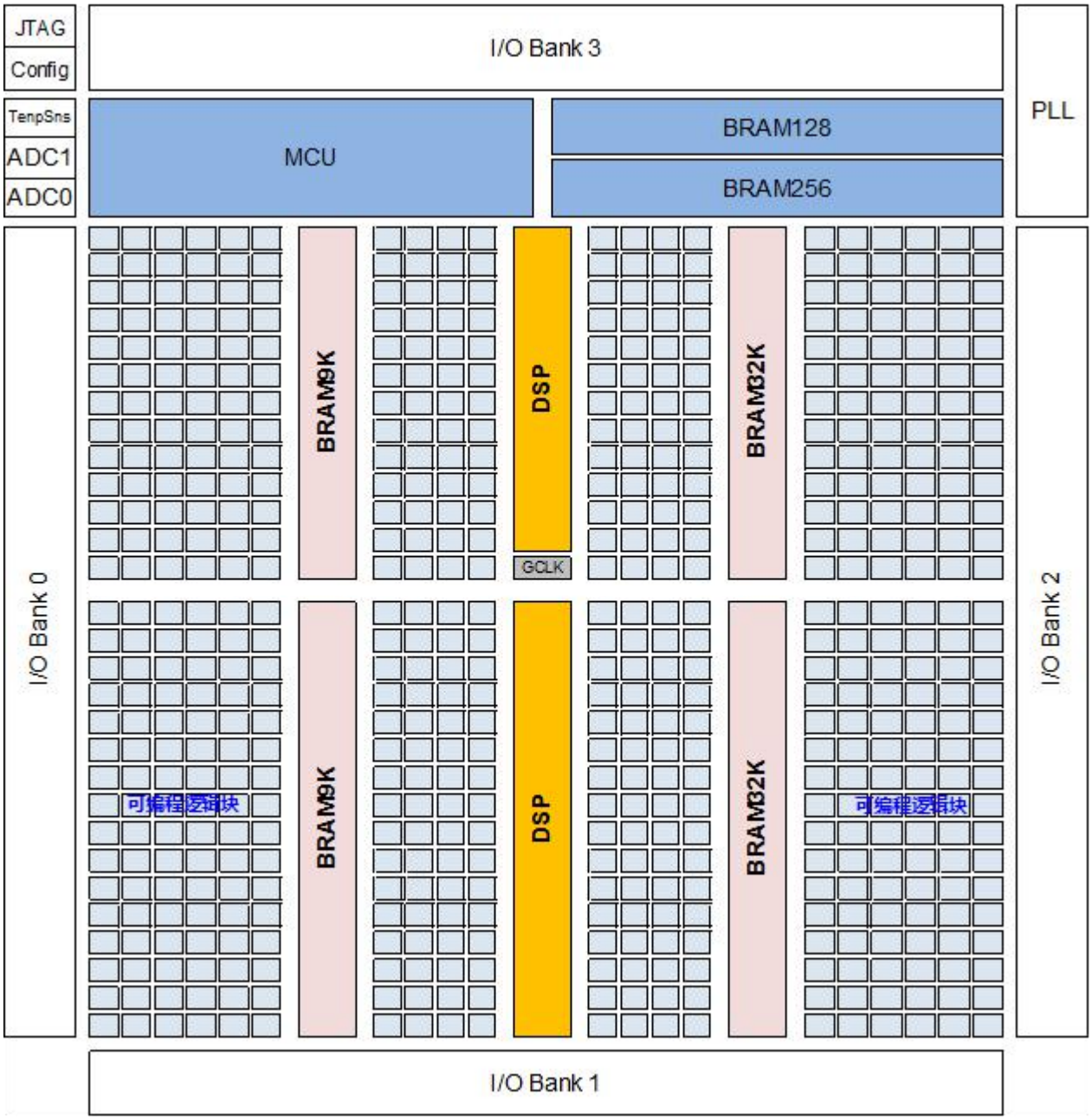


图 2- 1 ELF2-4500 器件简化框图

查找表逻辑模块分为两种，逻辑可编程模块（LSLICE）和存储逻辑可编程模块（MSLICE）。两种模块均支持逻辑、算数功能，不同的是 MSLICE 支持分布式 RAM 和 ROM 功能。逻辑可编程模块（LSLICE）和存储逻辑可编程模块（MSLICE）均经过设计优化，便于用户快速有效地实现复杂设计。

ELF2 系列器件包含多列嵌入式存储器模块（BRAM），存储器模块规模为 9K，支持快速数据访问。

每一个存储模块可独立配置为 1-18 位宽的单口或双口应用。

ELF2 的输入输出缓冲器（I/O Buffer）划分为 4 个组，支持单端和双端的多种电平标准。BANK0/2 的 I/O 可以配置成 LVDS 发送/接收对。

ELF2 系列内部嵌有 1 个多功能 PLL 块，在器件右上角，有专门的时钟线连接到 PLL 输入。PLL 具有对时钟分频/倍频/移相等功能。

2.1 PFB 模块

可编程逻辑块（PLB）按照行/列规则排布成二维阵列，每个 PLB 包括可编程互连（Routing）和可编程功能块（Programmable Functional Block，PFB）。PFB 是 FPGA 的可编程功能核心。ELF2 器件内部 PFB 可实现：逻辑，算术，分布式 RAM（distribute RAM），ROM 功能以及信号锁存。PFB 内部包含 4 个 SLICE，编号 0~3。SLICE 0,1 为 MSLICE 类型，SLICE 2,3 为 LSLICE 类型。

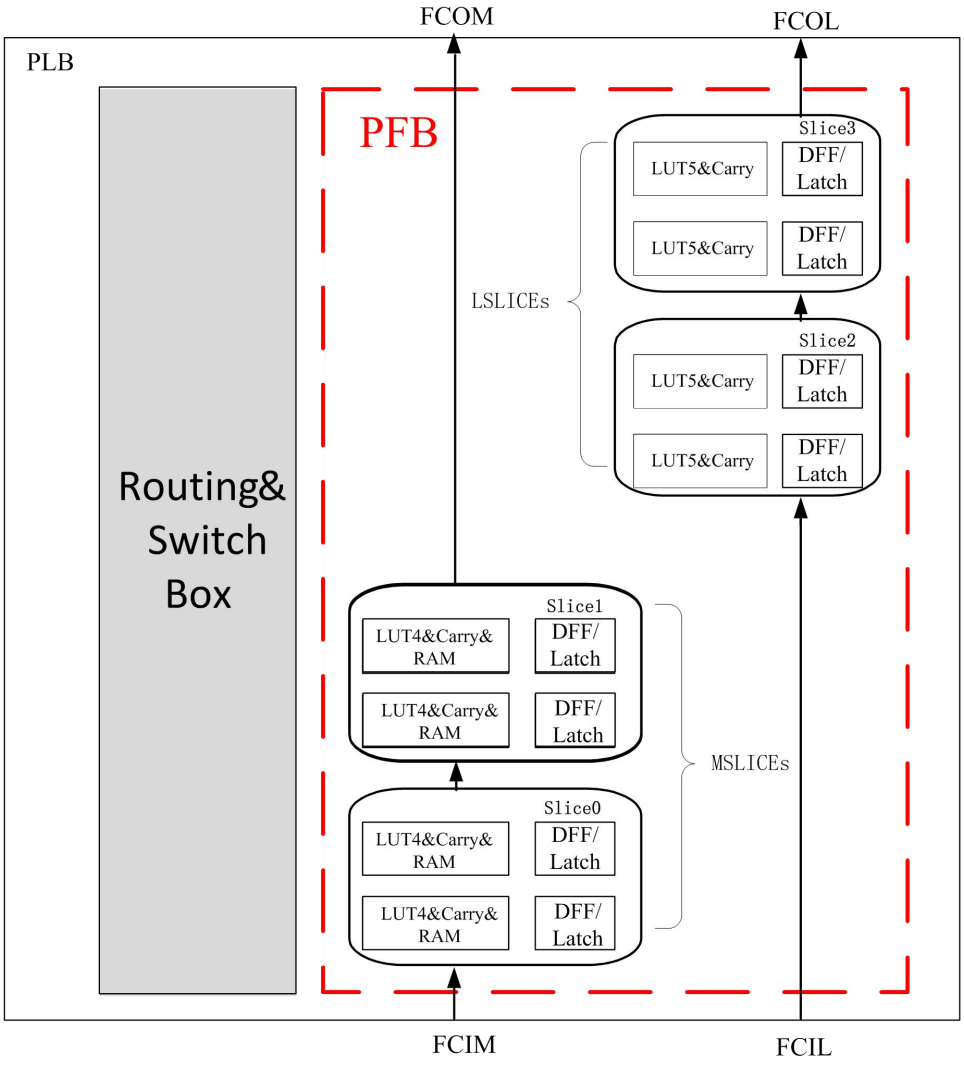


图 2-1- 1 可编程功能块（PFB）结构图

2.1.1 SLICE

ELF2 PFB 内包含两种 SLICE：MSLICE 和 LSLICE。

a) MSLICE

MSLICE 包含 2 个 LUT4s 和两个寄存器以及 2 级进位链，MSLICE 额外可配置成基于 LUT 的分布式 RAM（distribute RAM）功能。PFB 内的 SLICE 0,1 为 MSLICE 类型，可组合配置成为 16x4 的 RAM。MSLICE 内部逻辑可实现 LUT4s 间的连接，可以实现输入数大于 4 的函数，如 LUT5。两个 MSLICE 组合可实现 LUT6。

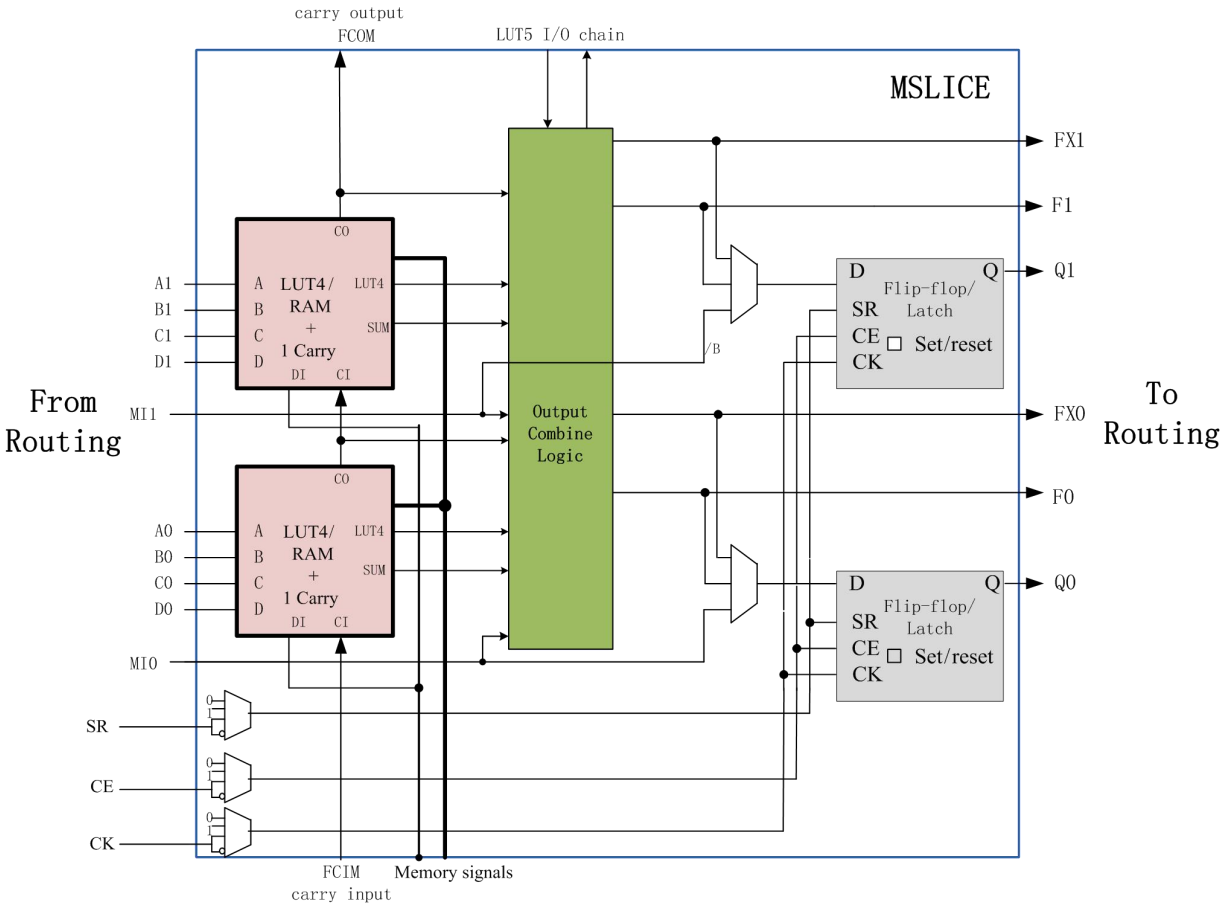


图 2-1- 2 MSLICE 结构图

如图 2-1- 2 所示，MSLICE 内部有两个 4 输入查找表（LUT4），并带有 RAM 写入译码器，结合 PFB 内部的分布式 RAM 控制逻辑，每个 LUT4 可实现 16x1 bits RAM 存储器，2 个 MSLICE 配合一个 RAM 控制器实现 16x4 的双口 RAM。MSLICE 中每个 LUT4 结合内部进位逻辑以及进位输入（FCIM）可以实现 1 位全加器。一个 MSLICE 可实现 2 位加/减法，并实现快速进/借位输出（FCOM）。

MSLICE 和 LSLICE 内部寄存器相同，可配置成 DFF 或者 LATCH。

b) LSLICE

LSLICE 包含 2 个增强型 LUT5s 和两个寄存器以及 4 级进位链。PFB 内的 SLICE 2,3 为 LSLICE 类型。LSLICE 内部逻辑可实现：将一个 LUT5s 拆成 2 个 LUT4s；实现更多输入函数，如 LUT5，LUT6。两个 LSLICE 组合可实现 LUT7。

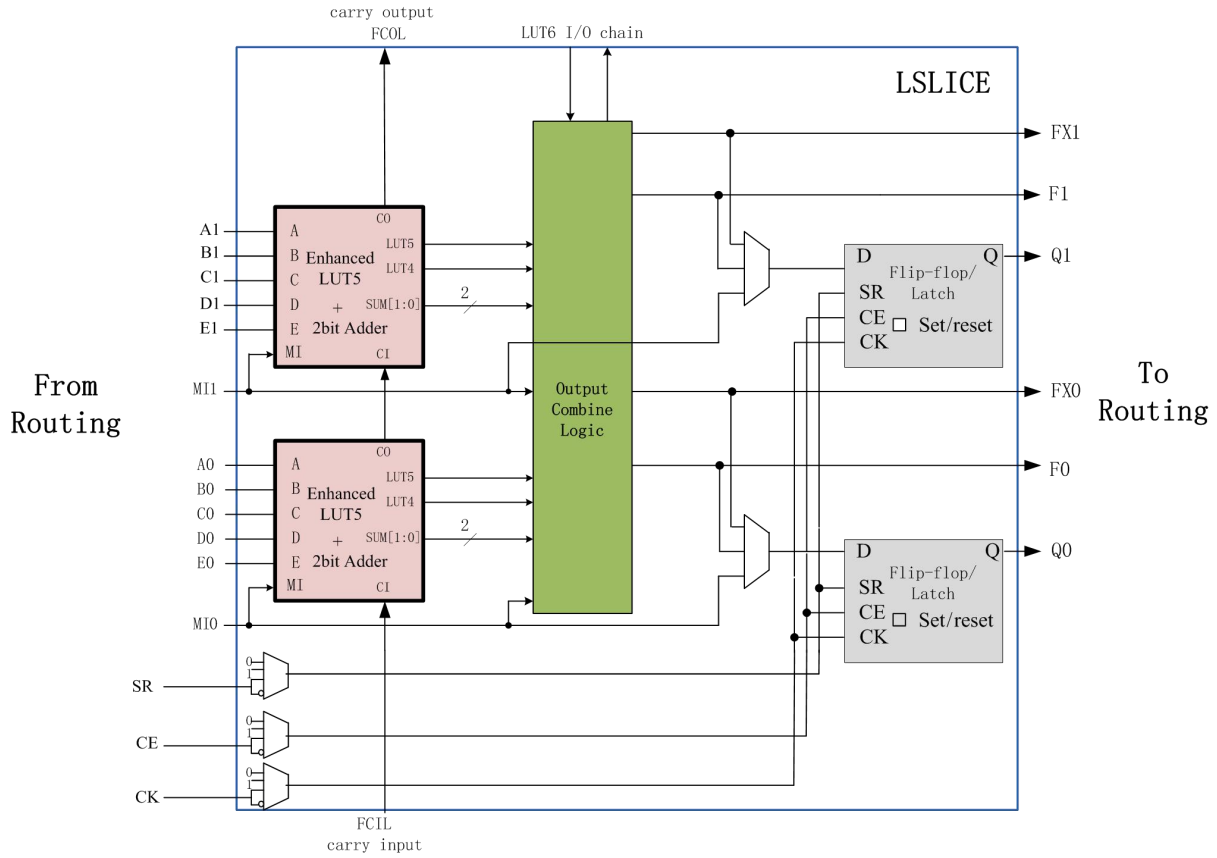


图 2-1- 3 LSLICE 结构图

如图 2-1- 3 所示，LSLICE 内部有 4 个 4 输入查找表（LUT4），以及选择逻辑，可组合实现多种逻辑功能：4 个 LUT4；2 个 LUT4 + 1 个 LUT5；2 个 LUT5；一个 LUT6 等。每个 enhanced LUT5 结合内部进位逻辑以及进位输入可以实现 2 位全加器。一个 LSLICE 可实现 4 位加/减法，并实现快速进/借位输出（FCOL）。

2.1.2 PFB 操作模式

MSLICE 有 4 种操作模式：逻辑，算术，分布式 RAM 和 ROM。

LSLICE 有 3 种操作模式：逻辑，算术和 ROM。

a) 逻辑模式

在逻辑模式中，MSLICE 中的 LUT4 配置成 4 输入组合逻辑查找表，任意 4 输入函数都可以用这个查找表实现。LSLICE 中的 enhanced LUT5 可配置成多种组合的逻辑查找表。SLICE 内的 LUT 还可以通过内部输出组合电路级联成更大的查找表。

表 2-1- 1 常见逻辑实现表

LUT5	1 MSLICE	1/2 LSLICE
MUX4	1 MSLICE	1/2 LSLICE
LUT6	2 MSLICE	1 LSLICE
LUT7		3 LSLICE

b) 算术模式

算术模式会利用 SLICE 内部快速进位链实现快速、高效的算术功能，MSLICE 和 LSLICE 都支持算术模式。可支持的算术逻辑有：加法，减法，带控制选择的加/减法器，计数器，乘法器以及比较器。

PFB 内部共有两条进位链，分别连接纵向 MSLICE 和纵向 LSLICE。可级联纵向相邻的 PFB 实现宽比特位算术逻辑。

c) 分布式 RAM 模式

MSLICE 可配置成此模式，两个 MSLICE：SLICE0 和 SLICE1 相结合可配置成 16x4 的简单双口 RAM（一口写/一口读）。

d) ROM 模式

所有 SLICE 在 LUT 逻辑下可用作 ROM 模式，用户可以通过软件设置 ROM 初值。

2.1.3 寄存器

PFB 内每个 SLICE 包含 2 个可配置寄存器。可锁存 LUT 的输出或者来自互连的 MI 输入。寄存器配置选项：

- 边沿触发的锁存器（DFF）或电平使能锁存器（LATCH）
- 同步或异步进行复位 0 或置位 1
- 是否带有 ClockEnable 使能
- CLK/CE/SR 带有上升沿/下降沿/0/1 选择

2.2 互连（Routing）

可编程互连实现 FPGA 内部各个功能块之间的信号传输。ELF2 系列器件内部拥有丰富的互连资源，包括线间选通开关、线缓冲器以及信号走线。ELF2 系列互连线全部带有缓冲器，从而实现高速信号传输和可靠的信号完整性。

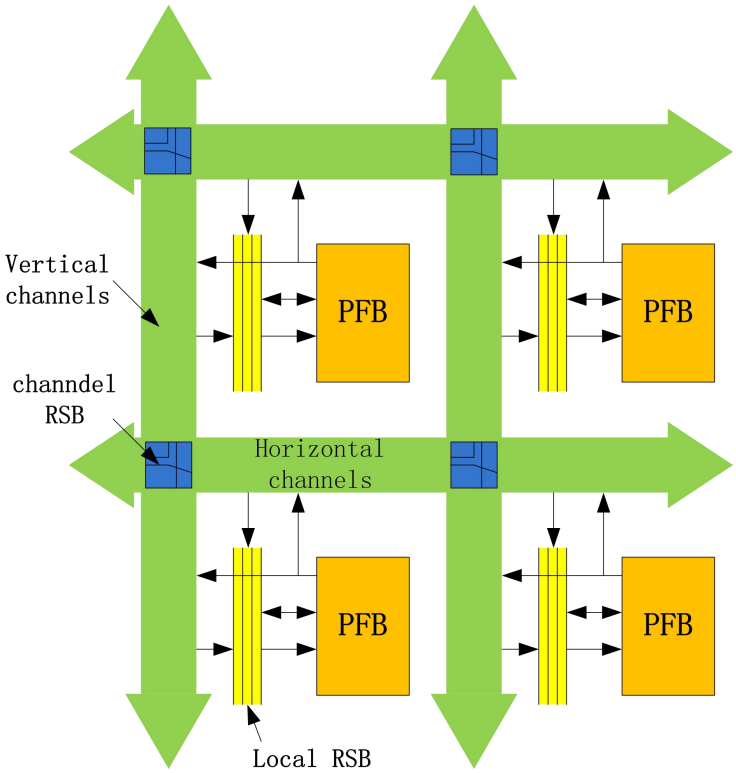


图 2-2- 1 ELF2 互联架构

PFB 间信号通过水平通道和垂直通道传输。PFB 可以直接驱动水平/垂直通道。通道之间通过 channel RSB(routing switch box) 进行切换。通道上传输的信号通过 local RSB 进入 PFB。

2.3 嵌入式存储器模块（BRAM）

PFB 间信号通过水平通道和垂直通道传输。PFB 可以直接驱动水平/垂直通道。通道之间通过 channel RSB(routing switch box) 进行切换。通道上传输的信号通过 local RSB 进入 PFB

2.3.1 BRAM 9K

2.3.1.1 简介

BRAM9K 每块容量 9Kbits，在芯片中按列排布，分布在 PFB 的阵列中。

BRAM9K 可实现：

- 单口 RAM/ROM
- 双口 RAM
- 简单双口 RAM（也称为伪双口）
- FIFO（BRAM9K 内嵌有硬件 FIFO 控制器）

BRAM9K 模块支持的功能特色有：

- 9216 （9K）bits / 每块
- A/B 口时钟独立
- 可单独配置 A/B 口数据位宽，真双口从 x1 到 x9，支持 x18 简单双口（一写一读）
- 9 或 18 位写操作时带有字节使能（Byte Enable）控制
- 输出锁存器可选择（支持 1 级流水线）
- 支持 RAM/ROM 模式下数据初始化（通过初始化文件在配置过程中对 BRAM9K 数据初始化）
- 支持多种写操作模式。可选择只写（Normal），先读后写（Read before Write），写穿通（Write through）三种模式式。

表 2-3- 1 BRAM 9K 特色

类别	特性
容量	9K
配置(深度 x 位宽)	8192 x 1　4096 x 2　2048 x 4 1024 x 8 或 9　512 x 16 或 18
奇偶位（Parity bits）	8+1　16+2
字节使能（Byte enable）	有，可选择
输入地址/数据寄存器	有
单口模式(Single-port mode)	支持
简单双口模式(Simple dual-port mode)	支持
真双口模式(True dual-port mode)	支持
ROM 模式	支持
FIFO 模式	支持
数据输出寄存器	有，可选择
独立数据输出寄存器使能	有
Read-during-write	输出旧数据(read before write) 输出写数据（write through）
工作前 RAM 初始化	支持

- **字节使能（Byte Enable）**

BRAM9K 支持字节使能功能，可在写操作时对写入数据按字节屏蔽，被屏蔽的字节不会被写入 RAM。字节使能（Byte Enable[1:0]）信号分别对应写入数据的 datain[15:8]和 datain[7:0]。

- **写操作时并行读操作（Read-during-Write）**

ELF2 系列的 BRAM9K 支持同端口的 read-during-write 。read-during-write 是指在单口 RAM 或真双口 RAM 模式时，用户在写入数据的同时，读出同一地址的数据到输出端口。而默认非 rdw 选择，输出数据保持不变（No change）。

RDW 模式下用户有两种选择：读出旧数据(Read Before Write)；读出新数据即正要写入的数据(Write Through)。

2.3.1.2 2RAM 存储器模式

BRAM9K 按工作模式分为 RAM 存储器模式（包括 ROM）和 FIFO 模式。两种模式下 BRAM9K 用户端口名称和设置略有不同。

BRAM9K 在 RAM 模式下是 A/B 口独立的双口 RAM，支持多种模式同步 RAM 操作和 ROM 操作。

2.3.1.3 RAM 存储器模式下的端口信号

BRAM9K 的控制信号、时钟输入信号 A/B 口完全独立，输入控制信号有：

- 片选信号（ChipSelect）
- 时钟使能（Clock Enable）
- 输入/输出寄存器复位控制信号（RST）
- 写/读操作（WE）
- 数据输出寄存器锁存使能（OCE）
- 字节使能（Byte Enable[1:0]）。

表 2-3- 2 控制逻辑信号表

操作	CLK	CS	ClockEnable	RST	WE
写操作	上升沿	1	1	0	1
读操作	上升沿	1	1	0	0
IDLE	x	1	0	0	x
Save power	x	0	0	0	x

BRAM9K 的端口如下表：

表 2-3- 3 RAM 模式下的端口信号

A 端口名	方向	说明
dia[8:0]	输入	A 端口数据输入，简单双口 18 位输入端口模式时作为低 9 位数据输入
addra[12:0]	输入	A 端口地址输入，[12:4]作为 word 地址一直有效，[3:0]取决于 bit 模式。 在 18 位模式时，addra[1:0]复用为字节使能信号 Byte Enable[1:0]。
Doa[8:0]	输出	A 端口数据输出，简单双口 18 位输出端口模式时作为低 9 位数据输出
clka	输入	A 端口时钟输入，默认上升沿有效（可反向），简单双口 18 位模式时作为输入地址/数据端口时钟
rsta	输入	A 端口复位信号，默认高有效（可反向），可配置同步/异步复位
cea	输入	A 端口时钟有效控制信号，默认高有效（可反向）。
Wea	输入	A 端口写入/读出操作控制，1 为写入操作，0 为读出操作；18 位写入模式时固定为 1。
Csa[2:0]	输入	A 端口 3 位片选信号（可反向），csa[2:0]=3’b111 时 BRAM 被选中进行操作。3 位信号可分别独立设置是否反向。
Ocea	输入	A 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
B 端口名	**方向**	**说明**
dib[8:0]	输入	B 端口数据输入，18 位输入端口模式时作为高 9 位数据输入
addrb[12:0]	输入	B 端口地址输入，[12:4]作为 word 地址一直有效，[3:0]取决于 bit 模式
dob[8:0]	输出	B 端口数据输出，18 位输出端口模式时作为高 9 位数据输入
clkb	输入	B 端口时钟输入，默认上升沿有效（可反向），简单双口 18 位模式时作为输出地址/数据端口时钟
rstb	输入	B 端口复位信号，默认高有效（可反向），可配置同步/异步复位
ceb	输入	B 端口时钟有效控制信号，默认高有效（可反向）。
Web	输入	B 端口写入/读出操作控制，1 为写入操作，0 为读出操作；18 位读出模式时固定为 0。
Csb[2:0]	输入	B 端口 3 位片选信号（可反向），csb[2:0]=3’b111 时 BRAM 被选中进行操作。3 位信号可分别独立设置是否反向。
Oceb	输入	B 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_B=“OUTREG”）才有效。

■ **多位片选信号逻辑说明：**

BRAM9K 在 RAM 和 FIFO 模式下的 CS 由可反向的 3 位片选输入生成。其逻辑如下图所示（CSA，CSB 在 RAM 模式/CSW，CSR 在 FIFO 模式）：

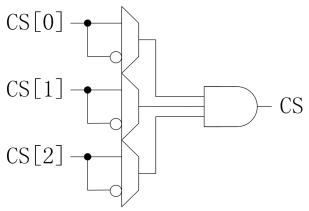


图 2-3- 1 CS 逻辑控制

CS 的配置属性：“SIG”表示对应 CS[x]输入信号直通，“INV”表示信号反向。

利用 3 位 CS 输入反向配置可不用额外逻辑就能实现地址译码，方便对 2~8 块 RAM 进行深度扩展。

■ **18 位模式时的字节使能（Byte Enable）：**

BRAM9K 支持字节使能功能，可在写操作时对写入数据按字节屏蔽，被屏蔽的字节不会被写入 RAM。字节使能（Byte Enable[1:0]）信号分别对应写入数据的 datain[15:8]和 datain[7:0]。例如，Byte Enable[1:0]==00，两字节都不会被写入；Byte Enable[1:0]==01，低位字节写入（dia）。在 18 位模式时，字节使能 Byte Enable[1:0]信号和端口 addra[1:0]复用。

■ **写操作时并行读操作（Read-during-Write）**

ELF2 系列的 BRAM9K 支持同端口的 read-during-write 。read-during-write 是指在单口 RAM 或真双口 RAM 模式时，用户在写入数据的同时，同时读出同一地址的数据，输出到输出端口。而默认选择只写模式（Normal），输出数据保持不变。

RDW 模式下用户有两种选择：读出旧数据(Read Before Write)；读出新数据(Write Through)。

2.3.1.4 RAM 存储器模式下的常见配置

a) 单口模式（ Single-Port Mode）

单口模式支持对非同时发生的对同一地址的读或写操作。BRAM9K 内部有两套读写控制逻辑分别管理 A 口和 B 口，因此 BRAM9K 可以支持实现两个单口模式的 RAM 或 ROM。通常 ROM 也工作在此模式下。

BRAM9K 在单口模式下支持的位宽

- 8192 x 1（独立的 A 口或 B 口实现）
- 4096 x 2（独立的 A 口或 B 口实现）
- 2048 x 4（独立的 A 口或 B 口实现）
- 1024 x 8，1024 x 9（独立的 A 口或 B 口实现）
- 512 x 16，512 x 18（A 口 B 口联合实现）

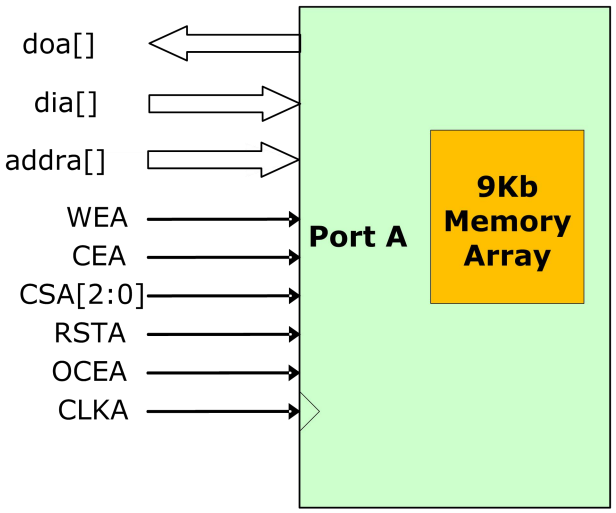


图 2-3- 2 利用 A 口实现的 9 位宽（及以下）单口 RAM

b) 简单双口模式（ Simple Dual-Port Mode）

当用一块 BRAM9K 配置成 18 位写入或 18 位读出时，其不支持真双口模式，支持单口和简单双口模式。简单双口模式的配置连接如下。18 位模式时，A 端口控制信号作为写入控制信号，B 端口控制信号作为读出控制信号。18 位写入时，DIB[8:0]作为高 9 位数据输入，DIA[8:0] 作为低 9 位数据输入；18 位读出时，DOB[8:0]作为高 9 位数据输出，DOA[8:0] 作为低 9 位数据输出。

当用户使用 8/16 位宽时，禁止使用 DIA[9]，DIB[9]，DOA[9]，DOB[9]，防止因为读写位宽不同造成的内部数据映射失配。

表 2-3- 4 9/18 位简单双口模式时数据端口连接关系

模式	BRAM9K RAM 端口	用户端口
W=18 位 R=18 位	DIA[8:0]	wdata[8:0]
	DIB[8:0]	wdata[17:9]
	DOA[8:0]	Rdata[8:0]
	DOB[8:0]	Rdata[17:9]
W<=9 位 R=18 位	DIA[]	Wdata[]
	DOA[8:0]	Rdata[8:0]
	DOB[8:0]	Rdata[17:9]
W=18 位 R<=9 位	DIA[8:0]	wdata[8:0]
	DIB[8:0]	wdata[17:9]
	DOB[]	Rdata[]

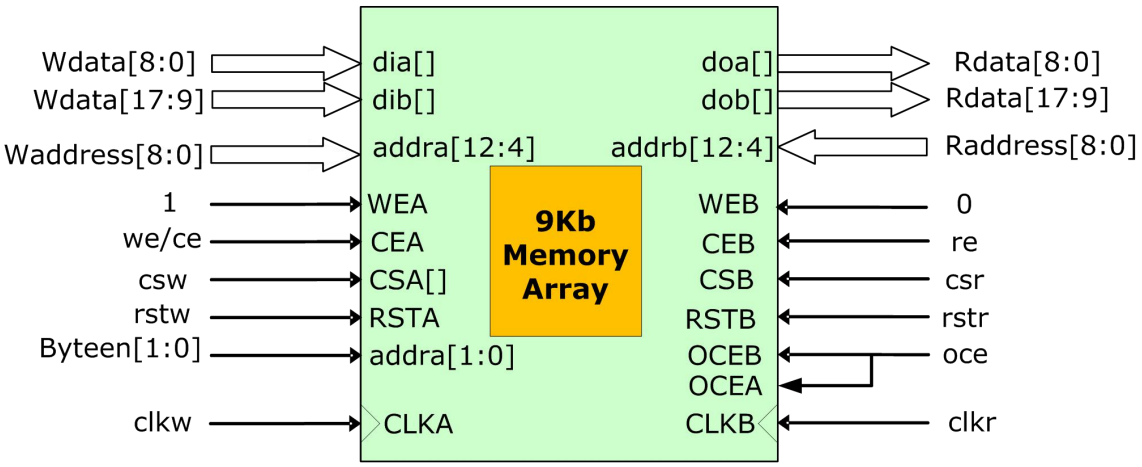


图 2-3- 3 简单双口 18 位写/18 位读端口连接

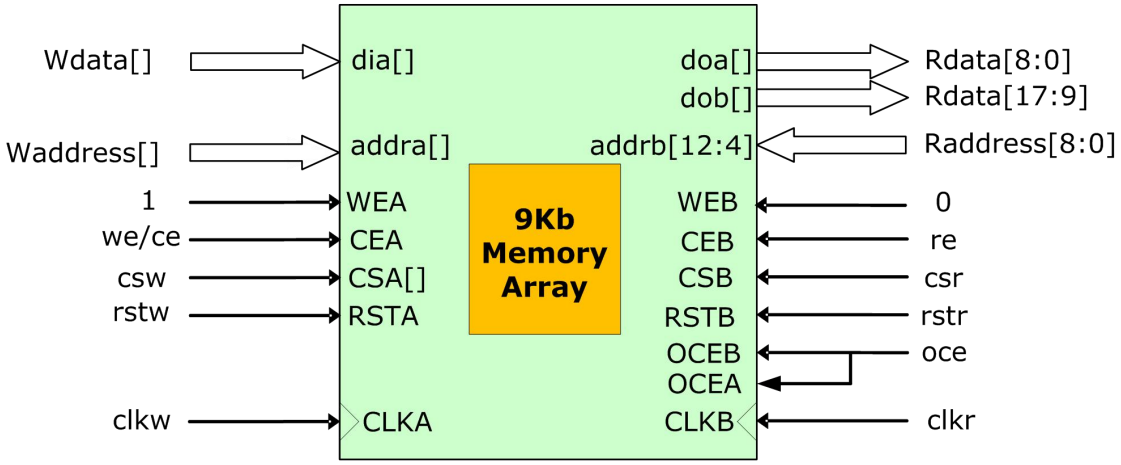


图 2-3- 4 简单双口模式<=9 位写/18 位读端口连接

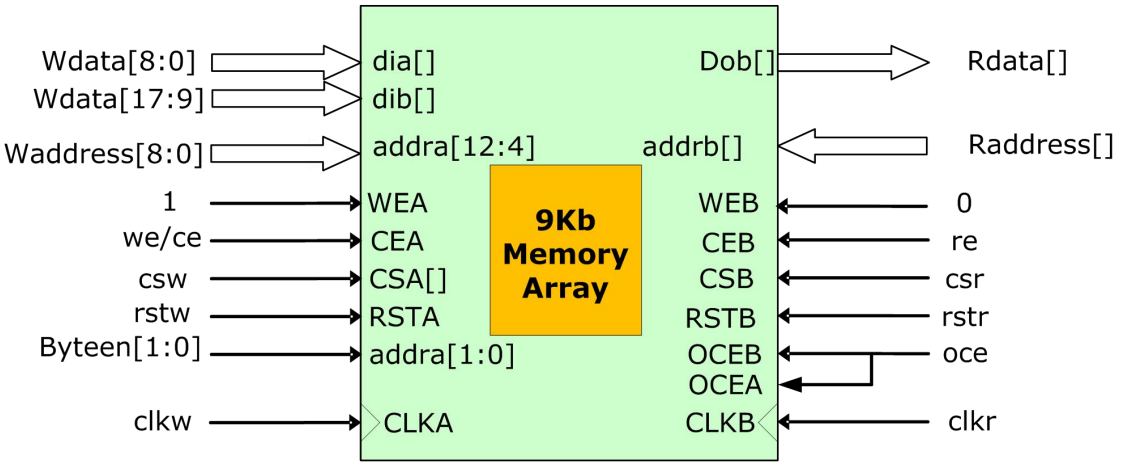


图 2-3- 5 简单双口模式 18 位写/<=9 位读端口连接

BRAM9K 简单双口模式下支持 A 口/B 口不同位宽的混合端口宽度选择。

表 2-3- 5 简单双口模式下支持的混合端口位宽配置

Read Port	Write Port						
	8Kx1	4Kx2	2Kx4	1Kx8	512x16	1Kx9	512x18
8Kx1	√	√	√	√	√		
4Kx2	√	√	√	√	√		
2Kx4	√	√	√	√	√		
1Kx8	√	√	√	√	√		
512x16	√	√	√	√	√		
1Kx9						√	√
512x18						√	√

表 2-3- 6 简单双口模式下支持的混合端口位宽配置

	端口宽度	地址位宽度	DOB[8]	DOA[8]	最低 4 位地址 addr[3:0]值对应的 WORD 内部数据位													
	18	9	0		0													
	9	10	1	0	1								0					
	4	11	X	X	3				2				1				0	
	2	12	X	X	7		6		5		4		3		2		1	0
	1	13	X	X	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
18/16 位 WORD 内部数据位			17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

c) 真双口模式（ Ture Dual-Port Mode）

真双口模式支持 A 口/B 口的所有独立读写操作组合：两读，两写，一读和一写。

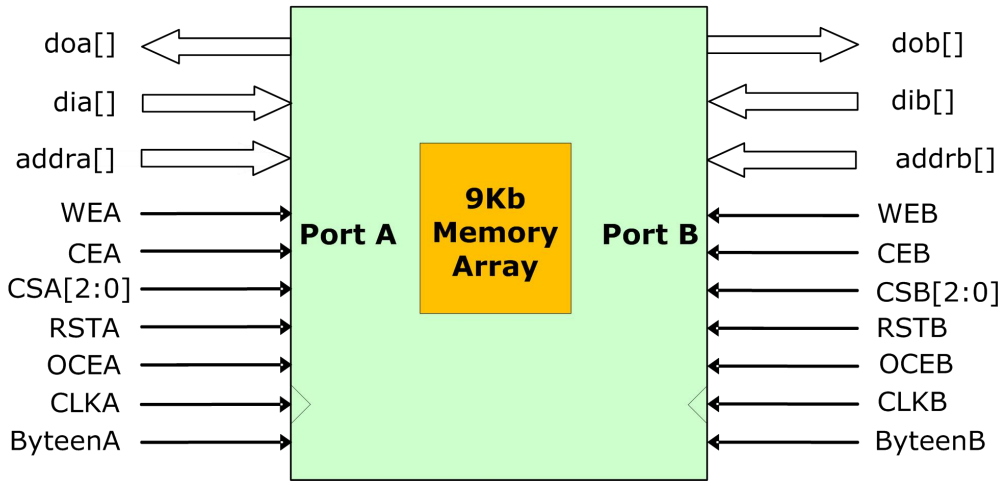


图 2-3- 6 位宽<=9 位时 A/B 双口 RAM

表 2-3- 7 真双口模式下支持的混合端口位宽配置

Read Port	Write Port				
	8Kx1	4Kx2	2Kx4	1Kx8	1Kx9
8Kx1	√	√	√	√	
4Kx2	√	√	√	√	
2Kx4	√	√	√	√	
1Kx8	√	√	√	√	
1Kx9					√

d) ROM 模式

BRAM9K 支持 ROM 模式。ROM 内容保存在初始化文件中，在芯片编程下载时写入 BRAM9K 中。初始化值可以在 IP 生成是用 MIF 文件设置。ROM 输出可选择带寄存器或不带寄存器锁存。ROM 的读出操作和单口 RAM 的读操作时序相同。

2.3.1.5 FIFO 模式

BRAM9K 内部集成 FIFO 控制器，硬件支持同步/异步 FIFO 模式。FIFO 模式下 BRAM9K 位宽设置和简单双口 RAM 设置相同，最高可支持 18bit 输入和输出。

表 2-3- 8 FIFO 模式下的端口信号

输入端口名	方向	说明
dia[8:0]	输入	FIFO 数据输入， 16/18 位输入端口模式时作为低 9 位数据输入
dib[8:0]	输入	只在 16/18 位输入端口模式时作为高 9 位数据输入，其他位宽不使用。
Clkw	输入	FIFO 写端口时钟输入，默认上升沿有效（可反向）
rst	输入	FIFO 内部写指针/读指针复位信号（可反向）
we	输入	FIFO 写使能，1 为写入操作，0 无操作。
Csw[2:0]	输入	FIFO 写端口 3 位片选信号（可反向），类似 RAM 模式。
Ocea	输入	A 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
输出端口名	**方向**	**说明**
doa[8:0]	输出	只在 18 位输出端口模式时作为低 9 位数据输出，其他位宽时不使用。
Dob[8:0]	输出	<=9 位时作为数据输出，18 位输出端口模式时作为高 9 位数据输出。
Clkr	输入	读端口时钟输入，默认上升沿有效（可反向）
rprst	输入	FIFO 读指针复位信号
re	输入	FIFO 读使能，1 为读操作，0 无操作。
Csr[2:0]	输入	FIFO 读端口 3 位片选信号（可反向），类似 RAM 模式。
Ocea	输入	doa 端口数据寄存器时钟使能，默认高有效（可反向）。只有 18 位输出端口模式并且当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
Oceb	输入	dob 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被

		使用时（REGMODE_B=“OUTREG”）才有效。
FIFO 标志名	**方向**	**说明**
empty_flag	输出	FIFO 读空标志，和 clkr 同步。
Aempty_flag	输出	FIFO 几乎读空标志，和 clkr 同步。相对读空提前量由 AE_POINT 参数决定。
Full_flag	输出	FIFO 满标志，和 clkw 同步。FIFO 满容量由 FULL_POINTER 参数决定。
Afull_flag	输出	FIFO 几乎满标志，和 clkw 同步。FIFO 几乎满容量由 AF_POINTER 参数决定。

表 2-3- 9 FIFO 模式支持的混合端口位宽配置

Read Port	**Write Port**						
	8Kx1	**4Kx2**	**2Kx4**	**1Kx8**	**512x16**	**1Kx9**	**512x18**
8Kx1	√	√	√	√	√		
4Kx2	√	√	√	√	√		
2Kx4	√	√	√	√	√		
1Kx8	√	√	√	√	√		
512x16	√	√	√	√	√		
1Kx9						√	√
512x18						√	√

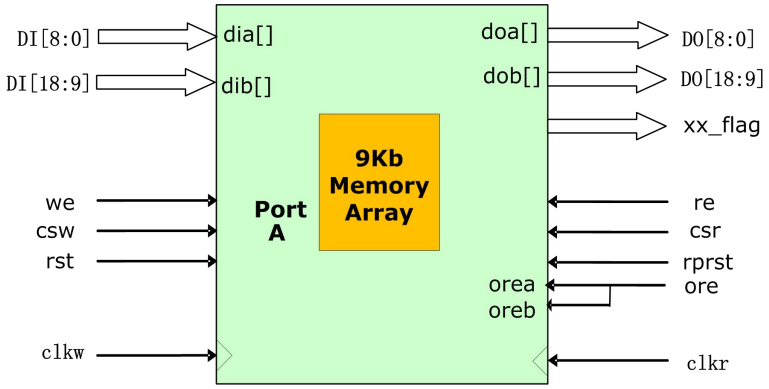


图 2-3- 7 18 位进/18 位出 FIFO 模式

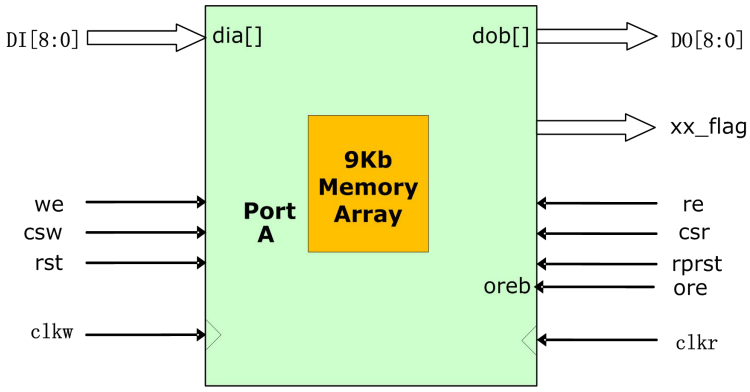


图 2-3- 8 <=9 位进/<=9 位出 FIFO 模式

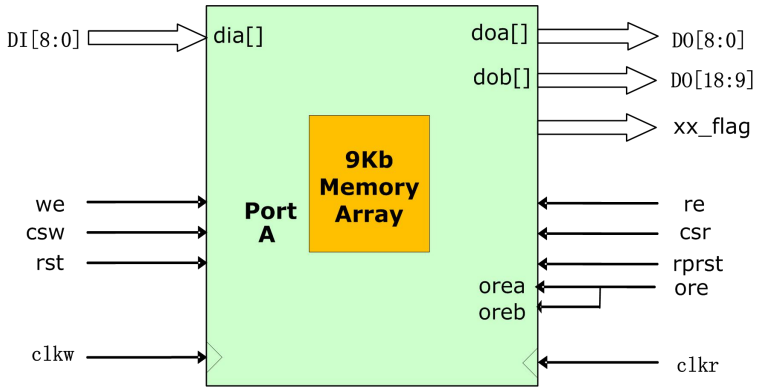


图 2-3- 9 9 位进/18 位出 FIFO 模式

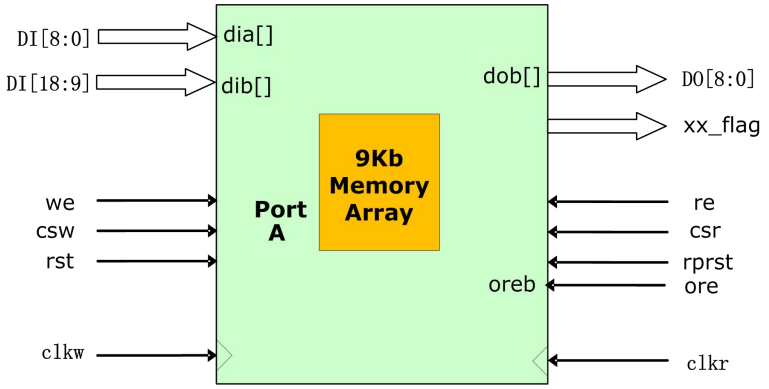


图 2-3- 10 18 位进/9 位出 FIFO 模式

■ **空满标志属性的设置**

FIFO 模式下用户可以通过软件设置 FIFO 空满标志属性。空标志(empty_flag)，几乎空标志（almost_empty） ,满标志 (full_flag) ，几乎满标志(almost_full)。当内部计数器计数到标志值时会在 FF/AF/EF/AE 相应端口输出高电平。

表 2-3- 10 FF/AF/EF/AE 属性设置

FIFO 属性名称	描述	设置范围
FF	Full flag	1 to Max
AF	Almost full	1 to Full-1
AE	Almost empty	1 to Full-1
EF	Empty setting	0

■ **FIFO 模式下常用配置**

FIFO 模式的 csw/csr 和 RAM 模式中的 csa/csb 接口逻辑类似。当 FIFO 写满或读空时为了避免指针溢出，可以通过互连资源将满信号反向后接入 csw 端，空信号反向后接入 csr 端。反向逻辑可以利用 csw/csr 内部的反向与逻辑实现。

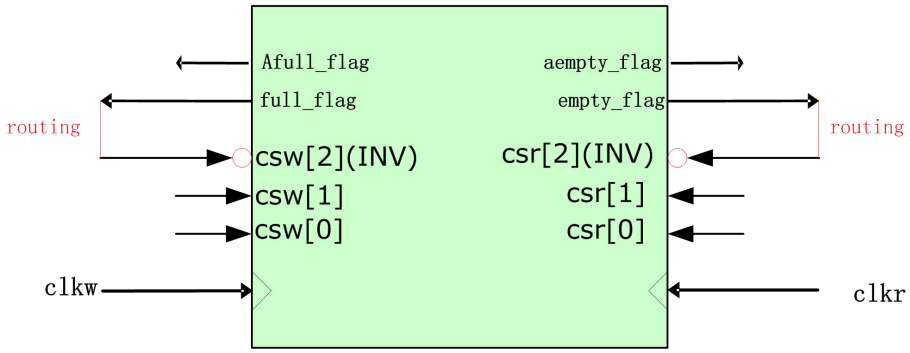


图 2-3- 11 单个 BRAM9K FIFO 模式连接

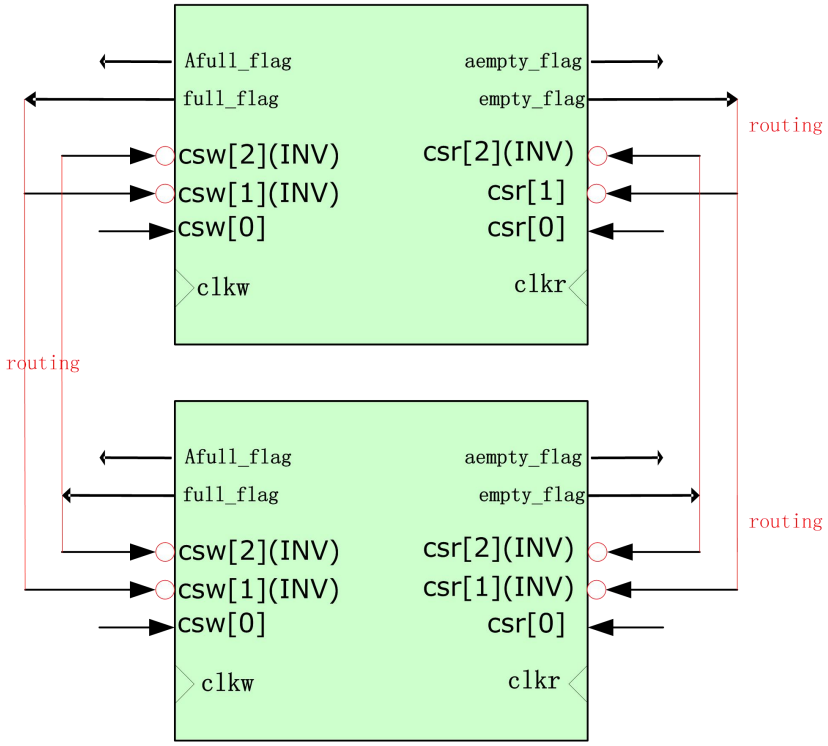


图 2-3- 12 两个 BRAM9K FIFO 级联模式连接

2.3.2 BRAM32K

为了达到更高的存储容量，ELF2 系列器件中设计了嵌入式真双口存储器模块 BRAM32K，类似于 BRAM9K，BRAM32K 单独占有一列。

BRAM32K 可实现：

- 单口 RAM
- 双口 RAM

BRAM32K 模块支持的功能特色有：

- 32K bits / 每块，可设置为 2K*16 或 4K*8

- A/B 口时钟独立
- 可单独配置 A/B 口数据位宽，支持 8 位/16 位两种宽度
- 输出锁存器可选择（支持 1 级流水线）
- 支持两种写操作模式。可选择只写（Normal），写穿通（Write through）

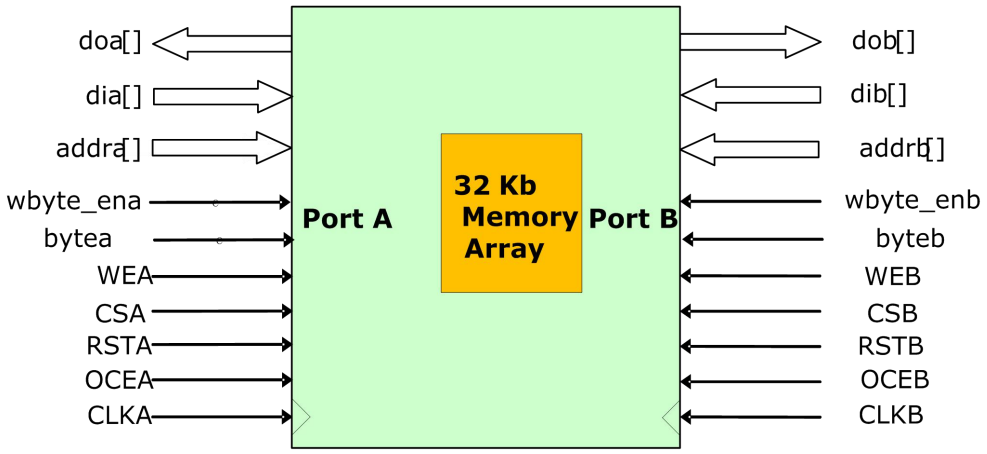


图 2-3- 13 BRAM32K 双口 RAM

表 2-3- 11 BRAM32K 端口信号

A 端口名	方向	说明
dia[15:0]	输入	A 端口数据输入，8 位输入端口模式时 dia[7:0]有效。
Addra[10:0]	输入	A 端口地址输入，2K 深度。
Wbyte_ena	输入	A 口 16 位模式时，使能 8 位写模式，高有效。8 位模式时接 0。
Bytea	输入	8 位模式时作为最低位地址输入；16 位模式 wbyte_ena=1 时，bytea=1 选择高 8 位写入，bytea=0 选择低 8 位写入。
Doa[15:0]	输出	A 端口数据输出，8 位输出端口模式时只 doa[7:0]有效
clka	输入	A 端口时钟输入，默认上升沿有效（可反向）
rsta	输入	A 端口数据输出寄存器同步复位信号，默认高有效（可反向）
csa	输入	A 端口片选，默认高有效（可反向）。
Wea	输入	A 端口写入/读出操作控制，1 为写入操作，0 为读出操作；
ocea	输入	A 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
B 端口名	方向	说明
dib[15:0]	输入	B 端口数据输入， 8 位输入端口模式时 dib[7:0]有效
addrb[10:0]	输入	B 端口地址输入，2K 深度
wbyte_enb	输入	B 口 16 位模式时，使能 8 位写模式，高有效。8 位模式时接 0。
Byteb	输入	8 位模式时作为最低位地址输入；16 位模式 wbyte_enb=1 时，byteb=1 选择高 8 位写入，byteb=0 选择低 8 位写入。
Dob[15:0]	输出	B 端口数据输出， 8 位输出端口模式时 dob[7:0]有效

clkb	输入	B 端口时钟输入，默认上升沿有效（可反向）。
Rstb	输入	B 端口数据输出寄存器同步复位信号，默认高有效（可反向）
csb	输入	B 端口时钟有效控制信号，默认低有效（可反向）。
Web	输入	B 端口写入/读出操作控制，0 为写入操作，1 为读出操作。
Oceb	输入	B 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_B=“OUTREG”）才有效。

2.3.3 大容量存储器

2.3.3.1 大容量存储器模块简介

本器件增加了 BRAM128K 和 BRAM256K 各一个，其主要用于 MCU 存储数据和指令，如果不使用 MCU 时也可以全部由 FPGA 控制。

2.3.3.2 BRAM128K

BRAM128K：

- 128K 内部基于 128 位单口 128Kbit BRAM，外部只允许 1 个口访问 BRAM
- 128K BRAM 只允许 MCU/FPGA 中的一个访问 BRAM

128K BRAM 的两种可能的应用场景：

情景 1：纯 MCU 模式，和 MCU 一起使用，128 位宽访问，对 FPGA 不可见。

情景 2：纯 FPGA 模式，不被 MCU 使用，128K BRAM 被 FPGA 使用，32 位单口访问。

BRAM128K 模块支持的功能特色：

- 单口 RAM/ROM，支持上电初始化
- 128Kbits
- MCU 模式时，128 位位宽读写，写操作带有字节使能（Byte Enable）控制，可实现 16 字节分别写入
- FPGA 模式时，写入读出数据位宽 32 位，写操作带有字节使能（Byte Enable）控制，可实现 4 字节分别写入
- 输出锁存器可选择（支持 1 级流水线）
- 支持 RAM/ROM 模式下数据初始化
- MCU 模式下支持 2 种写操作模式，可选择只写（Normal）和写穿通（Write through）
- FPGA 模式下，只支持 write normal
- MCU 模式下，固定工作在无输出锁存器，Normal 模式。

表 2-3- 12 BRAM 128K 特色

类别	特性
容量	128K
配置(深度 x 位宽)	1K x 128（MCU 模式） 4K x 32（FPGA 模式）
字节使能（Byte enable）	有
输入地址/数据寄存器	有
单口模式(Single-port mode)	只支持单口
ROM 模式	支持
数据输出寄存器	MCU 模式下无 FPGA 模式下有，可选择
独立数据输出寄存器使能	有
数据输出寄存器初始化	有，只支持异步复位（上电复位为 0）
Read-during-write	FPGA 模式下，无，只支持 write normal MCU 模式下，支持 write through
工作前 RAM 初始化	支持

2.3.3.3 BRAM256K

BRAM 256K 内部基于 32 位真双口核心。BRAM256K 为真双口，因此允许 2 个端口同时访问 BRAM。

表 2-3- 13 256K BRAM 通过 A/B 口被访问

外部访问端口	内部 BRAM 端口
MCU_A 口	A 口
FPGA_A 口	A 口
FPGA_B 口	B 口

256K BRAM 使用场景：

情景 1：纯 MCU 模式，32 位单口，可初始化。

情景 2：纯 FPGA 模式， MCU 不能使用，32 位双口，可初始化。

情景 3：MCU/FPGA 混合模式，32 位双口，MCU 通过 A 端口访问 BRAM，FPGA 用 B 口访问 RAM 块。可初始化。

256K 可实现：

- 单口 RAM/ROM
- 真双口 RAM

256K 模块支持的功能特色：

- 256K bits 每块
- A/B 口时钟独立
- A/B 口数据位宽 32 位，写操作带有字节使能（Byte Enable）控制，4 位控制 4 个字节的分别写入。
- 输出锁存器可选择（支持 1 级流水线）
- 支持 RAM/ROM 模式下数据初始化（和 BRAM9K 相同的初始化接口，9 位数据接口只使用低 8 位）
- 支持两种写操作模式：可选择只写（Normal）和写穿通（Write through）
- MCU 模式下，A 端口需配置成 MCU 使用，无输出锁存器，Normal 模式。

表 2-3- 14 BRAM 256K 特色

类别	特性
容量	256K
配置(深度 x 位宽)	8K x 32
字节使能（Byte enable）	支持，4 位控制
输入地址/数据寄存器	有
单口模式(Single-port mode)	支持
真双口模式(True dual-port mode)	支持
ROM 模式	支持
数据输出寄存器	有，可选择
独立数据输出寄存器使能	有
数据输出寄存器初始化	有，只支持异步复位（上电复位为 0）
Read-during-write	保持不变(normal) 输出写数据（write through）
工作前 RAM 初始化	支持

2.3.3.4 FPGA 模式下 BRAM128K/256K 存储器通用控制逻辑说明

- **控制信号说明**

在 FPGA 模式下，128K/256K 和 MCU 的输入控制信号有：片选信号 cs，写/读操作（we），字节写操作使能（wbyte）,数据输出寄存器锁存使能（oprce），数据输出寄存器异步复位（rst）。

表 2-3- 15 写操作控制信号逻辑

操 作	CLK	CS	we	Wbyte[3:0]	RST	OPRCE
32位写操作	上升沿	1	1	4'b1111	0	X
32位读操作	上升沿	1	0	x	0	X
不工作	X	0	X	x	0	X

注意：即使不使用输出寄存器，RST 输入也必须为 0。

表 2-3- 16 字节使能

Wbyte_en[3]	Byte3 写使能	=1，di<31:24>写入 ；=0，不写
Wbyte_en[2]	Byte2 写使能	=1，di<23:16>写入；=0，不写
Wbyte_en[1]	Byte1 写使能	=1，di<15:8>写入； =0，不写
Wbyte_en[0]	Byte0 写使能	=1，di<7:0>写入； =0，不写

表 2-3- 17 读操作控制信号逻辑

操作	CLK	CS	OPRCE	rst	we	Wbyte<3:0>
无输出寄存器读操作	上升沿	1	X	0	0	X
有输出寄存器读操作	x	1	1（延迟1个周期）	0	0	X
Save power	x	0	0	0	X	X

2.3.3.5 FPGA 模式下 BRAM128K/256K 端口和模式说明

■ **FPGA 模式下 BRAM128K 端口和模式说明**

表 2-3- 18 BRAM128K 与 FPGA 间端口信号说明

端口名	方向	说明
di[31:0]	输入	FPGA 数据输入。
addr [11:0]	输入	地址输入，4K 深度。
wbyte[3:0]	输入	字节写入使能，对应 4 个字节，1 允许写入。
do [31:0]	输出	数据输出
clk	输入	时钟输入，默认上升沿有效（在 PIB 中可反向）
rst	输入	数据输出寄存器异步复位信号，高有效（在 PIB 中可反向）
cs	输入	使能输入，高有效（在 PIB 中可反向）。
we	输入	写入/读出操作控制，1 为写入操作，0 为读出操作；
oprce	输入	软件名 ocea ，A 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。

表 2-3- 19 BRAM 128K 配置参数

参数名	模式	值	说明
REGMODE	MCU/FPGA	“NOREG”	（默认值）A 端口数据输出无寄存器，ocea/rsta 无效。
	FPGA	“OUTREG”	A 端口数据输出带有寄存器，数据输出延迟 1 个周期，ocea/rsta 控制信号有效。
WRITEMODE_A (在 OUTREG 模式时有效)	MCU/FPGA	“NORMAL”	写模式选择 1（默认值）。 写操作不会对输出 doa 产生影响（no change）。
	FPGA	“WRITETHROUGH”	写模式选择 2。 写操作会将正在写入的数据同时读出到 doa。

■ **FPGA 模式下 BRAM256K 端口和模式说明**

表 2-3- 20 BRAM256K 与 FPGA 间端口信号说明

A 端口名	**方向**	**说 明**
dia[31:0]	输入	FPGA A 端口数据输入。
addra [12:0]	输入	A 端口地址输入，8K 深度。
wbytea[3:0]	输入	A 端口字节写入使能，对应 4 个字节，1 允许写入。
doa [31:0]	输出	A 端口数据输出
clka	输入	A 端口时钟输入，默认上升沿有效（在 PIB 中可反向）
rsta	输入	A 端口数据输出寄存器异步复位信号，高有效（在 PIB 中可反向）
csa	输入	A 端口使能输入，高有效（在 PIB 中可反向）。
wea	输入	A 端口写入/读出操作控制，1 为写入操作，0 为读出操作；
oprcea	输入	软件名 ocea ，A 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
B 端口名	**方向**	**说 明**
dib [31:0]	输入	B 端口数据输入
addrb [12:0]	输入	B 端口地址输入，8K 深度
wbyteb[3:0]	输入	B 端口字节写入使能，对应 4 个字节，1 允许写入。
dob [31:0]	输出	B 端口数据输出， 8 位输出端口模式时 dob[7:0]有效
clkb	输入	B 端口时钟输入，默认上升沿有效（可反向）。
rstb	输入	B 端口数据输出寄存器同步复位信号，默认高有效（可反向）
csb	输入	B 端口使能信号，默认高有效（可反向）。
web	输入	B 端口写入/读出操作控制，1 为写入操作，0 为读出操作。
oprceb	输入	软件名 oceab，B 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_B=“OUTREG”）才有效。

BRAM 内部带有上升沿触发的地址/数据/控制信号锁存器，根据 CS/WE 两个控制信号逻辑写入/读出 RAM 阵列。

输出带有异步 latch，latch 的数据更新由 WRITEMODE 模式控制，normal 模式时，latch 会在读操

作时才更新数据；write_through 模式时，写操作时也会更新 latch 数据；默认为 normal 模式。

后面带有可选择的 clk 同步输出数据缓冲器，可提高 BRAM 的最高工作频率，但是数据输出会延迟 1 个周期（latency=1）。由 REGMODE 参数控制，默认不使用寄存器，无 latency，此时 clk->do 的延迟最大为 4ns。

rsta 和 oprcea 只对输出寄存器有效，默认模式下（不使用输出寄存器）时，rsta 必须接 0。

表 2-3- 21 用 BRAM256K 的 RAM 可以设置的工作模式如下

参数名	模式	值	说明
REGMODE_A	MCU/FPGA	“NOREG”	（默认值）A 端口数据输出无寄存器，ocea/rsta 无效。
	FPGA	“OUTREG”	A 端口数据输出带有寄存器，数据输出延迟 1 个周期，ocea/rsta 控制信号有效。
REGMODE_B	FPGA	“NOREG”	（默认值）B 端口数据输出无寄存器，oceb/rstb 无效。
	FPGA	“OUTREG”	B 端口数据输出 dob 带有寄存器， 数据输出延迟 1 个周期，oceb/rstb 控制信号有效。
WRITEMODE_A (在 OUTREG 模式时有效)	MCU/FPGA	“NORMAL”	写模式选择 1（默认值）。 写操作不会对输出 doa 产生影响（no change）。
	FPGA	“WRITETHROUGH”	写模式选择 2。 写操作会将正在写入的数据同时读出到 doa。
WRITEMODE_B (在 OUTREG 模式时有效)	FPGA	“NORMAL”	写模式选择 1（默认值）。 写操作不会对输出 dob 产生影响。
	FPGA	“WRITETHROUGH”	写模式选择 2。 写操作会将正在写入的数据同时读出到 dob。

注：模式中 MCU/FPGA 表示使用 MCU 时必须配置成此模式。

2.4 时钟资源

ELF2 系列 FPGA 包含 3 种时钟资源，第一个是给核心逻辑、嵌入式存储器、IOL 和 DSP 使用的全局时钟（GCLK），第二个是支持高速输入/输出接口串并转换的输入输出时钟（IOCLK），第三个是支持时钟快速输入到 IOCLK 和 PLL 输入的快速时钟。

2.4.1 全局时钟

ELF2 系列全局时钟资源源包含专门的时钟输入，缓冲器和布线网络。时钟资源提供 16 个低延迟、低偏斜、互联的全局时钟网络。全局时钟网络能够为 FPGA 各个模块提供统一的高性能、低抖动、低偏斜时钟源，同时全局时钟也可用于高扇出信号，时钟架构如图 2-4- 1 所示。

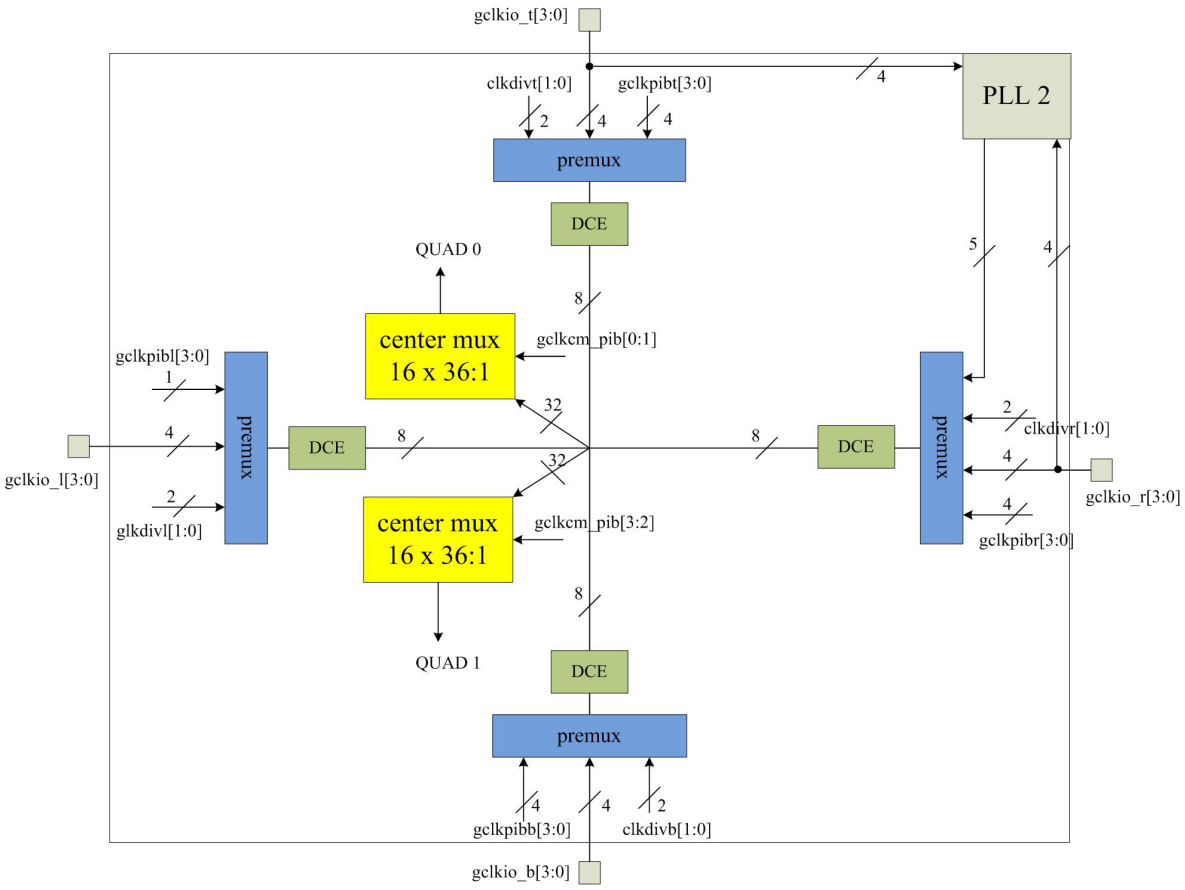


图 2-4- 1 全局时钟分布网络

注：ELF2_4K 以下资源只有 PLL2

在全局时钟传输路径上有两级多路选择器，第一级为 8:1，用于从 PLL 输出、时钟管脚、内部分频器、内部逻辑反馈中选择一路作为全局时钟的驱动；在 8:1 多路选择器的输出端，插入了一级动态时钟时能逻辑，可以实现无毛刺的时钟动态使能；从四个边共送进 32 路时钟资源，经过在传输路径上的延时平衡，分别送到位于芯片中间的第二级 36:1 多路选择器，进而分别送到 4 个象限驱动用户逻辑 DFF。

整个芯片以水平和垂直中间线为四个象限，每个象限有 16 路独立的全局时钟资源。

2.4.1.1 时钟切换模块（CSB）

每个 ELF2 器件有 2 个全局时钟动态时钟切换模块。时钟切换模块把所有 32 路全局时钟第一级多路选择器的输出作为输入。动态时钟切换器的设计允许将其配置成一个具有两个时钟输入的同步或异步无毛刺信号 2:1 多路复用器。

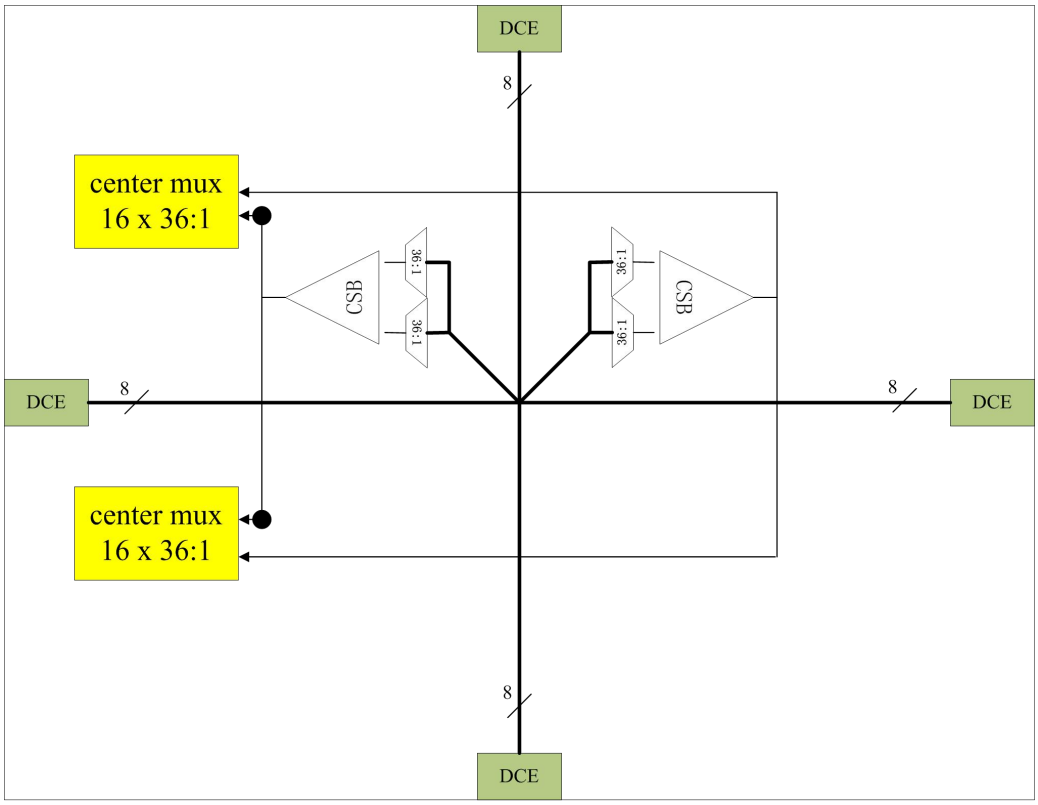


图 2-4- 2 CSB 框图

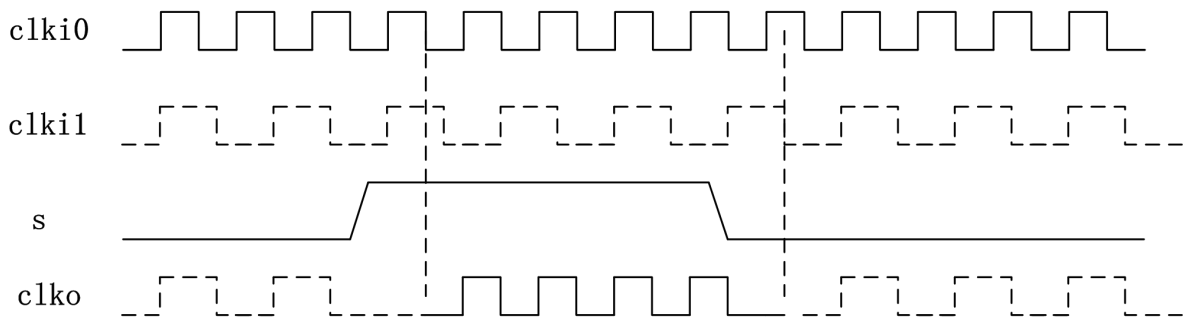


图 2-4- 3 CSB 时钟切换时序图

表 2-4- 1 DCS 操作模式

模 式	S		描 述
	1	0	
BUFGMUX	clki0	clki1	有毛刺时钟切换

2.4.2 输入输出时钟

输入输出时钟 (IOCLK) 是可以在 ELF2 器件中使用的一种时钟缓冲器。IOCLK 驱动 I/O 列内一个独立于全局时钟资源的专用时钟网。这样，BUFIO 就可以理想地适合源同步数据采集（传送/接收器时钟分配）。IOCLK 可以由位于同一时钟区域的 clock capable I/O 驱动，也可以由 PLL 输出驱动。典型的 I/O 组中有两个 IOCLK。每个 IOCLK 可驱动同一区域/组中的一个 I/O 时钟网络。IOCLK 不能驱动逻辑资源（PLB、BRAM 等），因为 IOCLK 时钟网络只能覆盖同一组或时钟区域内的 I/O 列。

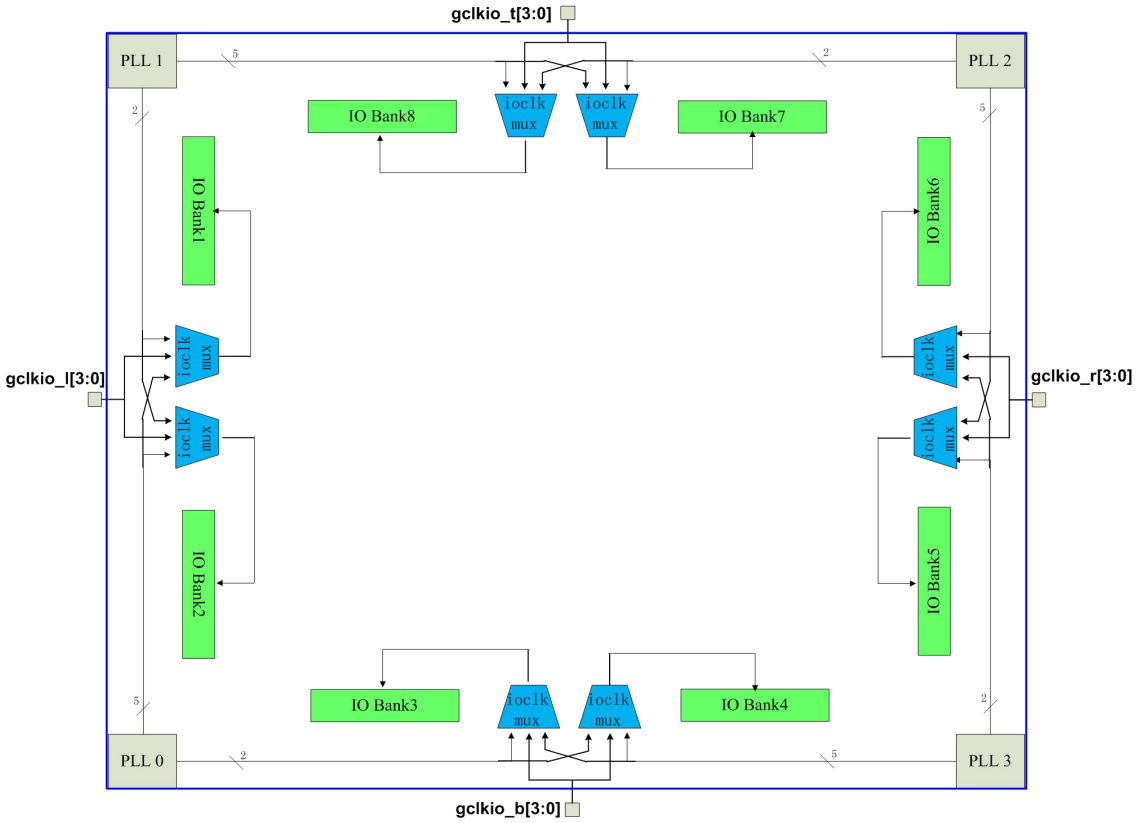


图 2-4- 4 IOCLK 架构图

注：ELF2-4K 以下资源只有 PLL2

2.4.2.1 时钟分频器

ELF2 器件在每个 I/O 组中都有两个时钟分频器。时钟分频器把输入时钟分频，其输入来自于相同 I/O 组的输入输出时钟。输出分频系数可以是 1/2/4 中的任意一个。

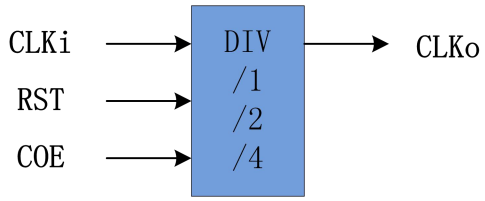


图 2-4- 5 时钟分频器

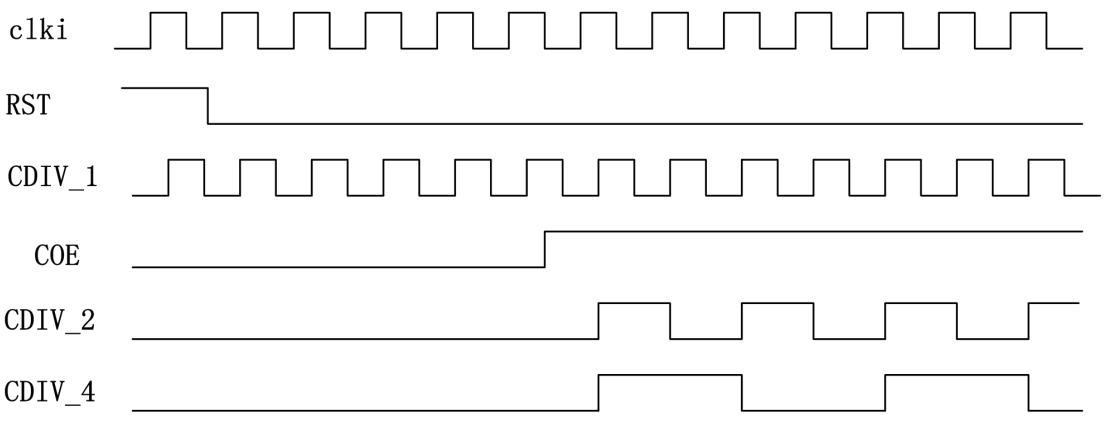


图 2-4- 6 时钟分频器时序图

2.4.3 快速时钟

快速时钟用以实现单时钟输入快速布线到多个 IOCLK 和 PLL 输入的应用，这使得客户实现时钟共享输入应用时更加灵活。

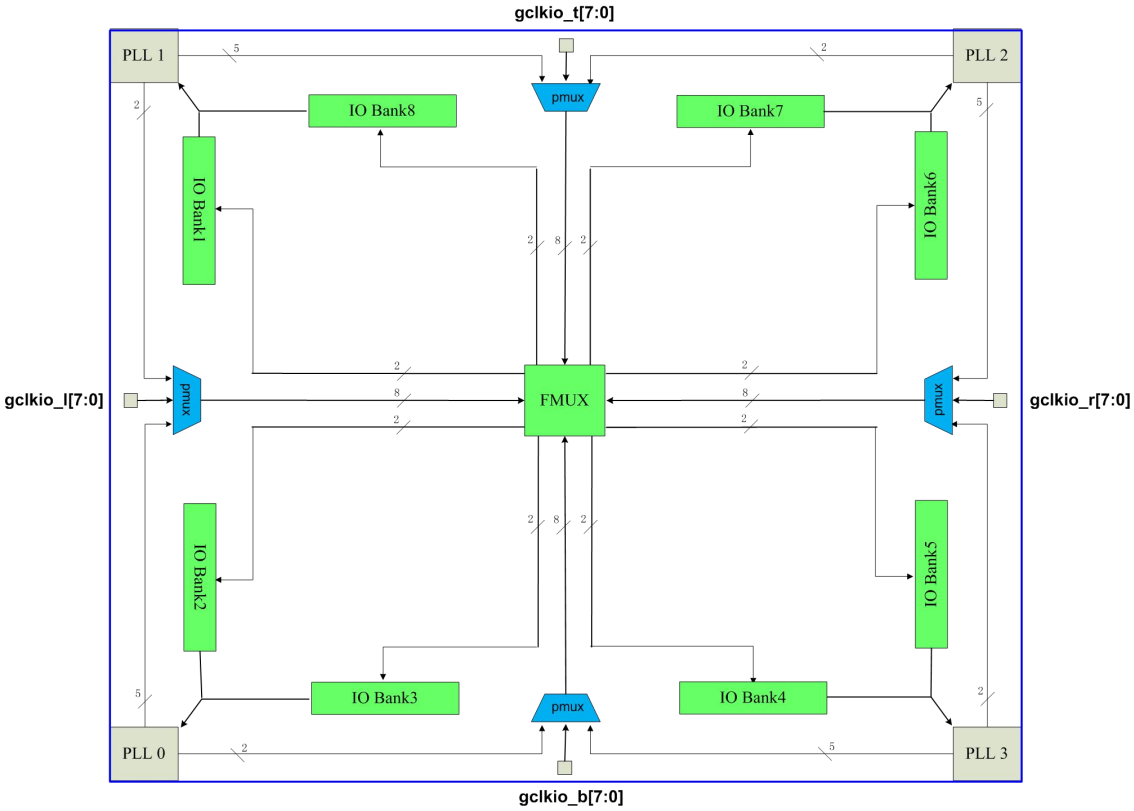


图 2-4- 7 快速时钟架构图

2.5 锁相环（PLL）

2.5.1 简介

ELF2 系列 FPGA 内嵌 1 个多功能锁相环（PLL2），可实现高性能时钟管理功能。可以实现时钟分频、倍频、展频、小数分频、占空比调整、输入和反馈时钟对准、多相位时钟输出等功能。

用户在使用中应关注 PLL 的 lock 信号是否为高，同时建议用户等待输入信号稳定后，再给锁相环进行复位以保证锁相环输出时钟信号的频率和相位。

PLL 参考时钟输入有：时钟网络输出、互连输出和内部振荡器输出。

PLL 反馈时钟输入有：时钟网络输出、内部寄存器时钟节点、互连输出、PLL 内部反馈时钟以及相移时钟 C0~C4。

PLL 输出 C5 和 C0 共用了一个来自 VCO 的相位选择器，输出细调相位必须相同。

PLL 输出 C6 和 C1 共用了一个来自 VCO 的相位选择器，输出细调相位必须相同。

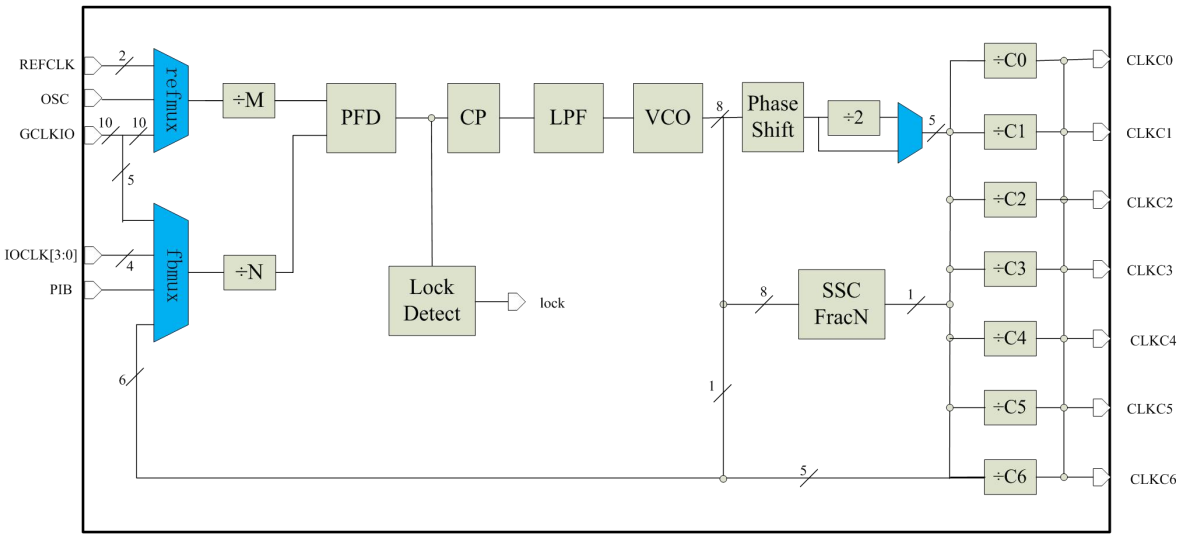


图 2-5- 1 ELF2 PLL 架构图

PLL 有专门的输出驱动芯片的专用时钟输出管脚，已获得更好的抖动性能。

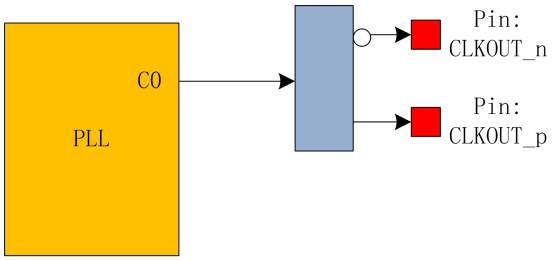


图 2-5- 2 ELF2 C0 直接输出到时钟输出 IO 管脚（差分模式）

表 2-5- 1 ELF2 PLL 特性表

Feature	ELF2 PLL
输入时钟频率范围	10-400 Mhz
输出时钟频率范围	4-400 Mhz
VCO 频率范围	300-1200 Mhz
输出端口数	7 (C0~C4 相位完全独立)
参考时钟分频系数(M)	1 to 128
反馈时钟分频系数(N)	1 to 128
输出时钟分频系数(C0-4)	1 to 128
相移分辨率	45° （相对 VCO）
输出端口可选相位偏移量（°）	0，45，90，135，180，225，270，315
用户动态相移控制	支持（+/-每单位 45 度相移，相对 VCO）
锁定状态输出	Lock
专用时钟输出管脚	支持
展频输出	支持
小数分频	支持
占空比调整	支持

2.5.2 动态相移

ELF2 系列 PLL 支持动态相移功能。ELF2 系列 PLL 控制属性分为静态和动态配置两种。静态配置由用户通过软件设置生成码流，经过上电下载后不能更改。

静态配置参数包括：

- 参考/反馈时钟输入/输出选择
- 参考时钟分频系数(M)
- 反馈时钟分频系数(N)
- 输出时钟分频系数(C0-4)

动态相移是指用户可以通过向 PLL 控制输入接口发送信号，改变 PLL 5 个时钟输出 C0-C4 的相位。ELF2 动态相移控制通过递加/递减的方式调节相位。递进步长为输出时钟的 45 度除以输出分频数。用户通过 PSCLKSEL[2:0]信号选择对某一路输出进行相移。PSSTEP 的每一个脉冲递增或递减一格相位，PSDONE 低到高的跳变表示完成一次相位移动。

动态相移在 4 种反馈模式下都可以使用，值得注意的是 PSCLK 至少要小于 VCO 的三分之一，PSSTEP 的宽度至少需要 2 个 PSCLK 周期。

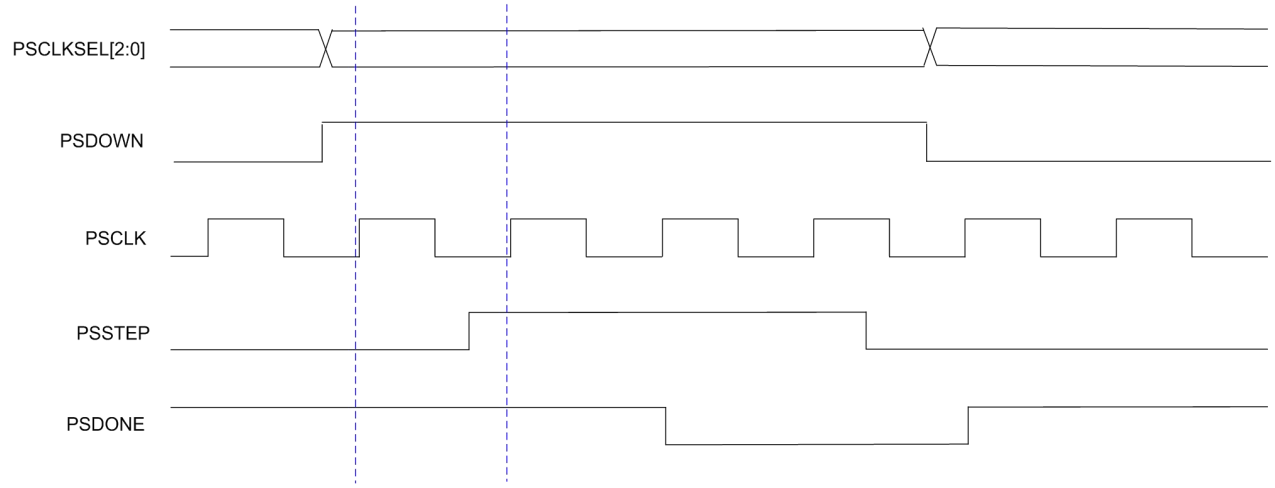


图 2-5- 3 PLL 动态相移控制时序

2.5.3 时钟反馈模式

ELF2 系列 PLL 支持 4 种反馈模式。每种模式都支持时钟分频/倍频和相移。

2.5.3.1 源同步模式（Source-Synchronous Mode）

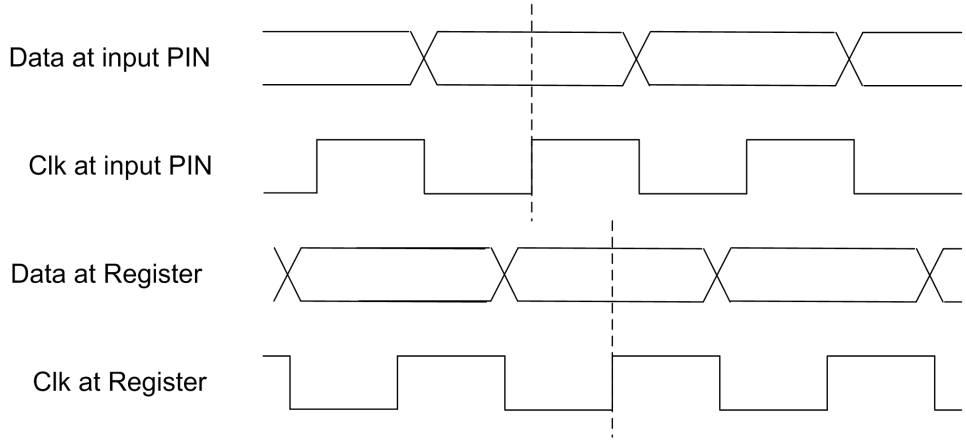


图 2-5- 4 源同步模式

如图 2-5- 4 源同步模式通过动态相移功能，调节时钟相位保证数据端口到 IOB 输入寄存器的延迟和时钟输入端口到 IOB 寄存器的延迟相等（数据和时钟输入端口模式相同情况下）。

2.5.3.2 无补偿模式（No Compensation Mode）

在无补偿模式，PLL 不对时钟网络延迟进行补偿，PLL 采用内部自反馈，会提高 PLL 的抖动特性。

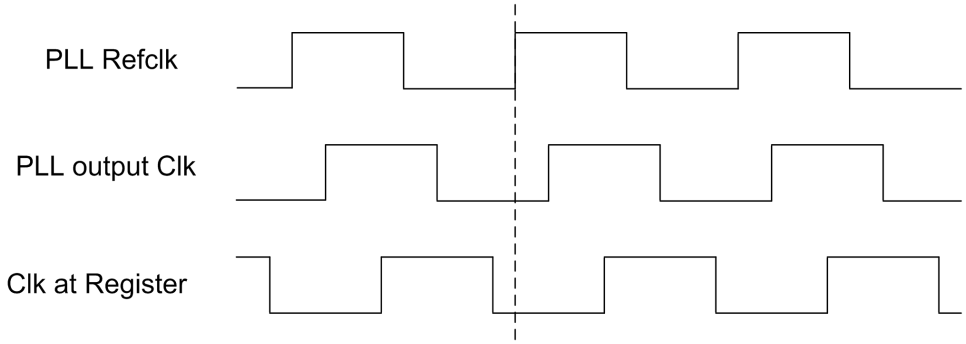


图 2-5- 5 无补偿模式（相位不对齐）

2.5.3.3 普通模式

普通模式中，PLL 会补偿 GCLK 网络延迟，保证内部寄存器输入时钟相位和时钟管脚相位一致。

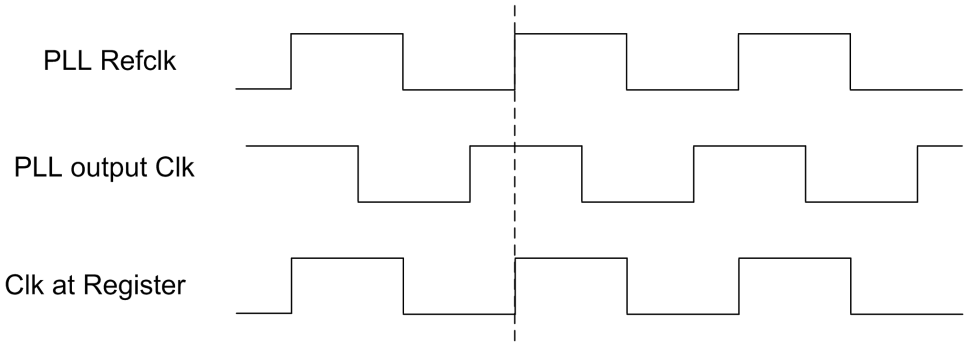


图 2-5- 6 普通模式（1/2 时钟相位对齐）

2.5.3.4 零延迟缓冲模式

零延迟缓冲模式，时钟输出管脚相位和 PLL 参考时钟输入管脚相位对齐。

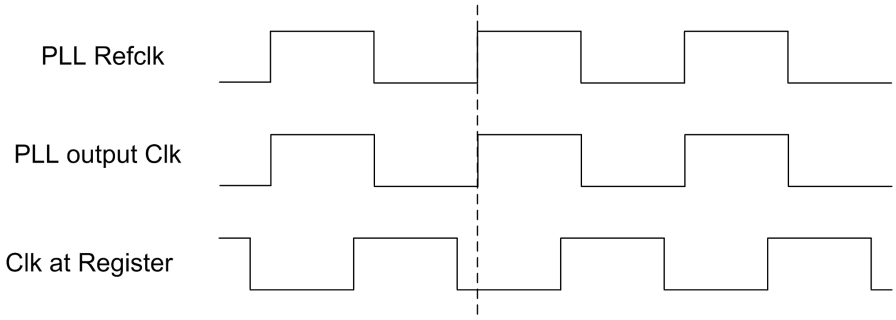


图 2-5- 7 零延迟缓冲模式（1/3 信号相位对齐）

2.5.4 展频和小数分频

ELF2 系列 PLL 使用展频技术，将能量分布在一个较宽的频带范围内，减小电磁干扰 EMI 对系统产生的影响。ELF2 系列 PLL 提供中心展频和向下展频两种展频方式，展频宽度可达 3%，采用三角波调制，调制频率和调制宽度均可编程。使用展频功能时，PLL 输出的所有时钟都会被调制。

Delta-sigam 调制器（DSM）和相位插值器共同实现 ELF2 系列 PLL 小数分频功能，DSM 动态的选择 8 路相位中的一路作为 VCO 的输出，平均值代表设定的小数值。

ELF2 系列 PLL 有 3 种工作模式：整数分频，小数分频和展频。展频可以和整数分频或者和小数分频一起使用。关闭小数分频和展频，PLL 工作于整数分频模式，此时 PLL 具有最好的 jitter 性能。

当 ELF2 系列 PLL 同时工作于小数分频和展频模式时，相对于整数分频来说，random jitter 会增加 30-50%。

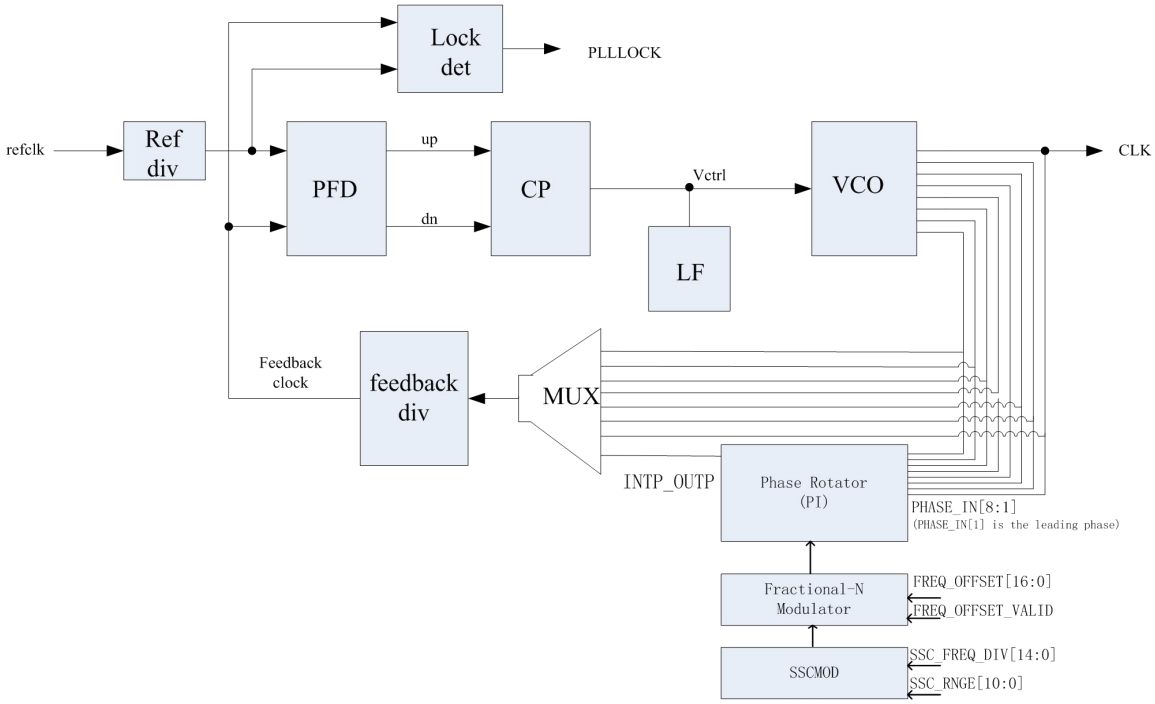


图 2-5- 8 ELF2 系列 PLL 系统架构

2.5.4.1 小数分频

如图 2-5- 8 所示，小数分频通过相位插值器（PI）产生输出时钟（INTP_OUTP），和 VCO 输出的八个相位相比，产生偏移量，形成小数值。最高支持+/-5%的偏移量，精度为 1ppm。

2.5.4.2 展频

ELF2 系列 PLL 的展频发生器通过调制频率来减少 EMI 对系统的干扰，通过编程选择向下或者中心调制，调制范围和调制频率，调制方式是三角波。

- 可编程向下调制和中心调制
- 可编程调制范围（0%-3%）
- 三角波调制方式
- 可编程调制（三角波）频率

2.5.4.3 整数分频

当 ELF2 系列 PLL 关闭展频和小数分频功能，PLL 工作在整数分频模式，具有最好的 jitter 性能。

2.5.5 占空比调制

ELF2 系列 PLL 使用占空比调制技术，可以产生可变占空比的输出时钟，仅支持 C0，C1 两路输出。占空比调制通过改变 post-scale 分频器的设定来实现。TD 软件利用输入频率，倍频和分频来决定占空比的选择。

2.5.5.1 相位设定

ELF2 系列 PLL 相位调整通过下面的公式计算：

Phasec=(MC1_DELx+1)/(MC1_DIVx+1)*360 度

MC1_DELx 是相位调整计数器的值, MC1_DIVx 是 post-scale divider 计数器的值.

2.5.5.2 占空比调制

每路输出时钟占空比调制需要 8 个控制位，总共需要 16 位。

当标志位 MC1_DUTY50_N 设定为 0, ELF2 系列 PLL 工作在 50%占空比模式下 ，根据 post-scale divider 设定的值, 有 divided by even 和 divided by odd 两种选项。

例：divided by even

MC1_DUTY[6:0]=(MC1_DIVx+1)/2

MC1_DUTY50_N=0

例：divided by odd

MC1_DUTY[6:0]=INT((MC1_DIVx+1)/2+1)

MC1_DUTY50_N=0

当标志位 MC1_DUTY50_N 设定为 1, ELF2 系列 PLL 工作在可变占空比模式下 ,占空比调制的精度由 MC1_DIVx 决定, 通过下面的表达式计算：

DutyCycle=(MC1_DIVx+1-MC1_DUTYx)/(MC1_DIVx+1)

MC1_DUTYx 是 duty cycle 计数器的值, DutyCycle 表示需要调整时钟占空比的百分比, 比如 12.5%, 25%等。

例：如果 MC1_DIVx=7（除频为 8），设定占空比为 12.5%。

MC1_DYTYx=MC1_DIVx+1-DutyCycle*(MC1_DIVx+1)　= 7 + 1 - 12.5% * (7 + 1) = 7

2.6 数字信号处理（DSP）

ELF2 器件结合了片上资源与外部接口，这有助于提高性能、减少系统成本，以及降低数字信号处理(DSP)系统的功耗。ELF2 器件本身或者作为 DSP 器件的协处理器，都可用于提高 DSP 系统的性价比。

2.6.1 体系结构

嵌入式乘法器可以配置成一个 18 × 18 乘法器，或者配置成两个 9 × 9 乘法器。每个嵌入式乘法器均由以下几个单元组成：

- 乘法器级
- 输入与输出寄存器
- 输入与输出接口

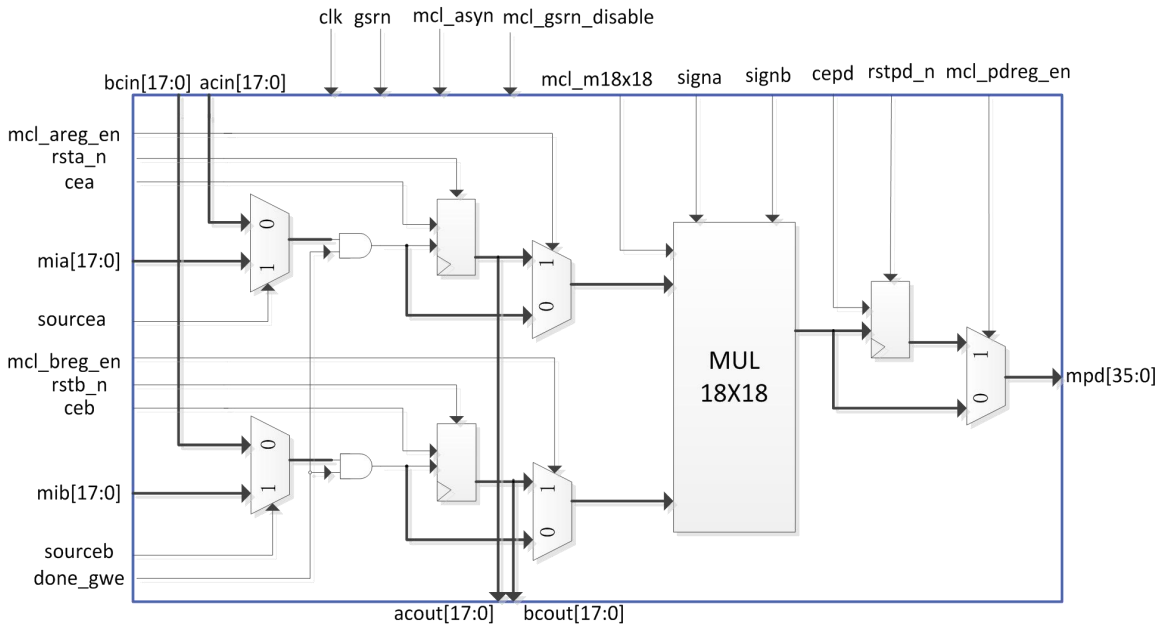


图 2-6- 1 乘法器模块的体系结构

a) 输入寄存器

根据乘法器的操作模式，可以将每个乘法器输入信号连接到输入寄存器，或直接以 9bit 或 18 bit 的形式连接到内部乘法器。可以分别设置乘法器的每个输入是否使用输入寄存器。例如：将乘法器 mia 信号连接到输入寄存器，将 mib 信号直接连接到内部乘法器。

下列控制信号可用于嵌入式乘法器中的每一个输入寄存器：

- 时钟
- 时钟使能
- 同步/异步清零

同一个嵌入式乘法器中的所有输入与输出寄存器均由同一时钟信号驱动，时钟使能信号以及异步清零信号驱动可以独立配置。

b) 乘法器级

嵌入式乘法器模块的乘法器级支持 9x9 或者 18x18 乘法器，并支持这些配置之间的其它乘法器。根据乘法器的数据宽度或者操作模式，单一嵌入式乘法器能够同时执行一个或者两个乘法运算。

乘法器的每一个操作数都是一个唯一的有符号或者无符号数。signa 与 signb 信号控制乘法器的输入，并决定值是有符号的还是无符号的。如果 signa 信号为高电平，则 mia 操作数是一个有符号数值。反之，mia 操作数便是一个无符号数值。

表 2-6- 1 为乘法器符号表示给出了不同符号类型的操作数的乘积结果对应的符号类型。如果任何一个操作数为有符号数，则乘积的结果为有符号数。

表 2-6- 1 乘法器符号表示

MIA		MIB		乘积
signa	逻辑值	Signb	逻辑值	
无符号	0	无符号	0	无符号
无符号	0	有符号	1	有符号
有符号	1	无符号	0	有符号
有符号	1	有符号	1	有符号

每一个嵌入式乘法器模块只有一个 signa 信号和一个 signb 信号，用于控制模块输入数据的符号表示。如果嵌入式乘法器有两个 9 x9 乘法器，那么这两个乘法器的 mia 输入与 mib 输入将分别共享同一个 signa 信号和同一个 signb 信号。可以在运行时动态改变 signa 和 signb 信号，以修改输入操作数的符号表示。可以通过专用的输入寄存器发送 signa 以及 signb 。不管符号表示如何，乘法器都会支持全精度。

c) 输出寄存器

根据乘法器的操作模式，可以用 18 bit 或 36 bit 的形式来使用输出寄存器对嵌入式乘法器的输出进

行寄存。下面的控制信号可用于嵌入式乘法器中的每一个输出寄存器：

- 时钟
- 时钟使能
- 步/异步清零

同一个嵌入式乘法器中的所有输入与输出寄存器均由同一时钟信号驱动，时钟使能信号以及异步清零信号驱动可以独立配置。

表 2-6- 2 乘法器端口说明

名称	方向	位宽	描述
mia	输入	18	来自 PIB 的 dsp 操作数输入。具有寄存器输入模式
acin	输入	18	来自前一级 dsp 的 acout 端口上的级联数据输入。具有寄存器输入模式
acout	输出	18	连接到下一级 dsp 的 acin 端口上的级联数据输出
mib	输入	18	来自 PIB 的 dsp 的另一操作数输入。具有寄存器输入模式
bcin	输入	18	来自前一级 dsp 的 bcout 的级联数据输入。具有寄存器输入模式
bcout	输出	18	连接到下一级 dsp 的 bcin 端口上的级联数据输出
cea	输入	1	输入寄存器时钟使能信号。当 cea 为高电平时，输入有效
ceb	输入	1	输入寄存器的时钟使能信号。当 ceb 为高电平时，输入有效
cepd	输入	1	输出寄存器的时钟使能信号。当 cepd 为高电平时，输出有效
clk	输入	1	clk 是 dsp 的输入时钟，共同作用于内部所有的寄存器
rsta_n	输入	1	输入寄存器的复位信号。输入为低电平时，寄存器的输出为“0”
rstb_n	输入	1	输入寄存器的复位信号。输入为低电平时，寄存器的输出为“0”
rstpd_n	输入	1	输出寄存器的复位信号。输入为低电平时，寄存器的输出为“0”
sourcea	输入	1	第一级数据选择器的控制端。当 sourcea 为高电平时，MUX 的输出是 a，当 sourcea 为低电平时，MUX 的输出是 acin
sourceb	输入	1	第一级数据选择器的控制端。当 sourceb 为高电平时，MUX 的输出是 b，当 sourceb 为低电平时，MUX 的输出是 bcin
mpd	输出	36	dsp 的乘积数据输出

2.6.2 操作模式

根据不同的应用需要，可以选择如下两种的乘法器工作模式的一种：

- 一个 18 × 18 乘法器
- 两个 9 × 9 独立的乘法器

通过使用 ELF2 器件的嵌入式乘法器，可以实现乘法加法器和乘法累加器功能，该功能的乘法器部分由嵌入式乘法器来实现，而加法器或者累加器功能则在逻辑单元中实现。

2.6.2.1 18 位乘法器

通过配置每一个嵌入式乘法器，来支持 10 到 18 位输入位宽的单一 18x18 乘法器。图 2-6- 2 给出了配置后的嵌入式乘法器，以支持一个 18 位乘法器。

所有的 18 位乘法器输入数据与结果均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数，或者两者的组合。另外，也可以动态修改 signa 与 signb 信号，并且通过专用的输入寄存器发送这些信号。

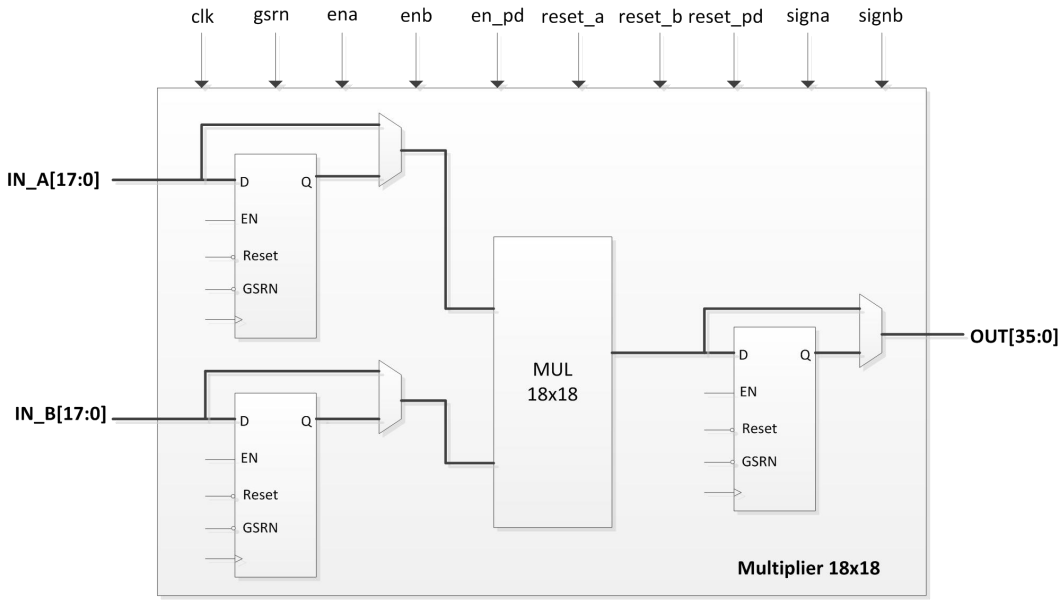


图 2-6- 2 18 位乘法器模式

2.6.2.2 9 位乘法器

通过配置每一个嵌入式乘法器，以支持最多 9 位输入位宽的两个 9x9 乘法器。图 2-6- 3 给出了配置后的嵌入式乘法器，以支持两个 9 位乘法器。

所有的 9 位乘法器输入数据与结果均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数，或者两者的组合。同一嵌入式乘法器模块中的两个 9 × 9 乘法器共享同一个 signa 和 signb 信号。因此，用于驱动同一嵌入式乘法器的所有 mia 输入数据必须要有相同的符号表示。同样，用于驱动同一嵌入式乘法器的所有 mib 输入数据也必须要有相同的符号表示。

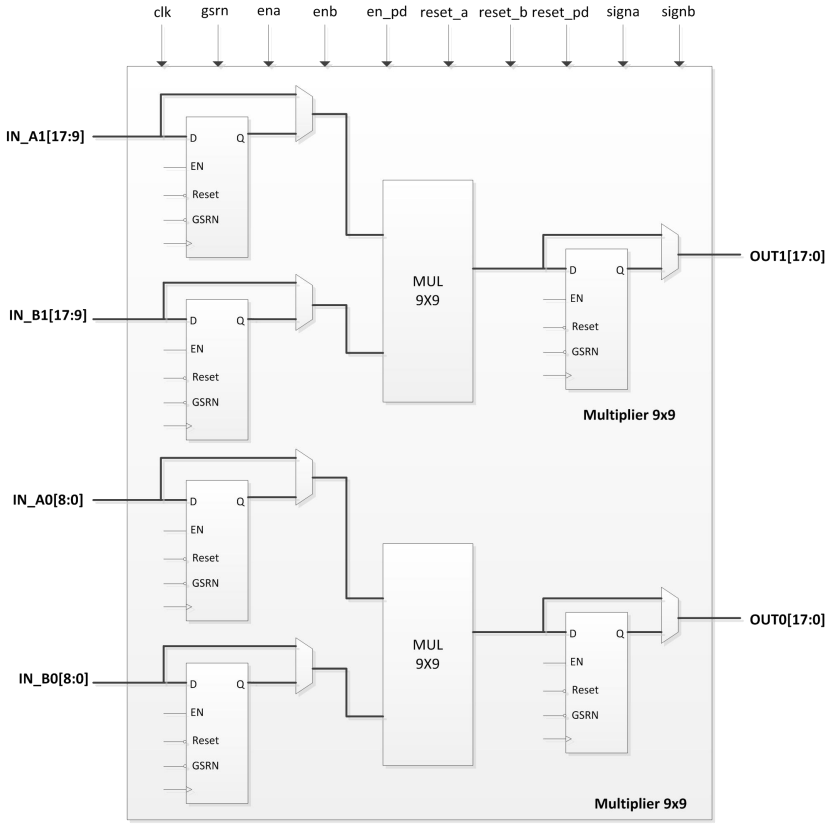


图 2-6- 3 9 位乘法器模式

2.7 输入输出逻辑单元（IOL）

ELF2 器件的 IOL 逻辑支持多种工作模式。本章节主要介绍如何配置 IOL 资源支持多种工作模式。与两种 IOB 类型相匹配，ELF2 器件有两种对应的 IOL 类型，支持的工作模式如表 2-7- 1 所示。

表 2-7- 1 IOL 支持工作模式

模式		IOLB 基本型	IOLE 增强型
输入	BYPASS	√	√
	SDR	√	√
	iDDRx1	√	√
	iDDRx2		√
输出	BYPASS	√	√
	SDR	√	√
	oDDRx1	√	√
	oDDRx2		√

注：IOLB 仅支持 iDDR x1 的 pipelined 模式，IOBE 对 iDDR x1 的两种模式都支持

2.7.1 输入寄存器逻辑

输入输出逻辑（IOL）中的输入寄存器用来处理高速接口，将其降低为内部核心逻辑可以处理的频率。输入寄存器中均包含可配置延时单元作为数据采样处理辅助。在此基本功能基础上增强了对通用双边沿数据(GDDR)的支持。

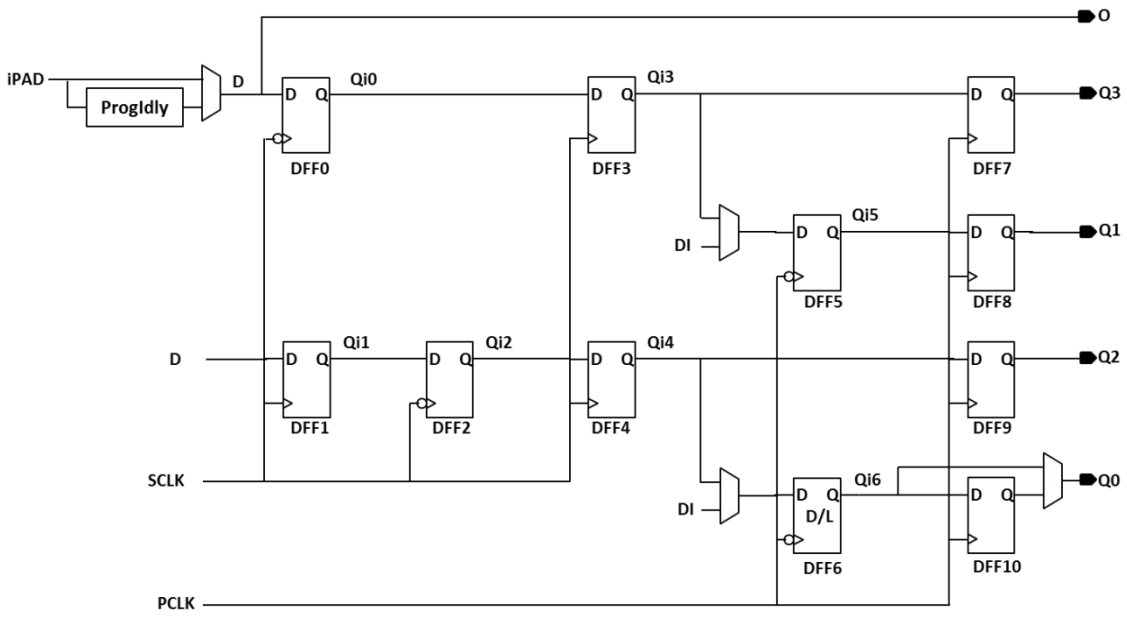


图 2-7- 1 输入寄存器框图

2.7.1.1 普通输入模式

普通模式下的 IO 逻辑如图 2-7- 2 所示，此模式下信号直接进入 FPGA 内部逻辑。

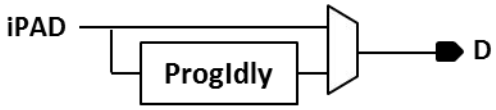


图 2-7- 2 普通输入模式框图

2.7.1.2 SDR 输入模式

相比普通模式，如图 2-7- 3 所示，SDR 模式使用了 IOL 寄存器，可有效地改善 IO 的时序性能。

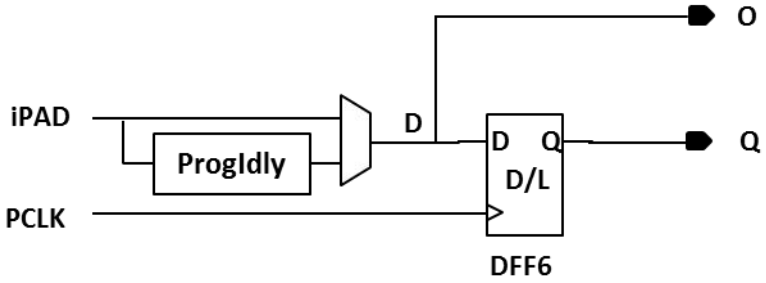


图 2-7- 3 SDR 输入模式框图

2.7.1.3 DDR 输入模式

ELF2 器件 IOL 中有专用的寄存器用以支持 iDDRx1 和 iDDRx2 模式。需要注意的是 IOLB 不支持 iDDR x2 模式的，其中 IOLB 仅支持 iDDR x1 的 pipelined 模式，IOBE 对 iDDR x1 的两种模式都支持

■ **iDDRx1 同沿输入模式**

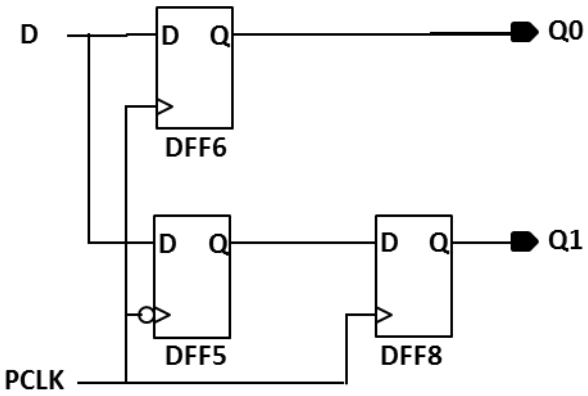


图 2-7- 4 iGDDR 同沿输入模式框图

在 iDDRx1 同沿模式，DFF5 和 DFF6 分别在下降沿和上升沿采样输入数据，DFF8 把 Q1 数据同步到时钟上升沿。由于 DFF8 的引入 Q1 数据相对于 Q0 要晚一个时钟周期，时序如图 2-7- 5 所示。

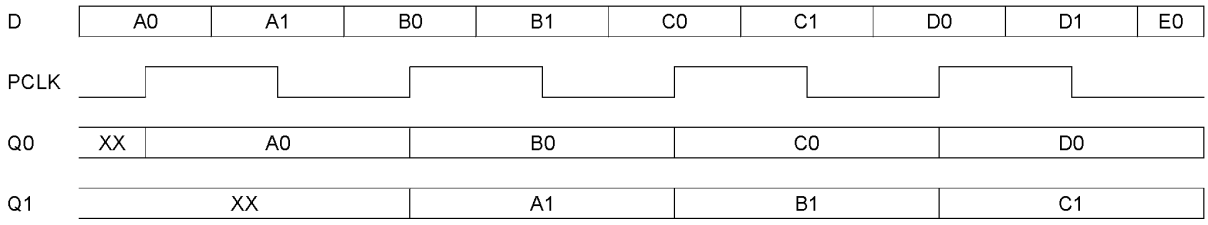


图 2-7- 5 iGDDR 同沿输入模式

■ **iDDRx1 同沿 Pipelined 输入模式**

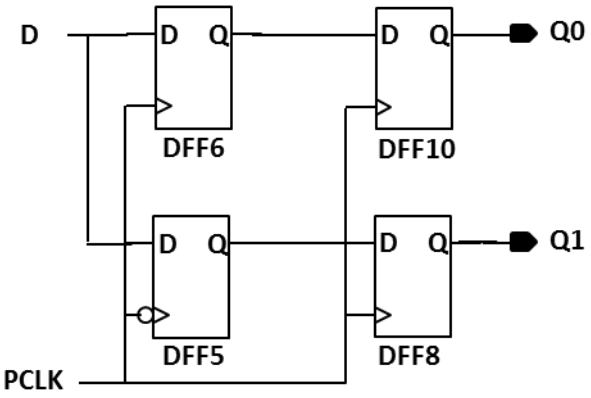


图 2-7- 6 iGDDR 同沿 Pipelined 输入模式框图

在 iDDRx1 同沿模式中 Q1 相对于 Q0 要晚一个时钟周期，为补偿该延时，引入 DFF10，如图 2-7- 6 所示。时序如图 2-7- 7 所示。

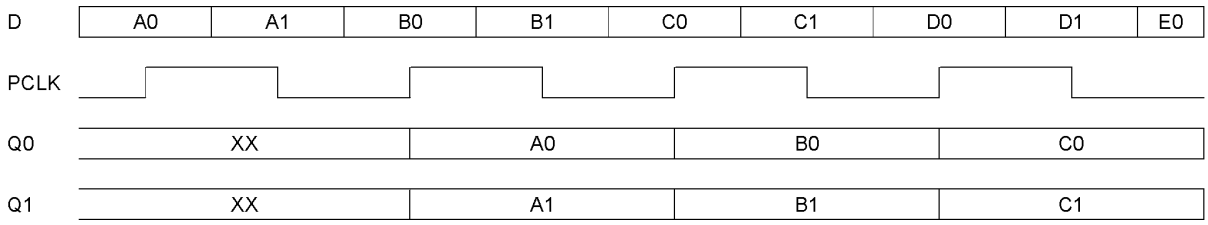


图 2-7- 7 iGDDR 同沿 Pipelined 输入模式

■ iDDRx2 输入模式

iDDRx2 模式下，可以支持更高的 IO 速度。PAD 与 FPGA 内部逻辑速率比为 4:1。该模式下第一级采样 DFF 由 SCLK 触发，实现高速数据的采样和 1:2 的分离。第二级分离 DFF 由 FPGA 系统时钟 PCLK 触发，实现数据与内核逻辑的同频。PCLK 为 SCLK 速度的一半。

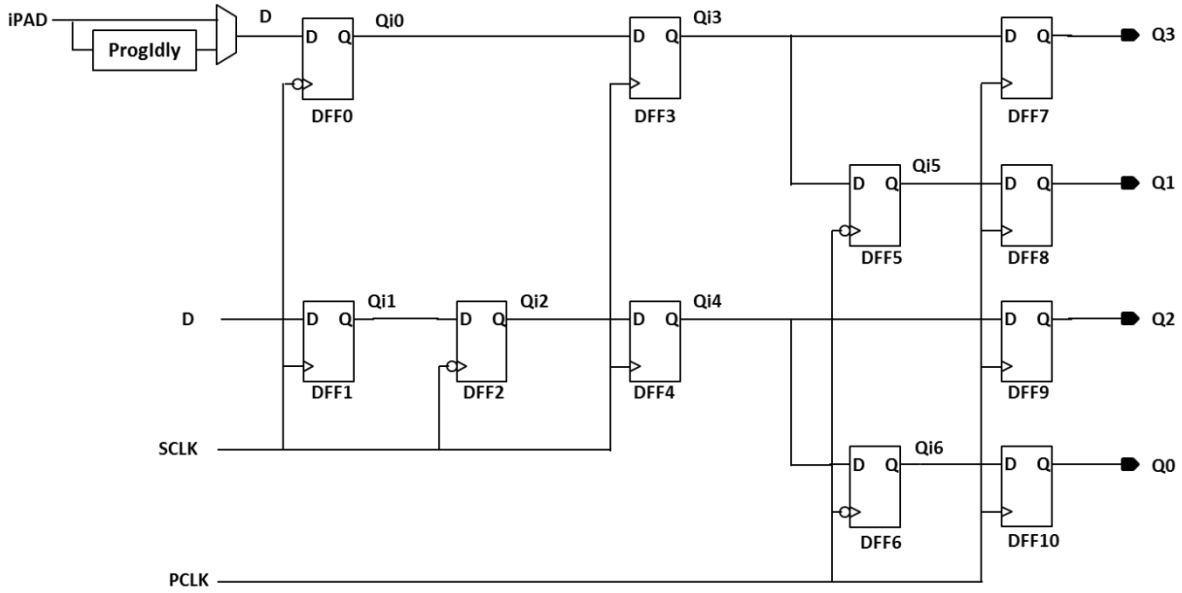


图 2-7- 8 iDDRx2 输入模式

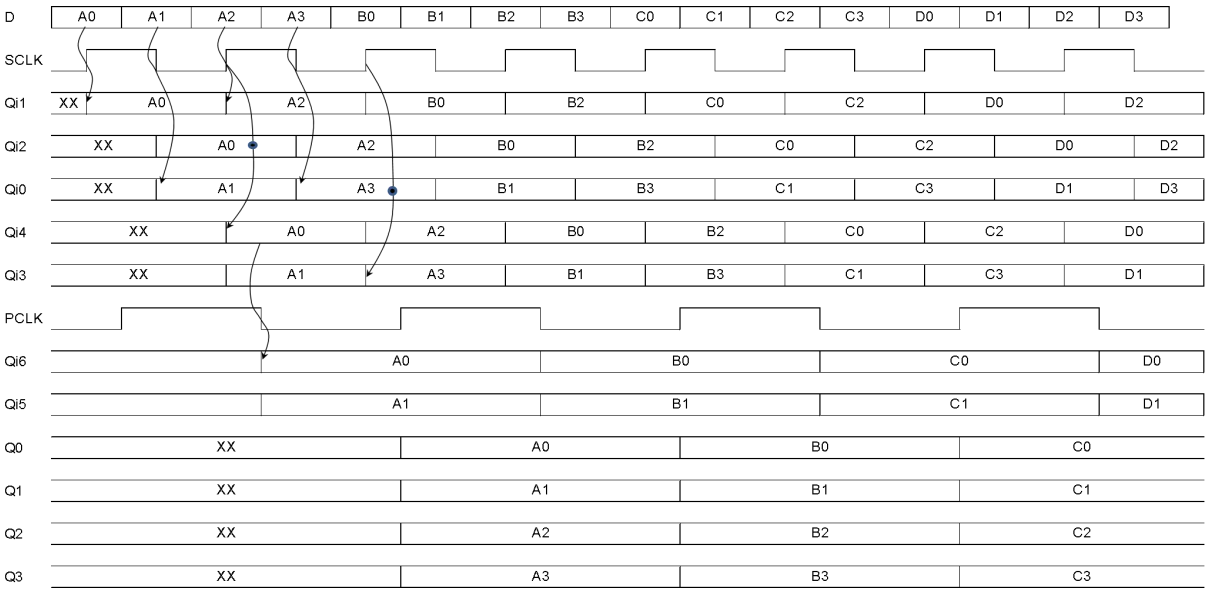


图 2-7- 9 iDDRx2 输入模式时序

2.7.1.4 输入延时单元

每一个 IOL 逻辑单元内都包含一个可编程输入延时单元，加强对源同步功能的支持。支持静态控制延迟的方式。IOLB 和 IOLE 支持的可调范围如所示。

表 2-7- 2 输入延时调整范围

IOL 类型	可调整 Step	步进精度	最大延时
IOLB	8	50ps	0.7ns
IOLE	32	35ps	1.2ns

2.7.2 输出寄存器逻辑

输入输出逻辑（IOL）中的输出寄存器用来处理内部核心逻辑到高速 I/O 接口的时序。图 2-7- 10 给出了输出寄存器框图。

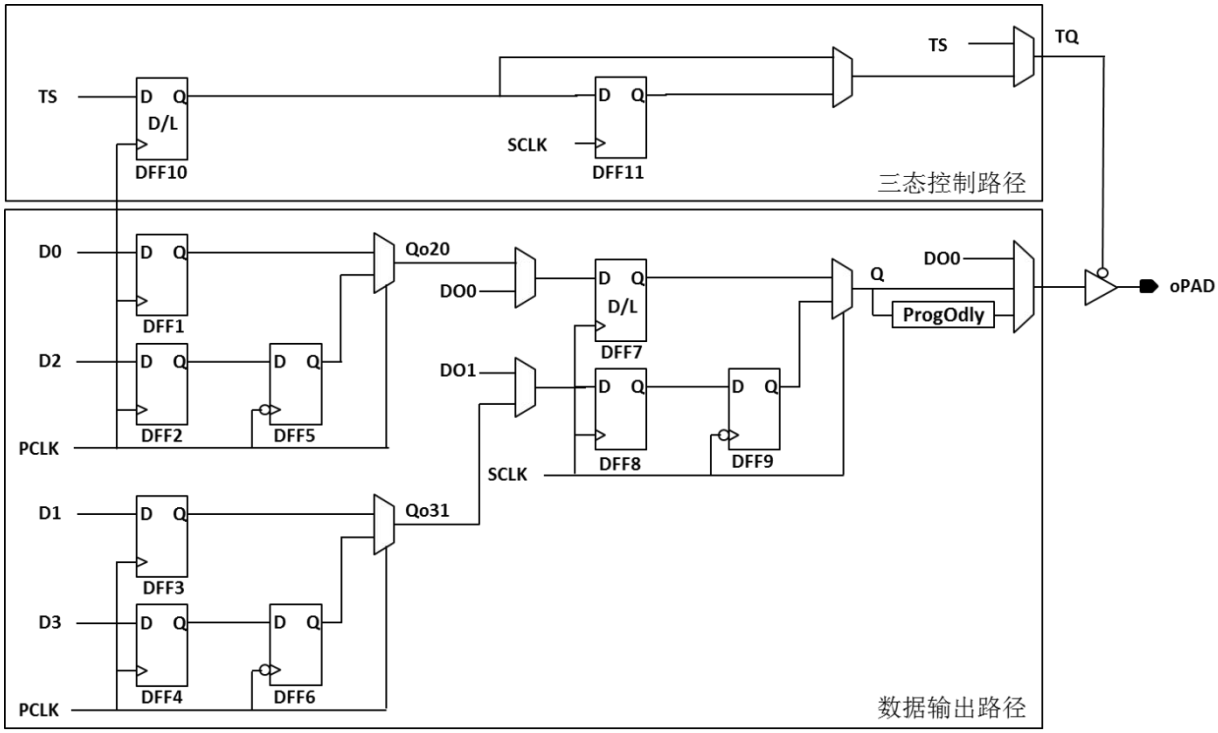


图 2-7- 10 输出寄存器框图

2.7.2.1 普通输出模式

普通输出模式下的 IO 逻辑如图 2-7- 11 所示，此模式下信号直接从 FGPA 内部逻辑输出到 PAD。

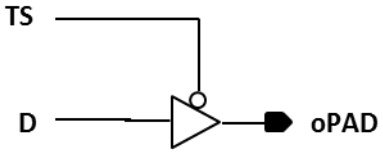


图 2-7- 11 普通输出模式框图

2.7.2.2 SDR 输出模式

相比普通模式，如图 2-7- 12 所示，SDR 模式使用了 IOL 寄存器，可有效地改善 IO 的时序性能。

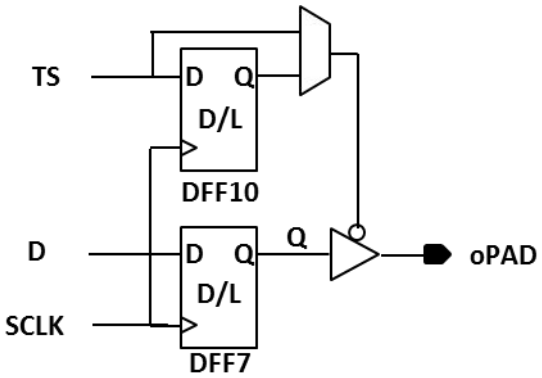


图 2-7- 12 SDR 输出模式框图

2.7.2.3 DDR 输出模式

ELF2 器件 IOL 中有专用的寄存器用以支持 oDDRx1 和 oDDRx2 模式。

- **oDDRx1 输出模式**

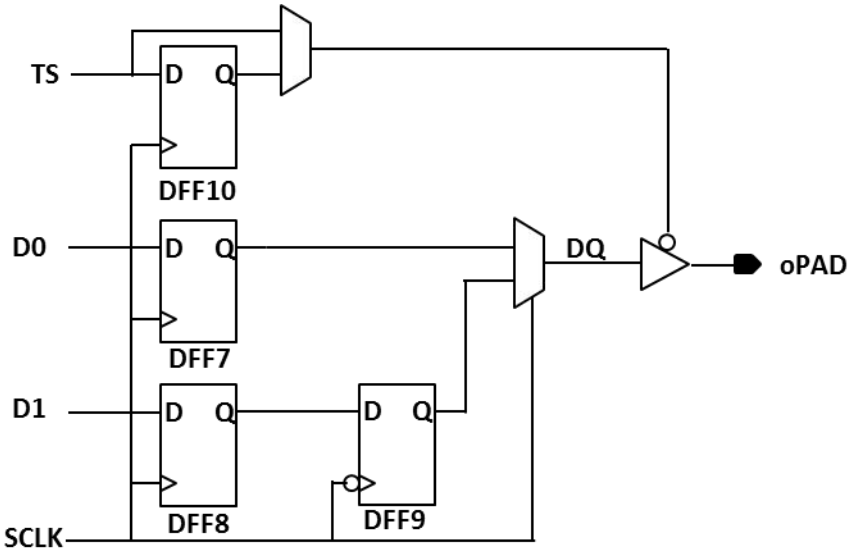


图 2-7- 13 oDDRx1 输出模式框图

在 oDDRx1 模式，数据 DO0 和 DO1 被 SCLK 同沿采样进 DFF7 和 DFF8，并分别在上升沿和下降沿输出到 oPAD，时序如图 2-7- 14 所示。

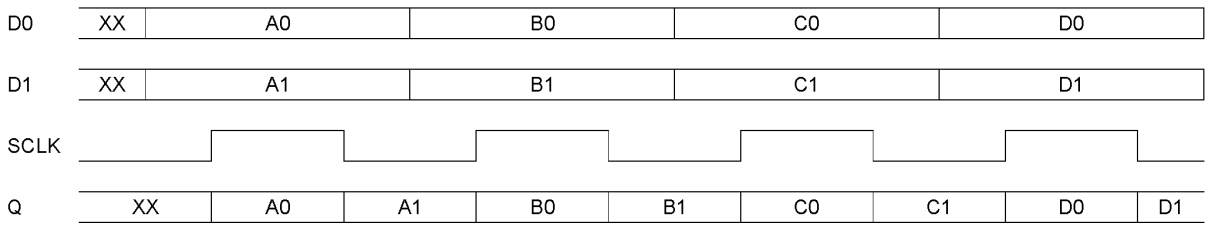


图 2-7- 14 oGDDR 输出模式

■ oDDRx2 输出模式

oDDRx2 模式下，可以支持更高的 IO 速度。PAD 与 FPGA 内部逻辑速率比为 4:1。该模式下第一部分 DFF 由 FPGA 系统时钟 PCLK 触发，实现数据的采样和 2:1 并串转换。第二部分 DFF 由高速 SCLK 触发，实现数据高速串行输出。PCLK 为 SCLK 速度的一半。

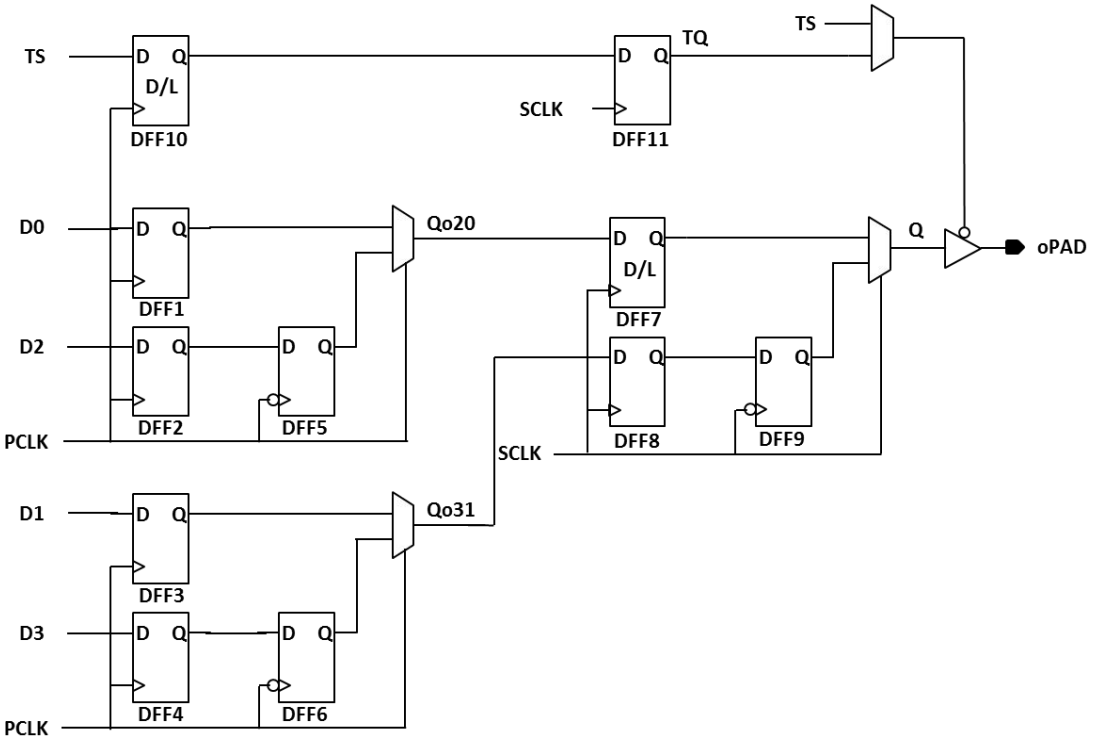


图 2-7- 15 oDDRx2 输出模式

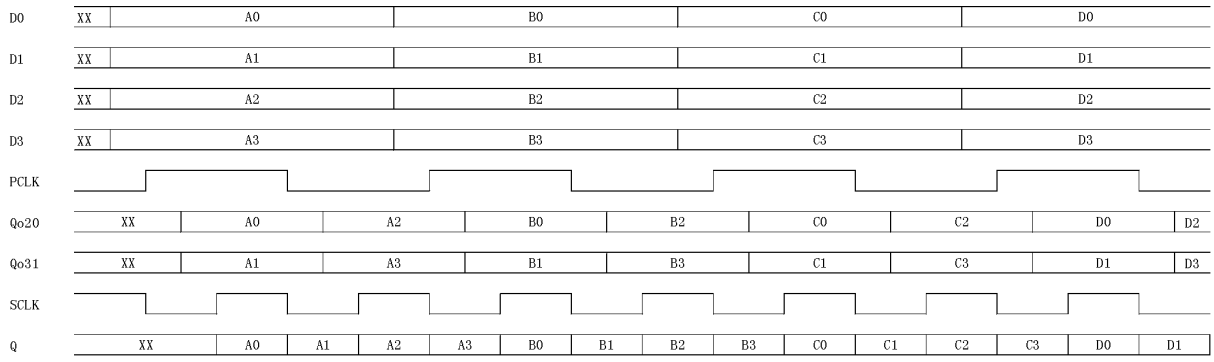


图 2-7- 16 oDDRx2 输出模式时序

■ oDDRx2L 输出模式

与 oDDRx2 相比，oDDRx2L 模式直接使用内部 SCLK 的 2 分频作为 PCLK，节省 1 个 CLK。数据输出比 oDDRx2 模式晚一个 SCLK 时钟周期。

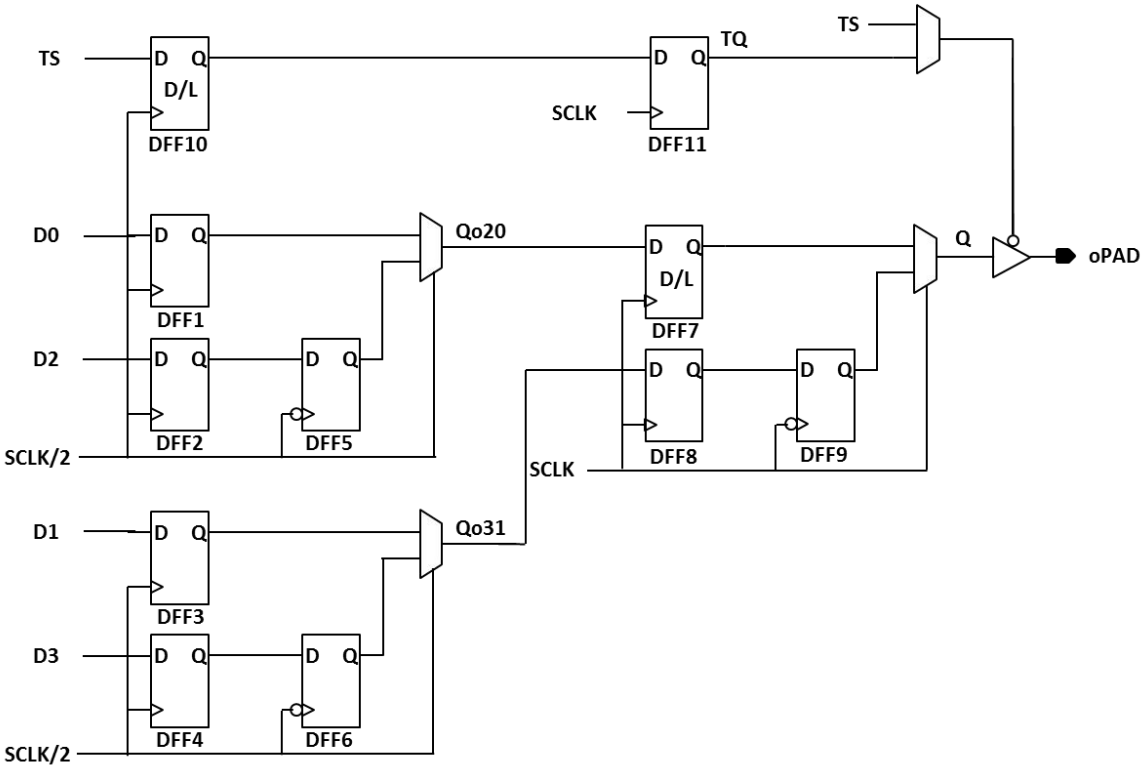


图 2-7- 17 oDDRx2L 输出模式

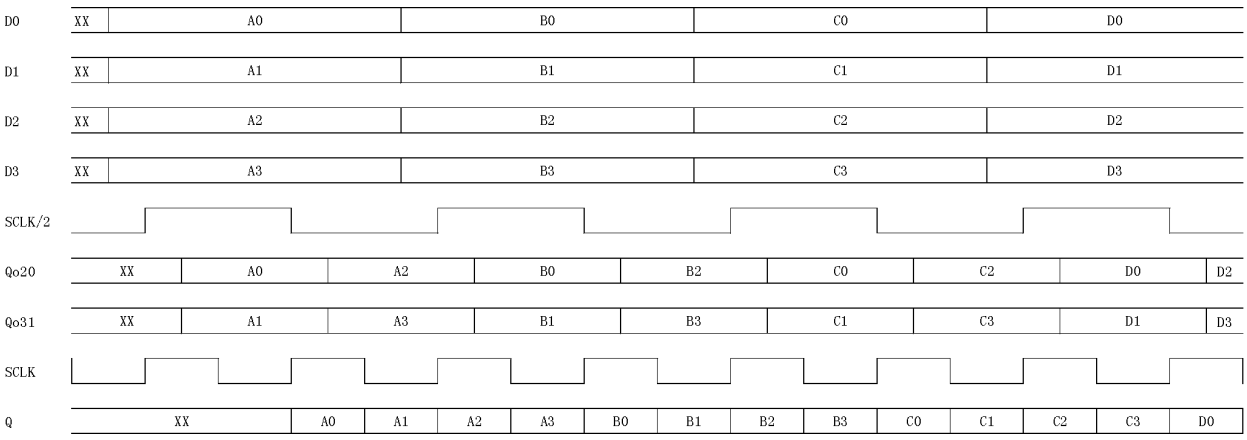


图 2-7- 18 oDDRx2L 输出模式时序

2.7.2.4 输出延时单元

每一个 IOLE 逻辑单元内都包含一个可编程输出延时单元，总共支持 4 级调节，每级延时 100ps。支持静态控制延迟的方式。

2.8 输入输出缓冲器（IOB）

2.8.1 IOB 简介

ELF2 有两种类型 I/O：基本型 IOBB 和增强型 IOBE。ELF2 具有可配置高性能 I/O 驱动器和接收器，

可支持种类繁多的标准接口。强大的功能集包括输出强度和斜率的可编程控制。

每个 IOBE 包含输入、输出和三态驱动器。这些驱动器可以按照各种 I/O 标准配置。差分 I/O 使用在一个模块中的两个 IOBE。

IOBE 支持电平标准：

- 单端 I/O 标准（LVCMOS、LVTTL）
- 差分 I/O 标准（LVDS、LVPECL、BLVDS）

IOBE 支持上述电平标准的同时，IOBE 支持以下配置项：

- 输出驱动能力调节
- 输出 Slew Rate 调节
- 弱上拉/下拉电阻选择配置
- PCI Clamp 使能
- Bus Hold 功能使能

IOBB 支持电平标准：

- 单端 I/O 标准（LVCMOS、GTL）
- 差分 I/O 标准（LVDS 输入、LVPECL 输入）

IOBB 支持以下配置项：

- 弱上拉/下拉电阻选择配置
- Bus Hold 功能使能

需要注意的是：

（1）IOBB 管脚的驱动电流是不可调的，IOBE 管脚的驱动电流是可调的。

（2）LVPECL 电平支持情况如下：

IOBE 支持 LVPECL33 输入，如果对端器件是 2.5v,可以直接输入；如果对端器件是 3.3v，共模电压要往下拉 2v，建议使用外接匹配电阻网络，不要使用内部的电阻；IOBE 管脚不支持 True LVPECL33 输出，只支持 LVPECL33_E 输出；

IOBB 管脚支持 LVPECL33 输入，但是需外加电阻网络；不支持 LVPECL33 输出，支持 LVPECL33_E 输出。

LVPECL 输入建议外接如下电路：

a) 直流耦合

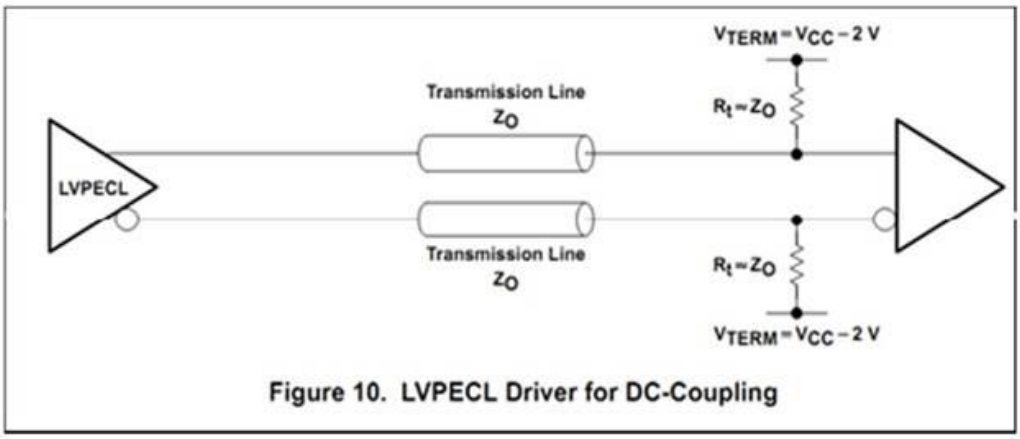
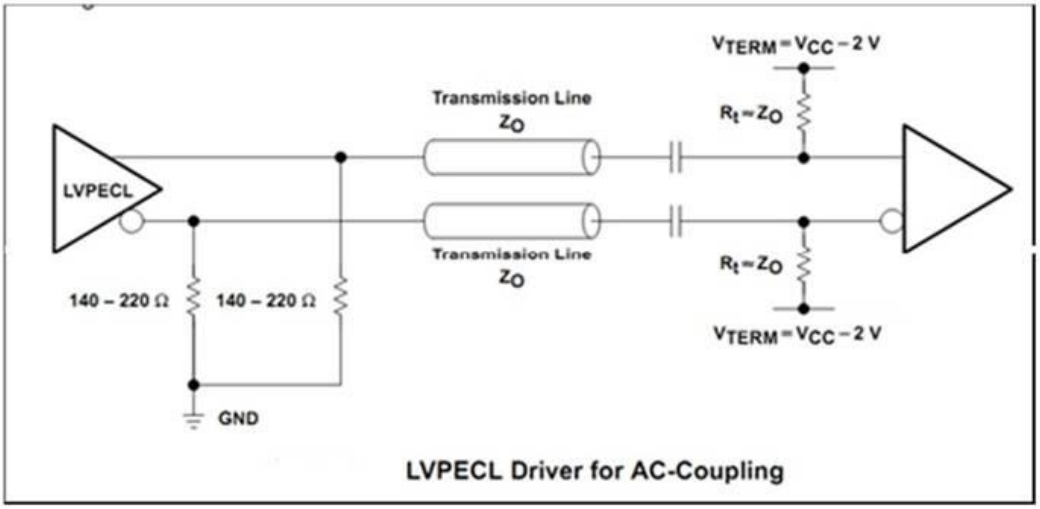


Figure 10. LVPECL Driver for DC-Coupling

b) 交流耦合



LVPECL Driver for AC-Coupling

表 2-8- 1 ELF2 支持电气标准

IO Type	IOBB	IOBE
IO Buffer Type	Single Ended	Single Ended and Differential
Output Standards Supported	LVTTL33	LVTTL33
	LVCMOS33	LVCMOS33
	LVCMOS25	LVCMOS25
	LVCMOS18	LVCMOS18
	LVCMOS15	LVCMOS15
	LVCMOS12	LVCMOS12

	-	PCI33 PCIX33
Inputs	All Single Ended and True Differential	All Single Ended and True Differential
Clock Inputs	All Single Ended	All Single Ended
	True Differential	True Differential
True LVDS Outputs	-	LVDS25 LVDS33
Emulated LVDS Outputs	LVDS25_E LVDS33_E LVPECL33_E	LVDS25_E LVDS33_E LVPECL33_E
Rdiff 100	-	Yes
PCI Clamp	-	Yes

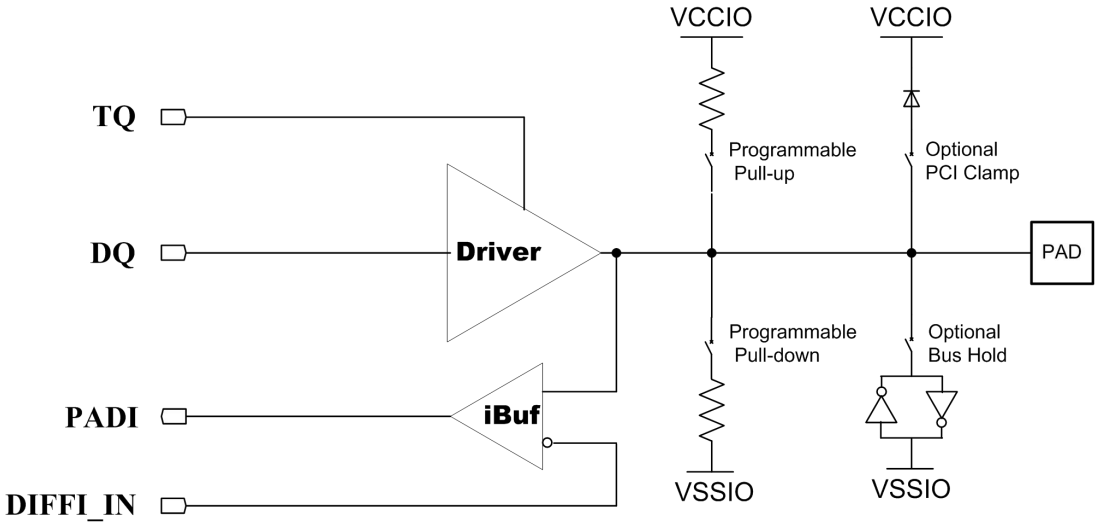


图 2-8- 1 基本 IOBE 框图

各 IOBE 直接连接 IOLE 组成输入输出逻辑对，该逻辑对包含输入和输出逻辑资源，可用于数据和 IOBE 的三态控制。

IOBB 的框图和 IOBE 基本一致，区别在于 IOBB 没有可选的 PCI Clamp。

2.8.2 高速 LVDS 接口

ELF2 系列器件支持的差分标准见表 2-8- 2

表 2-8- 2 ELF2 支持的差分标准

差分标准	I/O Type	接收		发送	
		支持	内部电阻	支持	外部电阻
LVDS	IOBE	YES	YES	YES	不需要
	IOBB	YES	No	YES	3R 电阻

RSDS	IOBE	YES	YES	YES	不需要
	IOBB	YES	No	YES	3R 电阻
mini_LVDS	IOBE	YES	YES	YES	不需要
	IOBB	YES	NO	YES	3R 电阻
PPDS	IOBE	YES	YES	YES	不需要
	IOBB	YES	NO	YES	3R 电阻
BLVDS	IOBE	YES	YES	YES	YES
LVPECL	IOBE	YES	YES/不要使用	YES	需要
	IOBB	YES	NO	YES	需要

备注：该表位置信息基于 EF2L2500XG42B 封装，其他封装请以封装文件为准

其中芯片的 IOBE 管脚对可以作为真差分对使用，内部带有 100 欧姆电阻，用户可根据实际需求选择打开或者关闭该电阻。IOBB 管脚对内不存在 100 欧姆电阻，使用时需要外部加 100 欧姆电阻。

True LVDS 与 Emulated LVDS 均可作为 LVDS25 标准输入。最大输入频率 400 MHz(800Mbps)，需要注意的是 LVDS 内部的 100 欧姆电阻是可以关闭的，使用外部电阻替代的。

作为输出时，True LVDS 采用 LVDS25 标准直接输出 LVDS 电平标准，无需外部匹配电阻，如图 2-8- 2：True LVDS 输出所示。

Emulated LVDS 作为输出时采用 LVDS25E 标准，最大输出频率 166MHz，且要外接 3R 电阻网络对输出电压摆幅进行衰减以满足 LVDS 标准，如图 2-8- 3：Emulated LVDS 输出 3R 电阻网络所示。可以通过改变电阻网络值来降低功耗或者改善噪声容限。

表 2-8- 3 给出了 Emulated LVDS 推荐电阻值。

表 2-8- 3 Emulated LVDS 推荐电阻值

电 阻	电阻值 （欧姆）	
	IOBB	IOBE
R_S	175	175
R_P	140	140



图 2-8- 2 True LVDS 输出

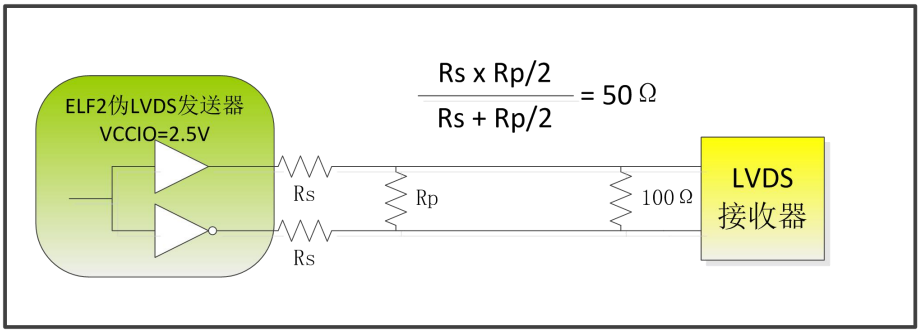


图 2-8- 3 Emulated LVDS 输出 3R 电阻网络

2.8.3 MIPI IO

ELF2 增强型 IOBE 内置了 MIPI HS 接收器端接电阻及其他 HS/LP 切换的处理电路，不需要板上额外电阻，使用一对 IO 端口即可实现对 MIPI HS /LP 功能的支持，可兼容 MIPI D-PHY 的 IO 电气标准，方便用户使用。

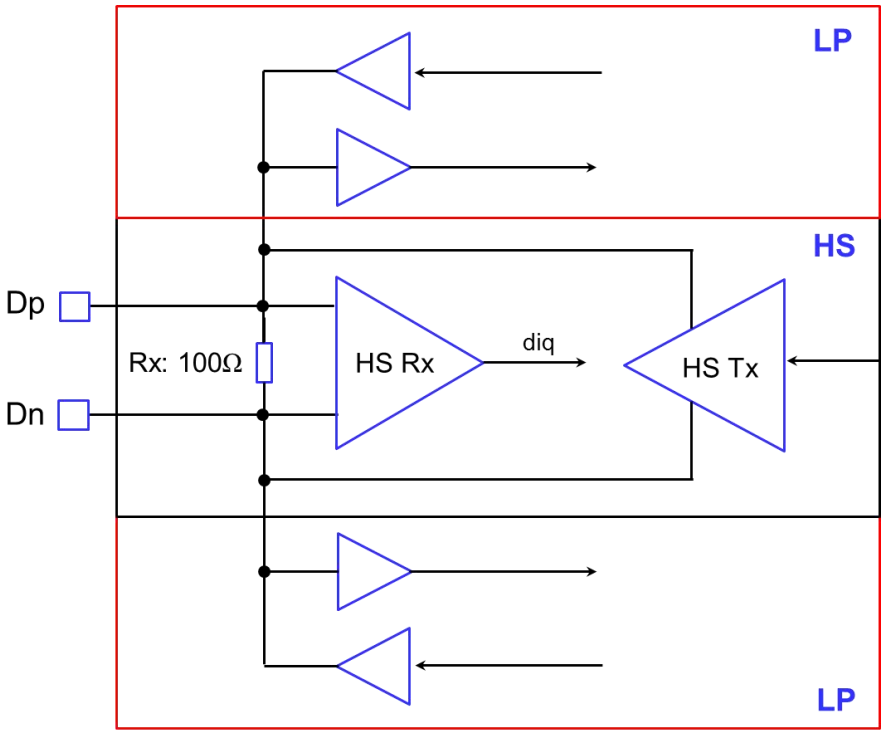


图 2-8- 4 MIPI IO 结构框图

2.8.4 ATS IP

AST（Asynchronous Serial Transceiver） IP 是安路科技开发的基于 LVDS 的中低速异步收发器，该收发器支持从 100Mbps-400Mbps 的速度配置。主要用于 20 米 ^{2} 以内的 FPGA 器件之间的直连数据传输，无需外部专用收发器，节省用户成本和 PCB 空间。AST IP 使用 8B10B 编码后的数据进行传输，因此传输通道可以使用隔直通道传输，保护 FPGA 器件。

AST 使用 ANLOGIC 器件的 LVDS 接口进行传输，同时增加了可选的预加重功能。只需要一对 LVDS

即可实现稳定，可靠的数据传输。

注 2：速度与传输距离，传输线材有一定关系。

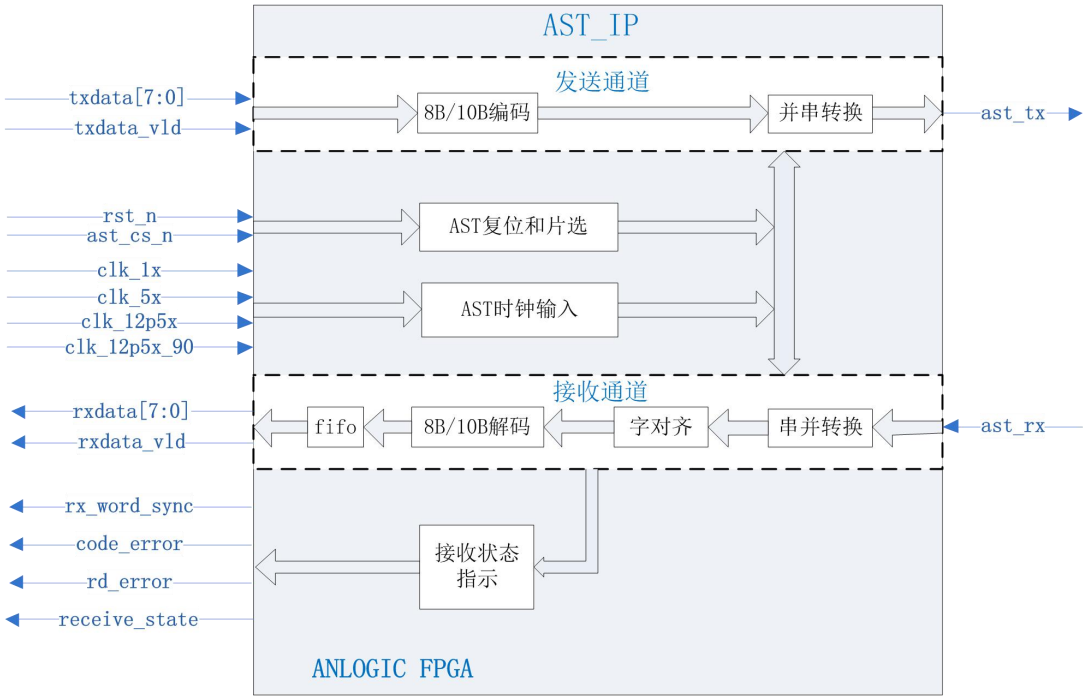


图 2-8- 5 AST IP 连接及功能框图

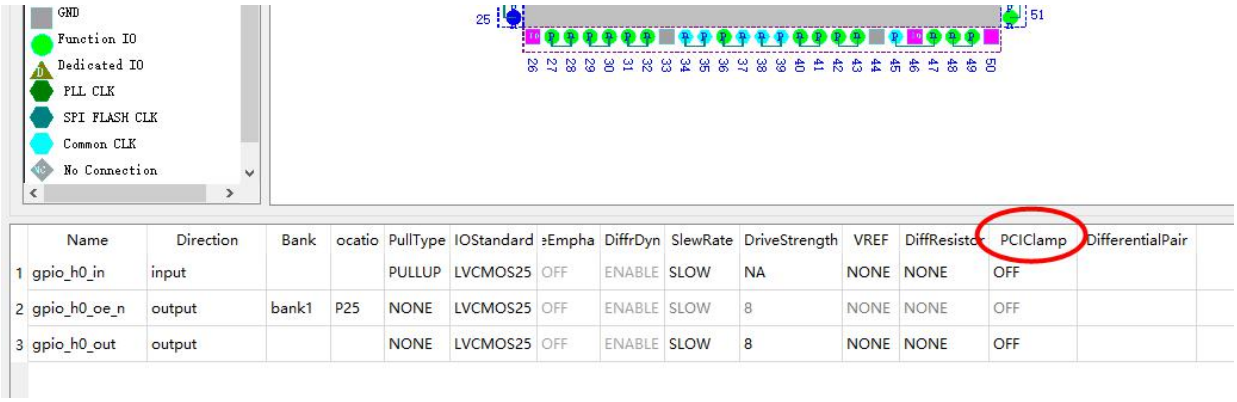
2.8.5 兼容 5V 输入

ELF2 有两种类型 I/O：基本型和增强型。

其中基本型 IOBB 支持 5V 直接输入；

增强型 IOBE 可以工作在 1.2-3.3V 电压范围，不能直接接收 5V 输入。如果 5V 电压信号通过增强型 IOBE 驱动到 ELF2 器件的输入，需要外部串接电阻，同时在软件中打开 ELF2 I/O 内部的 PCI 箝位二极管把输入端口接收到的电压降到器件安全范围内，如图 2-8- 6 所示。

电阻 R 值依赖于 PCI 箝位二极管的电流特性，二极管的电压电流特性见表表 2-8- 4。



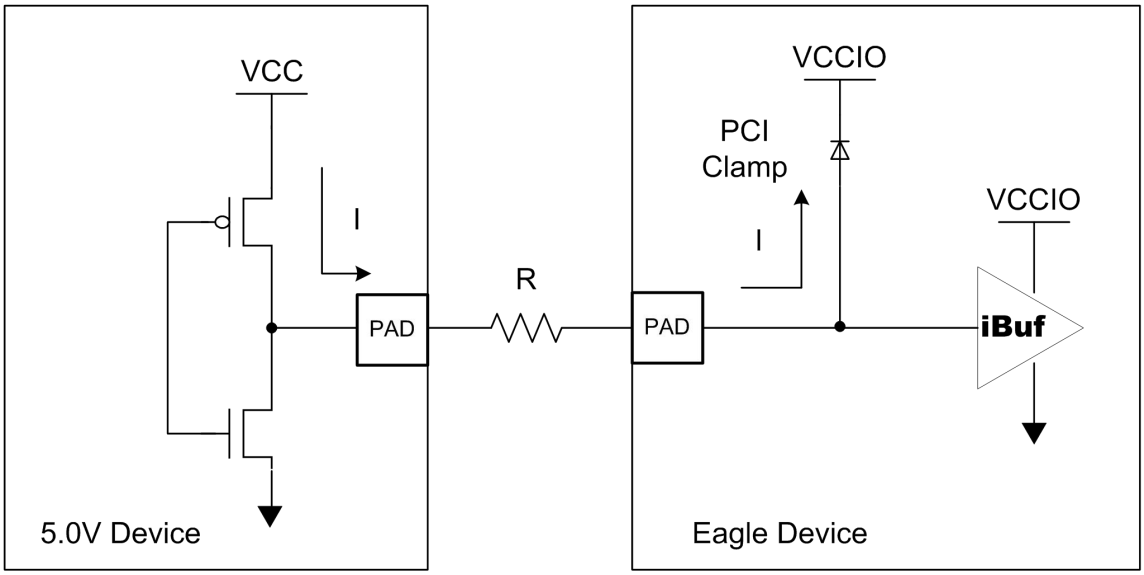


图 2-8- 6 5V 输入驱动 ELF2 器件

表 2-8- 4 PCI 箝位二极管的电流特性

V_D (V)	I_{max}	Unit
0.0	0.92	uA
0.1	9.2	uA
0.2	20	uA
0.3	30.4	uA
0.4	43.3	uA
0.5	76.5	uA
0.6	0.15	mA
0.7	0.36	mA
0.8	2.85	mA
0.9	9.42	mA

为支持 5V 输入，建议 VCCIO 电压工作在 2.5-3.0V 范围，否者 IO 电压会超过安全电压，长期使用会降低器件寿命 。

I/O 器件最大容限绝对电压为 VIMAX=3.7V，设置 VCCIO=2.5V，取分压后 IO 输入端接收到的电

压 VI=3.3V，则二极管上的压降为 VDIO = VI － VCCIO = 3.3 － 2.5 = 0.8V。IDIO @0.8V = 2.85mA，R = (5 － 3.3)V/2.85 mA = 596Ohm。

在输入端箝位通路分别串接不同阻值电阻，在 ELF2 接收端测量波形如图 2-8- 7-图 2-8- 8 所示。

串接电阻 R=330 Ohm，上升时间为 7.8ns，下降时间为 12ns，见图 2-8- 7。

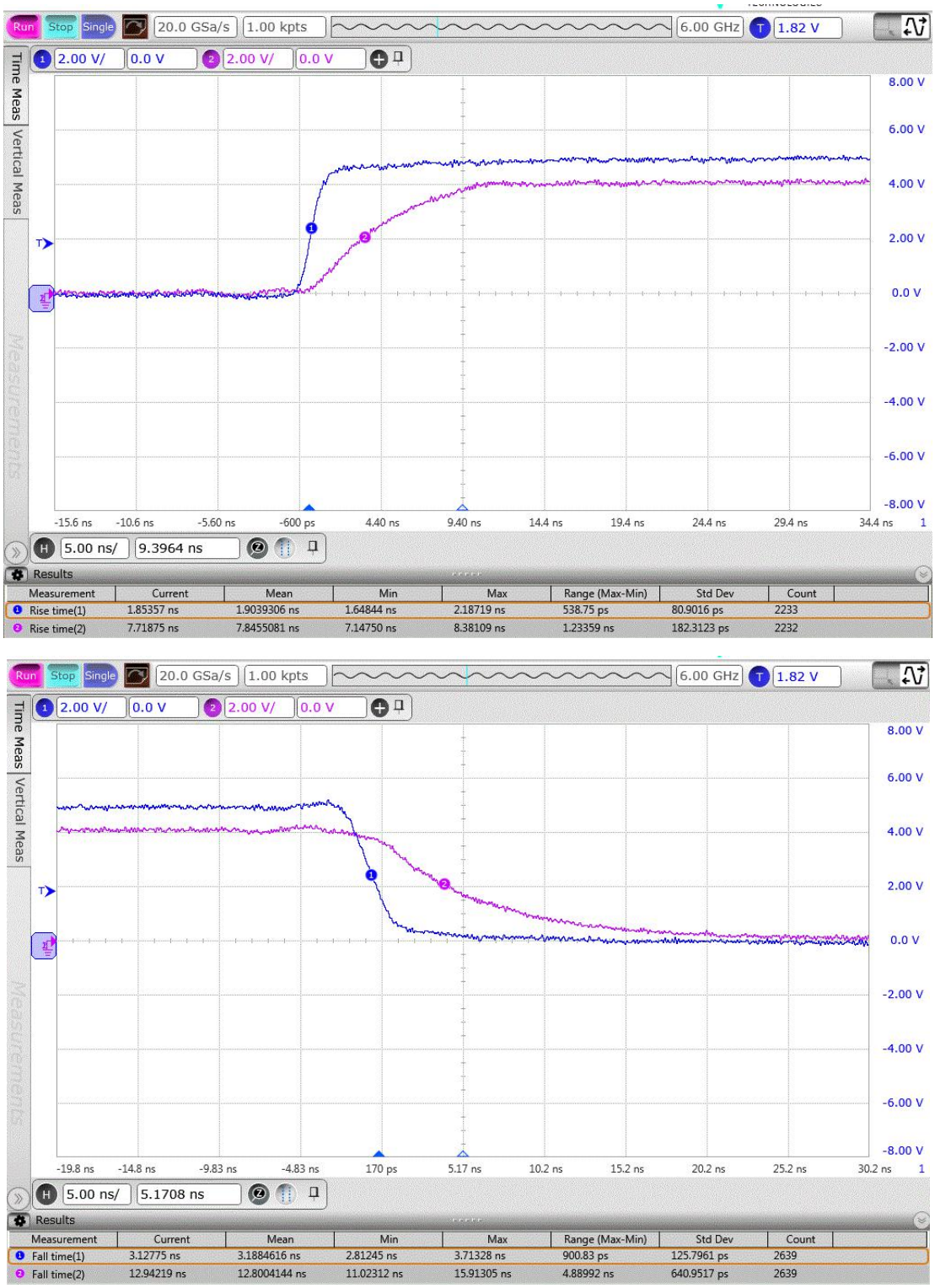


图 2-8- 7 5V 输入驱动 ELF2 器件接收端波形 @R=330 Ohm

串接电阻 R=600 Ohm，上升时间为 12ns，下降时间为 21ns，见图 2-8- 8。

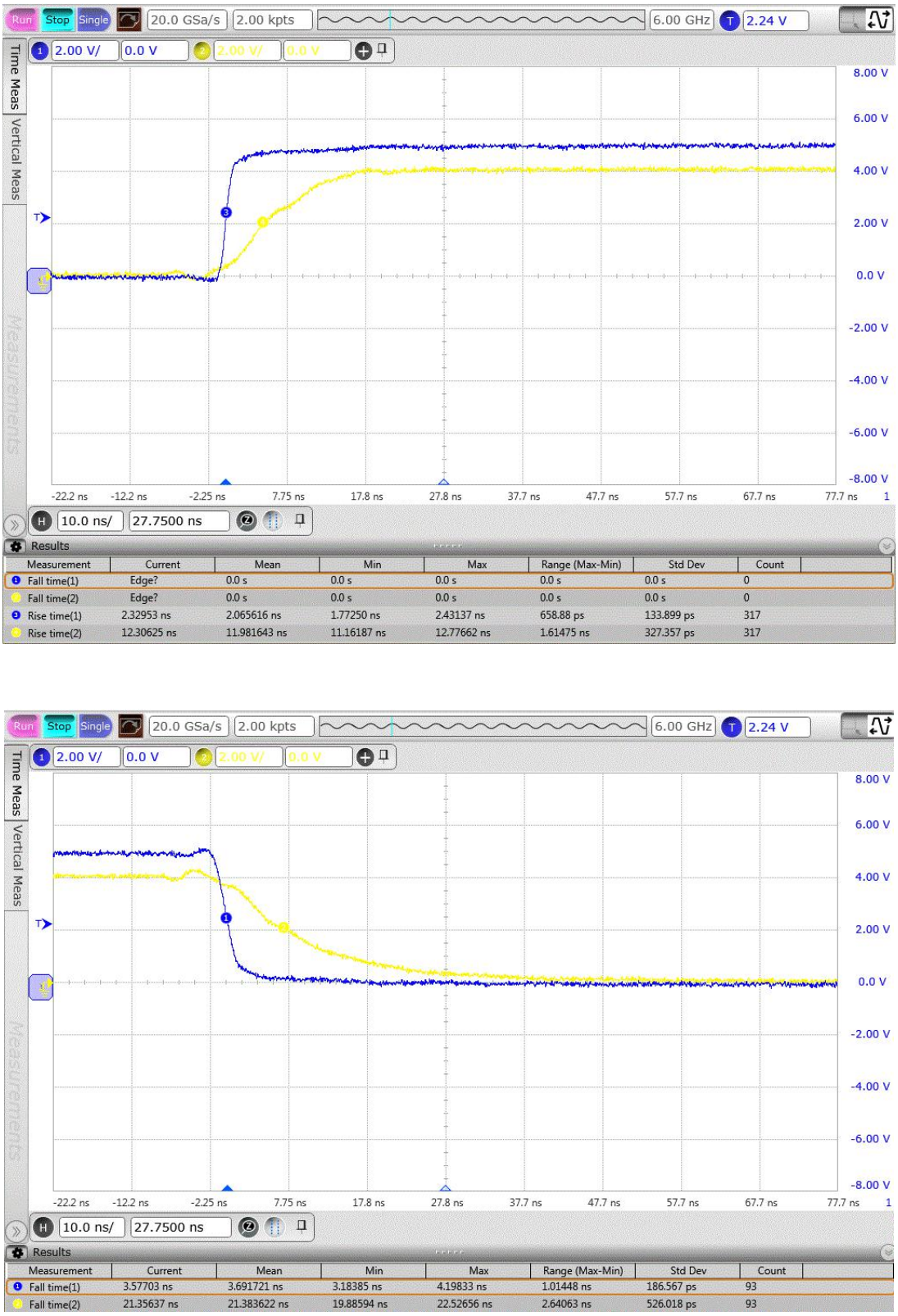


图 2-8- 8 5V 输入驱动 ELF2 器件上升/下降沿 @R=600 Ohm

2.9 EFL2 FPGA 配置说明

ELF2 FPGA 内置 4Mbit spi flash。配置是通过往芯片内部装载配置数据来实现，支持内部和外部下载。ELF2 芯片有一部分引脚是专用配置引脚，另一部分是复用引脚，TD 软件提供复用引脚的配置功能，在配置完成之后可以用做一般输入输出。

2.9.1 配置模式

ELF2 支持 5 种配置方式，分别是从动串行，从动并行，内部 SPI 模式，APB 模式和 JTAG 配置模式。其中从动串行、从动并行和 JTAG 是外部下载模式，内部 SPI 模式和 APB 模式是内部下载模式。内部 SPI 模式支持 x1,x2,x4 位宽。APB 模式需要内部 MCU 模块支持。配置模式由内部 feature 寄存器决定，默认为内部 SPI 模式 x1。具体选择关系见表 2-9- 1。

ELF2 系列 FPGA 配置位流最大~2M bits，长度与 BRAM 初始化数据长度相关。

2.9.1.1 ELF2 配置模式

表 2-9- 1 ELF2 配置模式及引脚

配置									
配置引脚名	类型	SS	SP	MP	MSPI			APB	JTAG
		从动串行	从动并行	主动并行	内部 SPI			APB	JTAG
		Slave Serial	Slave Parallel	Master Parallel	X1	X2	X4	-	-
PROGRAMN	复用 IO	PROGRAMN						-	-
INITN	复用 IO	INITN							-
DONE	复用 IO	DONE							-
SCLK	复用 IO	SCLK			-			-	-
CSN	复用 IO	-	CSN		-			-	-
TMS TCK TDI TDO JTAGEN	复用 IO								TMS TCK TDI TDO JTAGEN
D[7:2]	复用 IO	-	D[7:2]	D[7:2]	-			-	-
D[1]	复用 IO	-	D[1]	D[1]	-			-	-
D[0]/DIN	复用 IO	DIN	D[0]	D[0]	-			-	-

下面是 ELF2 复用配置引脚：

- 配置时钟引脚（SCLK）
- 配置开始信号引脚（PROGRAMN）
- 配置完成引脚（DONE）

- 配置错误指示引脚（INITN）
- 模式配置片选引脚（CSN）
- 配置级联数据输出脚（DOUT）
- 边界扫描相关引脚（TDI，TDO，TMS，TCK, JTAGEN）
- 配置数据输入引脚（D[7:0]），D[0]可以作为从模式下的 DIN

DONE/INITN 是带内部弱上拉的开漏输出。

PROG ININ DONE 等信号的复用可能会导致重新加载等问题，不建议作为输入。但是可以作为输出管脚使用。

2.9.2 配置流程

ELF2 FPGA 芯片的整个配置过程可以分三个部分。首先，在芯片上电复位或者系统复位信号有效后进入复位，等待内部信号和电源稳定后，系统进入初始化阶段，装载 feature 寄存器值，内部配置信息清除，初始化完成后，FPGA 开始接受配置数据写入，写入完成后，FPGA 芯片启动阶段，如图 2-9- 1 所示。

上电初始化过程

ELF2 FPGA 芯片上电后，系统需要经过初始化过程才能进入配置下载状态。另外，用户如果需要重新对配置数据下载，拉低 PROGRAMN 后，系统进入初始化过程，初始化过程中，FPGA 装载 feature 寄存器，然后将清除内部所有配置点，复位内部寄寄存器。

配置数据写入

ELF2 FPGA 初始化完成后，INITN 信号变为高电平，此时用户配置数据可以写入 ELF2 FPGA。

INITN 信号变为高的时候，FPGA 根据 feature 寄存器内容确定配置模式。JTAG 可以在任何模式中进入。

配置过程中，INITN 信号变低表示配置出错，出错后可以选择重新加载。

启动阶段

ELF2 FPGA 完成所有配置点和块 RAM 的数据写入之后，进入启动过程。ELF2 FPGA 启动主要完成以下功能：

a) 释放 DONE 信号。DONE 信号从低电平变为高电平表示 ELF2 FPGA 顺利完成数据配置，反之则表示没有顺利完成配置。

b) 释放全局三态信号 GTS，全局三态信号 GTS 的释放，能够释放所有 I/O 管脚。

c) 释放全局复位/置位信号 GSR，允许所有的触发器改变状态。

d) 释放全局写使能信号 GWE，允许所有的 RAM 和触发器能够被写入。

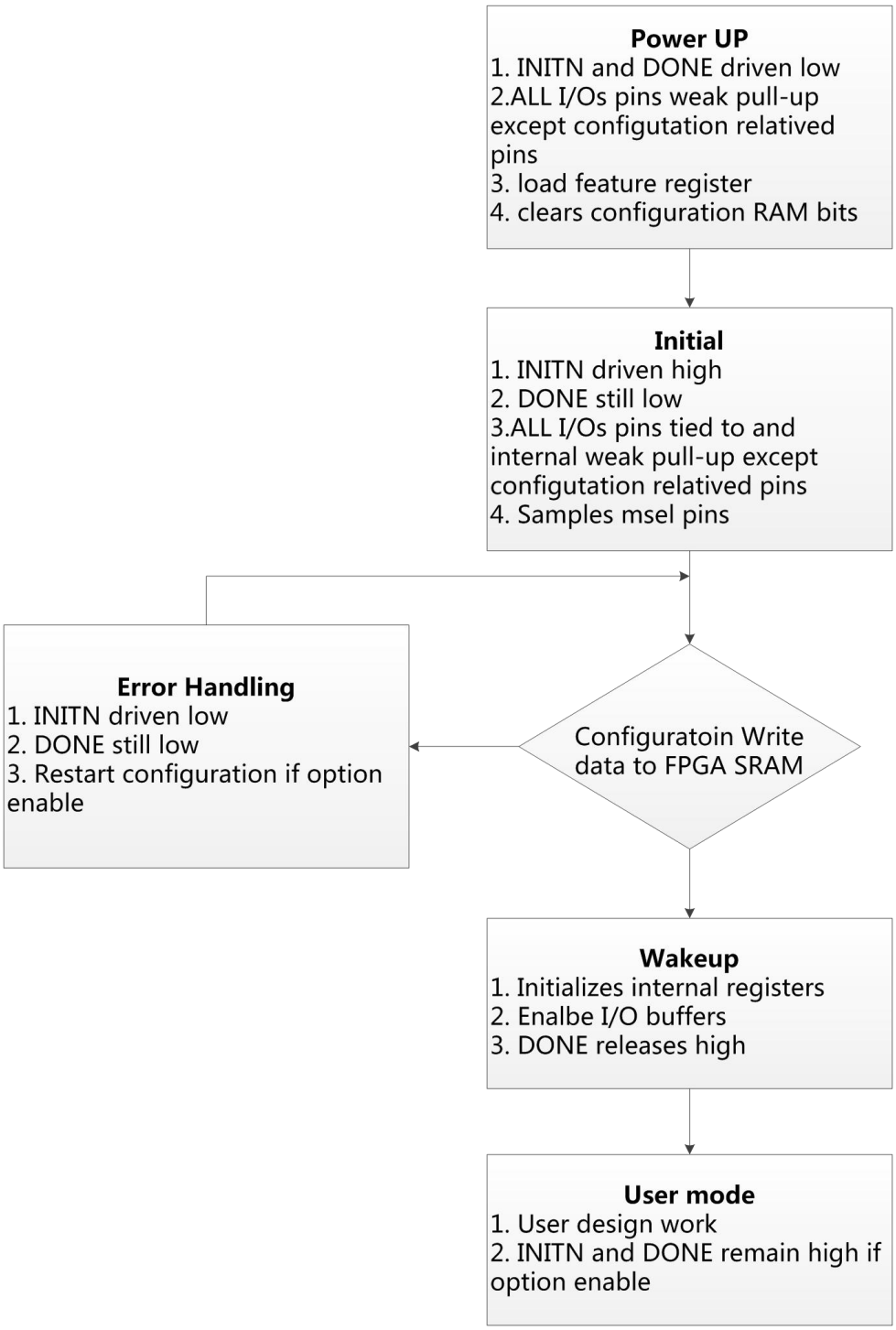


图 2-9- 1 ELF2 MSPI 配置流程

2.9.3 MSPI 配置模式

在 MSPI 模式下，ELF2 通过内部 Flash 进行配置。该模式下配置时钟由内部振荡器产生，用户能够选择下载频率范围。芯片上电时设定为一个默认的低频率值，用户可以通过位流软件频率选项来更改频率，频率范围从 2MHz~30MHz。MSPI 支持 x1,x2,x4 位宽模式，可通过 Feature 寄存器设定。

内部 FLASH 数据写入可以使用安路 FPGA 下载器通过 JTAG 在线写入，批量生产时也可通过安路离线下载器写入。

图 2-9- 2 是 ELF2 MSPI 配置方式连接图，PROGRAMN 信号控制复位 ELF2 FPGA 配置，其中 INITN 和 DONE 信号为带内部上拉的开漏输出信号，DONE 信号变高，表示配置成功，芯片开始工作。

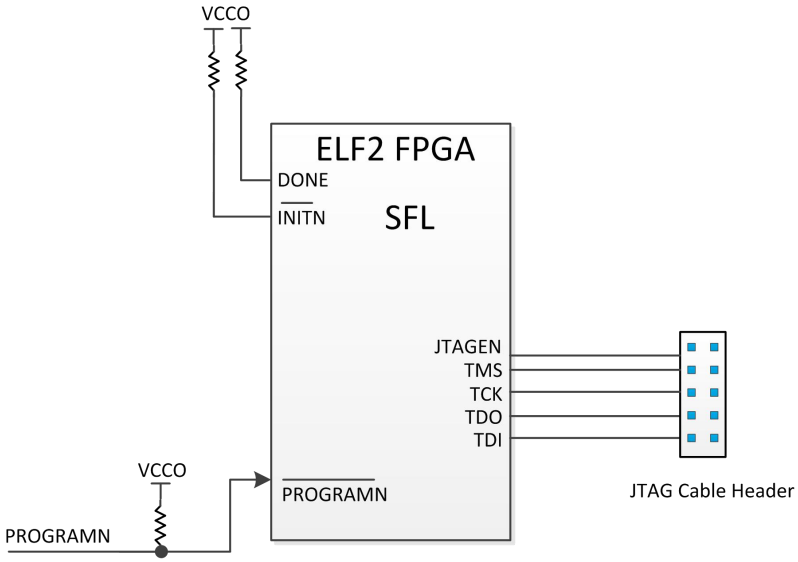


图 2-9- 2 ELF2 MSPI 配置方式

2.9.4 从动串行配置模式

从动串行（SS）模式下，FPGA 可以通过 MCU 进行加载。 TD 软件可以生成 bin 文件用于 MCU 加载。

MCU 通过 SCLK、DIN 信号使用串行方式将数据写入 FPGA。ELF2 FPGA 芯片在每个 SCLK 的上升沿接收数据，数据发送完成后，DONE 拉高表示配置完成，如果配置出错，会将 INITN 信号拉低

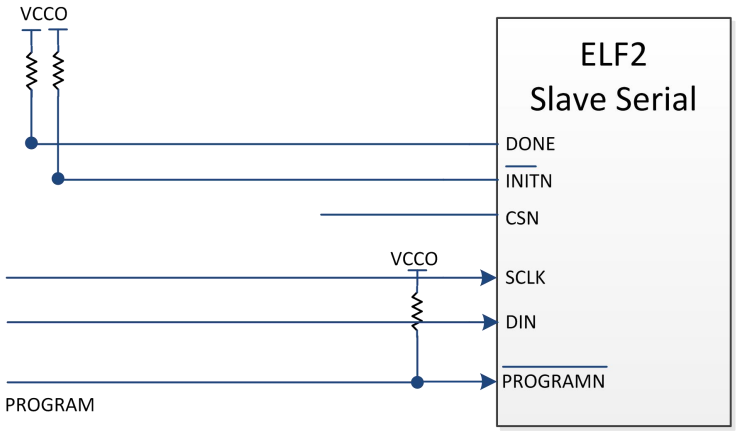


图 2-9- 3 ELF2 串行配置方式

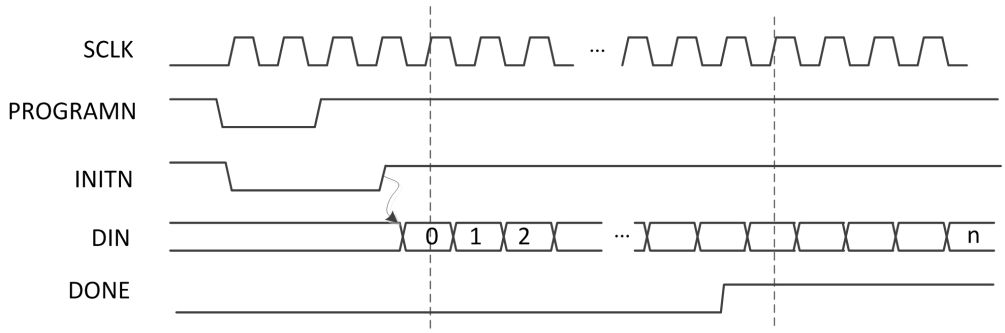


图 2-9- 4 ELF2 串行配置模式时序图

2.9.5 从动并行配置模式

从动并行配置适合通过 MCU 或者 CPU 等控制器使用。从动并行通过 8 位并行数据写入能够达到较快的配置速度。

如图 2-9- 5 所示，其中多个 CSN 信号可以选择多个配置芯片。

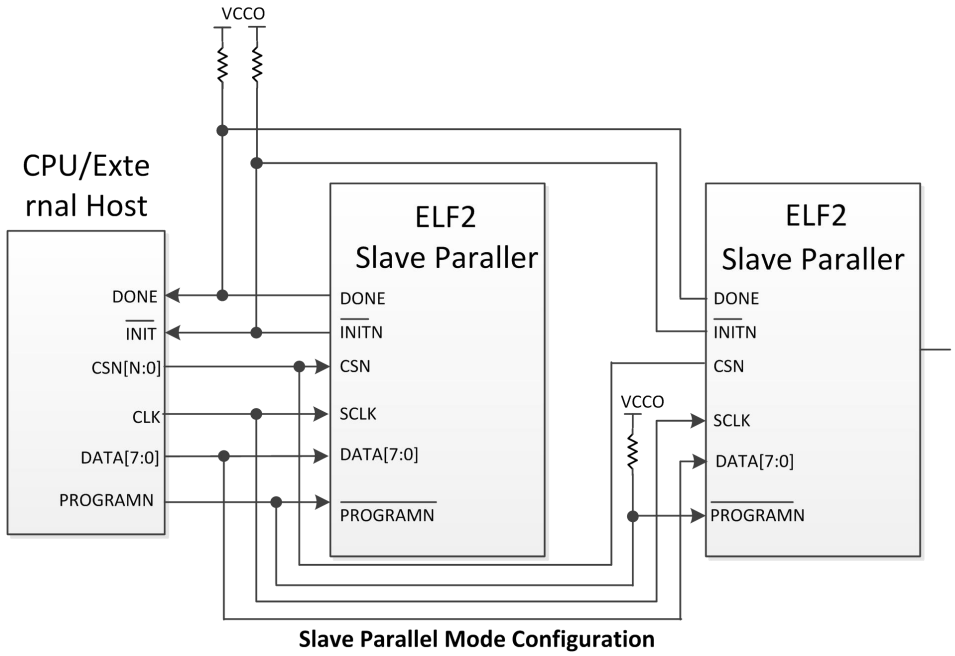


图 2-9- 5 从动并行配置方式

从动并行配置模式时序如图 2-9- 6 所示。开始的初始化过程和串行配置一致，初始化完成之后，在片选 CSN 有效时，在时钟的上升沿配置数据写入。同样，配置完成后, DONE 信号会变高。

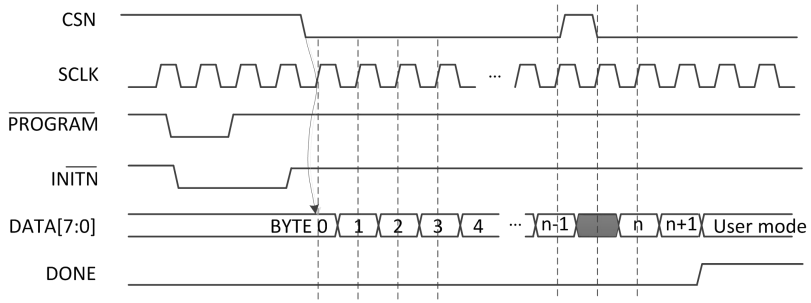


图 2-9- 6 ELF2 从动并行配置时序图

2.9.6 主动并行配置模式

主动并行配置和从动并行配置类似，差别在于 SCLK 时钟由 FPGA 提供。

2.9.7 JTAG 配置模式

ELF2 FPGA 还可以通过 JTAG 方式进行配置。JTAG 方式配置是通过配置引脚（TDI，TDO，TMS，TCK，JTAGEN）进行的。在 INITN 信号变高后， JTAG 可以通过指令中断其他模式，进入 JTAG 配置模式。

TDI，TDO，TMS，TCK, JTAGEN 为复用 IO。当 TDI，TDO，TMS，TCK 配置为专用 IO 时，JTAGEN 可配置成用户 IO。当 TDI，TDO，TMS，TCK 配置成用户 IO 时，JTAGEN=1 可以将 TDI，TDO，TMS，TCK 强制变成专用 IO。

JTAG 配合使用安路公司专用的 USB 下载线，配合 TD 软件进行，可以通过软件查看配置是否成功。

JTAG 配置模式参考时序与时序规格如图 2-9- 7 和表 2-9- 2 所示。

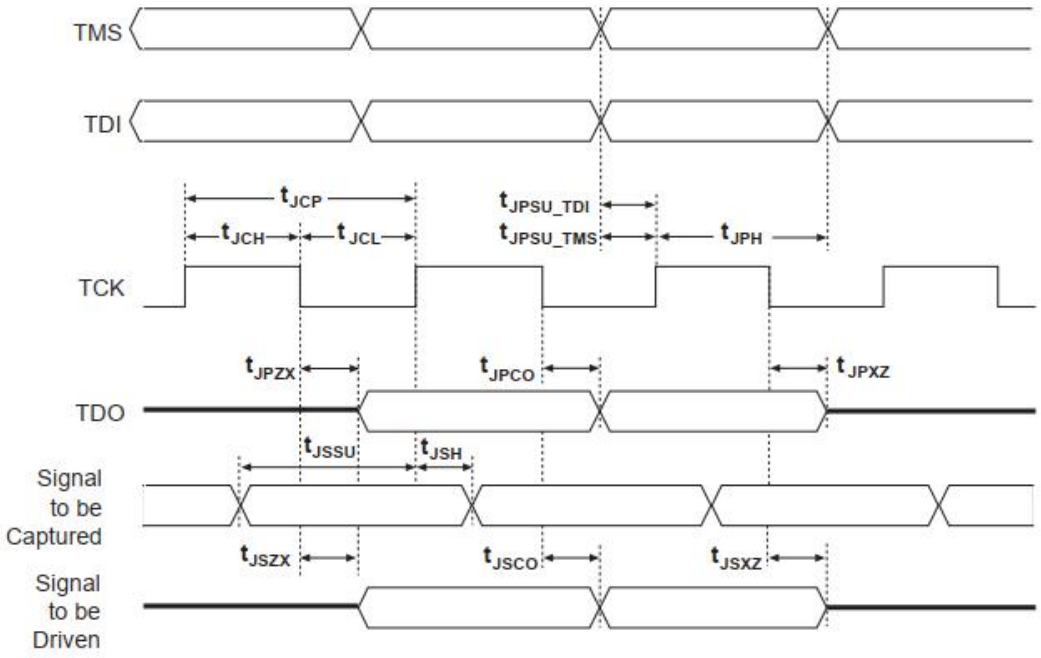


图 2-9- 7 EF2 JTAG 时序图

表 2-9- 2 EF2 JTAG 时序规格表

Symbol	Parameter	Min	Max	Unit
t_{JCP}	TCK clock period	100	—	ns
t_{JCH}	TCK clock high time	50	—	ns
t_{JCL}	TCK clock low time	50	—	ns
t_{JPSU_TDI}	JTAG port setup time for TDI	10	—	ns
t_{JPSU_TMS}	JTAG port setup time for TMS	13	—	ns
t_{JPH}	JTAG port hold time	20	—	ns
t_{JPCO}	JTAG port clock to output	—	15	ns
t_{JPZX}	JTAG port high impedance to valid output	—	15	ns
t_{JPXZ}	JTAG port valid output to high impedance	—	15	ns
t_{JSSU}	Capture register setup time	—	—	ns
t_{JSH}	Capture register hold time	—	—	ns
t_{JSCO}	Update register clock to output	—	—	ns
t_{JSZX}	Update register high impedance to valid output	—	—	ns
t_{JSXZ}	Update register valid output to high impedance	—	—	ns

2.9.8 DUAL BOOT 功能

ELF2 在 MSPI 模式下支持 Dual Boot 功能。当 Primary 位流下载失败后，ELF2 FPGA 自动跳转到用户设定的地址去读取 golden 位流。图 2-9- 8 所示为 Dual Boot 下内部 SPI Flash 的数据空间分配。

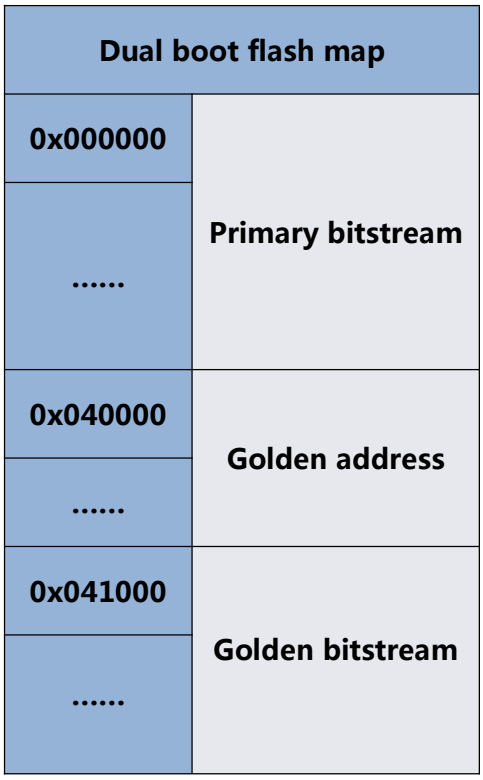


图 2-9- 8 ELF2 Dual Boot SPI Flash 的数据空间分配

2.9.9 MULT BOOT 功能

MSPI 模式下,用户可以使用 TD 软件设置 Mult Boot 功能。当进入用户模式后，应用本身可以通过接口触发信号 mult_bootn=0，从指定的内部 SPI Flash 地址重新开始下载位流。由于 ELF2 内部 flash 限制，建议只存放两套位流， 第二个 bit 流存放在 040000 位置处。

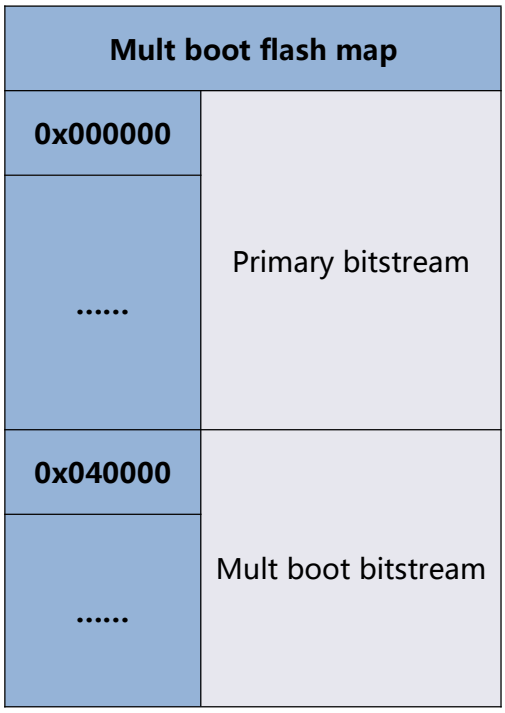


图 2-9- 9 ELF2 Mult Boot SPI Flash 的数据空间分配

2.9.10 FPGA I/O 引脚在配置阶段的设置

在配置阶段，FPGA 的专用引脚有上拉/下拉电阻，用户 I/O 引脚在配置过程中有可选的上拉电阻。HSWAPEN 控制位来决定 I/O 引脚上是否使能上拉电阻，此信号在 Feature 寄存器中设置。

在 ELF2 中，HSWAPEN 是一位控制寄存器 CTRL[31],默认值为 1，该寄存器为只能由位流改写。

2.9.11 FPGA I/O 引脚在配置阶段的状态

（1）非配置相关 IO

芯片上电完成后程序加载前，非配置相关 IO 处于三态；

加载过程中，普通 IO 的状态受 HSWAPEN 脚控制可以为弱上拉或者三态；

进入用户模式之后，用户使用的 IO 脚状态受代码控制，未使用的管脚为弱上拉状态

（需要注意的是:ELF2BG256 封装的芯片，E16, F15, F12, J11, L12, G12, F14, G13, H13, J12, J15, K16, K13,K12,C16,D15,这 16 个脚在配置前和加载过程中，都处于弱上拉状态，不可控制）。

（2）配置相关引脚跟配置设置相关 ，如 ELF2_Datasheet 中表 2-9-3 所示

表 2-9- 3 ELF2 Configuration Pin Termination

Pin	配置成功前		配置成功后
	HSWAPEN=0(enable)	HSWAPEN=1(disable)	
PROGRAMN	Pull-up to Vccio	Pull-up to Vccio	软件 ProgPin 设置
INITN	Pull-up to Vccio	Pull-up to Vccio	软件 InitPin 设置
DONE	Pull-up to Vccio	Pull-up to Vccio	软件 DonePin 设置
SCLK	Pull-up to Vccio	Pull-up to Vccio	软件 SpiPin 设置
CSN	Pull-down to Gnd	Pull-down to Gnd	User I/O
TMS TCK TDO TDI JTAGEN	Pull-up to Vccio	Pull-up to Vccio	软件 JtagPin 设置
D[7:2]	Pull-up to Vccio	Pull-up to Vccio	User I/O
D[1]	Pull-up to Vccio	Pull-up to Vccio	软件 SpiPin 设置
D[0]/DIN	Pull-up to Vccio	Pull-up to Vccio	软件 SpiPin 设置
CSON/DOUT	Pull-up to Vccio	Pull-up to Vccio	软件 SpiPin 设置
Others	Pull-up to Vccio	High-Z	User I/O

2.9.12 FPGA 加密下载

ELF2 提供 128bit AES 位流加密功能，支持除 JTAG 外的所有模式。用户 AES key 存储在片上 eFUSE 中，EFL2 提供 AES key 的保护机制，当使能 AES key 保护后，AES key 将禁止读写，以保证用户数据安全。

2.9.13 DNA 安全功能

ELF2 FPGA 在生产过程中为每块芯片提供一个唯一的 64 位 DNA 数据，这个数据不能被修改和擦除，用户可以利用 DNA 进行用户设计保护。TD 软件将提供 IP 接口，使用户读出 DNA 数据。如图 2-9-10、图 2-9- 11 所示。Usr_dna_in 为移位数据输入，用于接口测试使用。

Dna_clk 时钟频率范围 0~20MHz，dna_shift 建议采用时钟下降沿送出，保证时序要求。

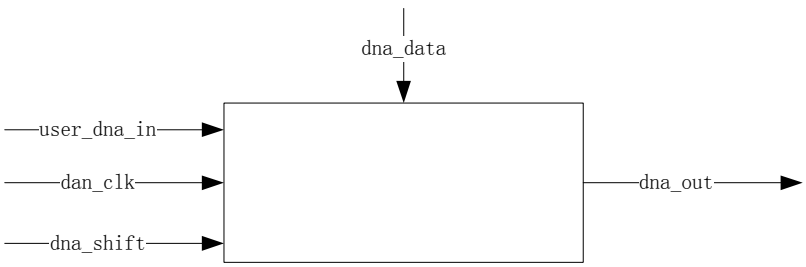


图 2-9- 10 ELF2 DNA IP

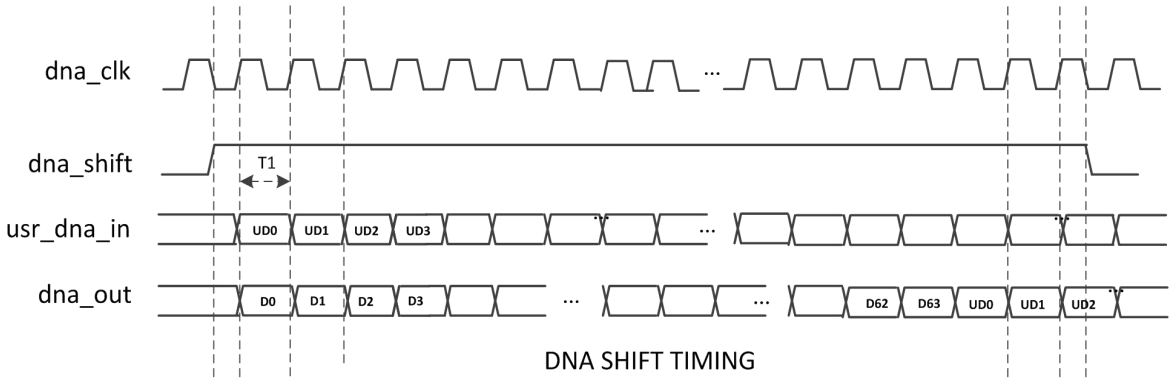


图 2-9- 11 ELF2 DNA 时序图

2.10 内置 MCU

下版内容补充

2.11 内嵌 ADC 模块

ELF2 内嵌有两个 8 通道 12 位 1MSPS ADC。ADC 需要独立的 3.3V 模拟工作电压和模拟地以及一个独立的 VREF 电压输入。8 个通道输入和用户 IO 复用，用户实际可用通道数随芯片封装而异，当用户不需要 ADC 时可以用作普通用户 IO，复用 IO 设置相互独立，未使用的 ADC 通道管脚可以作为普通 IO 使用。

表 2-11- 1 ADC 外部/内部端口

芯片端口名	端口类型	说明
ADC_VDDD	电源 PAD	3.3V 数字电源输入
ADC_VDDA	外部电源 PAD	3.3V 模拟电源输入
ADC_VSSA	外部电源 PAD	3.3V 模拟地
ADC_VREF	外部 PAD	独立输入，采样参考模拟电位输入，输入电压范围 2.0V~3.3V， 不大于 VDDA
ADC_CH<7:0>	外部 PAD	8 路采样信号输入，和用户 IO 复用
内部端口名	**端口方向**	**说明**
clk	输入	ADC 工作时钟
pd	输入	ADC 低功耗掉电模式
s<2:0>	输入(来自 FPGA)	ADC 通道选择信号输入
soc	输入(来自 FPGA)	ADC 采样使能信号输入，高有效
eoc	输出(到 FPGA)	ADC 转换完成输出，高有效
b<11:0>	输出(到 FPGA)	对应通道的 ADC 转换结果

注：在 ADC 中 ADC_CH[7:0]与 ADC_VREF 不支持热插拔。在有热插拔需求的场合下，建议避开 ADC 复用管脚

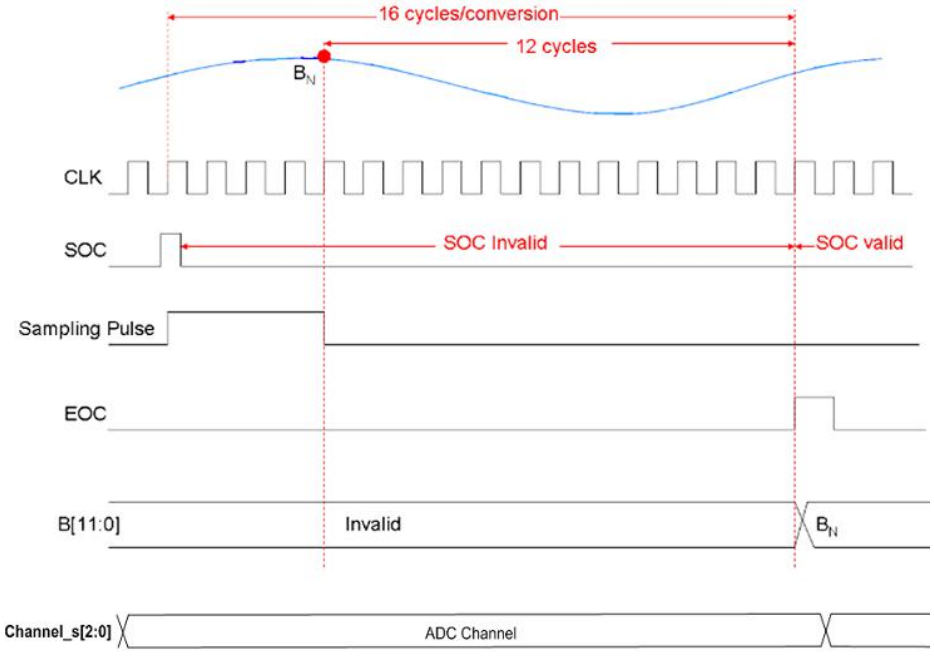


图 2-11- 1 ELF2 ADC 采样控制时序

2.12 高速接口 IP

将在下一版补充内容

2.13 电源监控模块

ELF2 器件包含一个电源监控模块，在恶劣电源应用环境下实现对电源的实时监控。当受监控电源低于设定电平时，pwr_dwn_n 从“H”变为“L”给出电源工作不正常标识。pwr1 和 pwr2 和 BANK 电压相连，用户可以使用该模块对不同的电源进行监控，在发现电源异常时能够进行记录或者采取相应的措施。

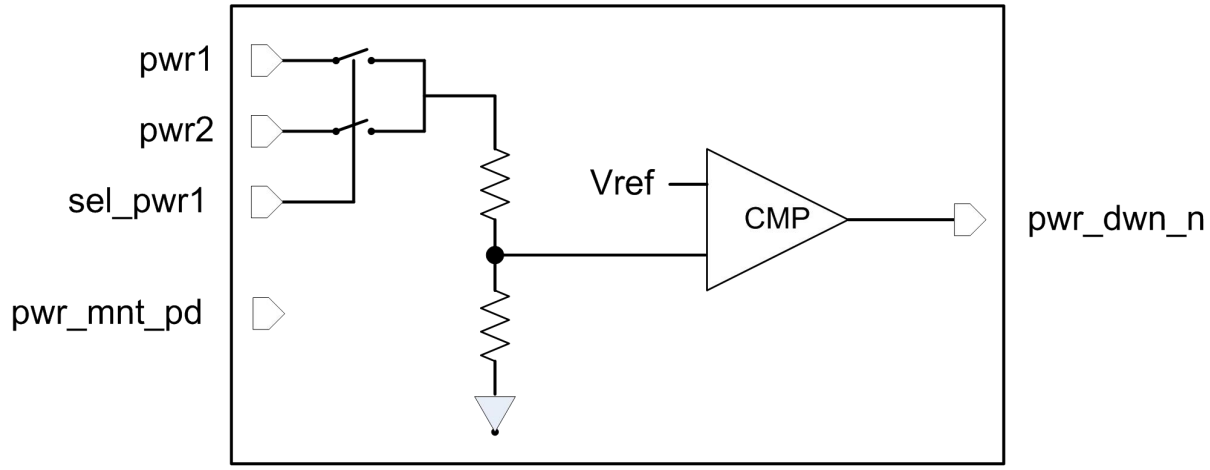


图 2-13- 1 电源监控模块框图

用户可以通过调用 EF2_PHY_PWRMNT　IP，动态控制电源监控模块。

```
module EF2_PHY_PWRMNT (sel_pwr, pwr_mnt_pd, pwr_dwn_n);
    output pwr_dwn_n;
    input sel_pwr;
    input pwr_mnt_pd;
  parameter MNT_LVL = 0; //1-7 1:1.86v 2:2.00v 3:2.17v 4:2.36v 5:2.60v 6:2.89v 7:3.25v
endmodule
```

表 2-13- 1 配置端口列表

EF2_PHY_PWRMNT	方向	说明
sel_pwr	输入	监控端口
pwr_mnt_pd	输入	掉电使能
pwr_dwn_n	输出	监控状态输出
MNT_LVL	parameter	电压阈值选择

注 1：不同封装 sel_pwr 监控对象略有不同，请参照引脚列表注释

注 2：MNT_LVL 与电压阈值对应关系，请参照 3.1.13 节电源监测模块电学特性

2.14 内置环形振荡器

ELF2 器件包含一个 CMOS 环形振荡器，环形振荡器的输出可以作为全局时钟的输入，也可以作为 PLL 的参考时钟。环形振荡器中心频率 266MHz，在全局时钟路径上，插入的可配置分频器可以对 OSC 的频率进行 1-128 任意整数分频。可以动态配置分频系数，不使用时可以关闭 OSC 以节省功耗。

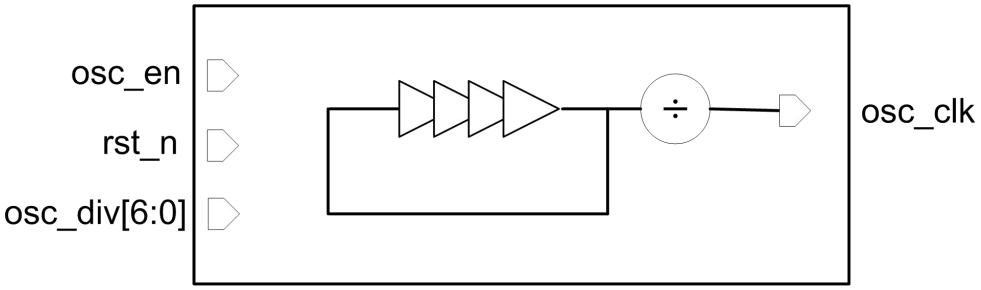


图 2-14- 1 内置环形振荡器模块框图

注 1：OSC、OSCDIV 输出可以接 PLL，但不能直接 Fabric，可以通过 GCLK 连接到 Fabric。

注 2：ELF2 系列器件不建议使用 OSC+PLL 的组合方式，建议使用内部的 EF2_PHY_OSCDIV (rstn, stdby, div, clko)。

2.15 内置温度传感器简介

芯片内部嵌有一个温度传感二极管，其输出电压正比于芯片温度。

$$Vout = \frac{12 \times \ln 8 \times K \times T}{q}$$

其中，k=boltzman 常数=$1.3806505 \times 10^{-23} J/K$

T=Kelvin 温度=摄氏度+273.15

q=$1.602176462 \times 10^{-19}$

按照摄氏度为单位，t 为当前摄氏温度，Vout 为：

Vout=0.572+0.001933t （V）

温度二极管输出 Vout 固定连接到 ADC1 的 7 号通道。通过 ADC1 采样输出温度传感器输出的数据，用户可以通过访问此通道的 ADC 输出得到 Vout 的电压值。

ADC 输出值 $Dout = \frac{Vout}{Vref} \times 2^{12}$

其中 Vref 为 ADC 输入参考电压值。

摄氏温度 $t = \frac{Dout \times 3.3}{7.917568} - 295.913$

其中包含至少一个减法和乘法操作。

用户可以用芯片内 BRAM32K 基于查表法计算当前摄氏度值，简化设计。如图 2-15- 1 所示。

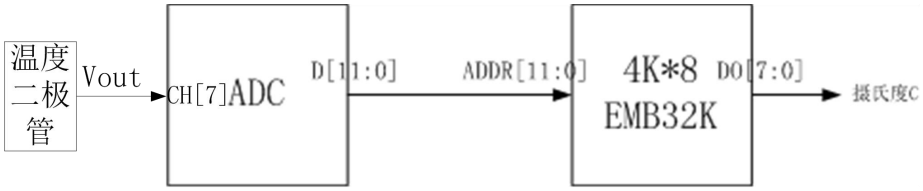


图 2-15- 1 温度传感器 IP 框图

3 直流交流特性

所有参数指最差的供电电压和结点温度。如无特殊说明，以下信息适用于：同一商业和工业级别规定的交流和直流特性。所有参数均为电压对地时的值。

3.1 直流电气特性

3.1.1 最大绝对额定值

表 3-1- 1 最大绝对额定值

SYMBOL	参 数		最 小	最 大	单 位
V_{CC}	内核供电电压		-0.5	1.32	V
V_{CCAUX}	辅助电源		-0.5	3.75	V
V_{CCIO}	I/O驱动供电电压		-0.5	3.75	V
Vbat	深睡眠保持电压		-0.5	3.75	V
V_I	直流输入电压	增强型 IOBE	-0.5	3.75	V
		基础型 IOBB	-0.5	6.00	V
V_{ESDHBM}	人体模型静电放电电压			±2000	V
V_{ESDCDM}	机器模型静电放电电压			±500	V
T_{STG}	存储温度		-65	150	℃
T_J	结点温度		-40	125	℃

备注：允许脉宽小于 20ns 的-2V 到 VIHMAX+2V 输入过冲和下冲，不影响器件使用寿命。

超过以上最大绝对额定值可能会导致器件永久性损坏。这些值仅表示在该额定值下操作不会损坏器件，但不表示器件在此极限值下功能正常。器件的功能性操作或基于此的任何条件最大绝对额定值可能会造成器件永久损坏。器件长期在极值条件下运行，会严重的影响器件的可靠性。

信号转换过程中，输入信号过冲/下冲可能超过上表中给出数值，但必须同时满足电流小于 100mA 和脉冲宽度小于 20ns 两个条件。

3.1.2 推荐基本操作条件

表 3-1- 2 推荐基本操作条件 1

SYMBOL	参 数	最 小	典 型	最 大	单 位
V_{CC}	内核供电电压	1.14	1.2	1.26	V
V_{CCAUX}	辅助电源	2.375	2.5/3.3	3.63	V
VCCIO[3]	I/O供电电压 @ 3.3V	3.135	3.3	3.465	V
	I/O供电电压 @ 2.5V	2.375	2.5	2.625	V
	I/O供电电压 @ 1.8V	1.71	1.8	1.89	V
	I/O供电电压 @ 1.5V	1.425	1.5	1.575	V
	I/O供电电压 @ 1.2V	1.14	1.2	1.26	V

V_I	直流输入电压	增强型IOBE	-0.5	—	3.6	V
		基础型IOBB	-0.3	-	5.5	V
Vbat	深睡眠保持电压		2.7	3.0	3.3	V
V_O	输出电压		0	—	V_{CCIO}	V
T_J	结点温度	商业	0	—	85	℃
		工业	-40	—	100	℃
T_{RAMP}	电源缓变率		0.01	-	100	V/ms
I_{Diode}	PCI-clamp 二极管电流		—	—	10	mA

1. 器件工作时要求所有 I/O 的 V_{CCIO} 必须连接好电源
2. 所有输入缓冲器由 V_{CCIO} 供电

3.1.3 基本供电要求

表 3-1- 3 最小供电要求

EF2L15\L25\L45BG256	
VCCAUX	>=2.5V
VCCIO0	>=1.2V
VCCIO1	>=2.5V（flash 电源与 VCCIO1 相连）
VCCIO2	>=1.2V
VCCIO3	>=1.2V
VCCIO4	>=1.2V
VCCIO5	>=1.2V
如果使用 JTAG 下载，VCCIO0 需要大于等于下载器的供电电压（如果使用安路的 JTAG 端口下载，要求>=2.5V）	
ADC_VDDD/ADC_VDDA 如果使用 ADC 要求接 3.3V，如果不使用可以在板上和 VCCAUX 接一起	
如果使用 LVDS，相应的 bank 供电电压要求大于等于 2.5V	
ADC_VREF 的供电不能大于 ADC_ VDDA	

注：安路下载器供电电压为 2.5V

注：VCCIO 不用时也要供电，避免潜在风险

3.1.4 单电源器件静态供电电流- B Devices[1,2]

表 3-1- 4 静态电源电流

SYMBOL	参 数	器 件	典 型	单 位
I_{bat}	深睡眠保持电源	所有器件	0	mA
I_{VCCIO}	I/O 组电源, @V_{CCIO}=2.5V	所有器件	0	mA
I_{VCCAUX}	辅助电源	ELF2L15	11	mA
		ELF2L25	11	mA
		ELF2L45	11	mA
		ELF2M45	11	mA

1. 该表中的数值基于通用的推荐操作条件，室温下（TJ ＝25℃）使用典型器件测得。
2. 典型值为空白器件，没有输出电流负载，高阻抗状态下，并当所有上拉/下拉电阻器在 I/O 引脚禁止时，测量的所有 I/O 驱动的静态电源电流。

3.1.5 单电源器件深睡眠供电电流- B Devices[1,2]

表 3-1- 5 静态电源电流

SYMBOL	参 数	器 件	典 型	单 位
I_{bat}	深睡眠保持电源	所有器件	45	uA
I_{VCCIO}	I/O 组电源, @V_{CCIO}=2.5V	所有器件	2	uA
I_{VCCAUX}	辅助电源	所有器件	24	uA

1. 该表中的数值基于通用的推荐操作条件，室温下（TJ ＝25℃）使用典型器件测得。
2. 器件处于功能禁止状态，只有 MCU 的保持电路处于待机状态。

3.1.6 双电源器件静态供电电流- D Devices[1,2]

表 3-1- 6 静态电源电流

SYMBOL	参 数	器 件	典 型	单 位
I_{VCC}	内核供电电压	ELF2L15	1.5	mA
		ELF2L25	1.5	mA
		ELF2L45	1.5	mA
		ELF2M45	1.5	mA
I_{VCCIO}	I/O 组电源, @V_{CCIO}=2.5V	所有器件	0	mA
I_{VCCAUX}	辅助电源	所有器件	0.3	mA

1. 该表中的数值基于通用的推荐操作条件，室温下（TJ ＝25℃）使用典型器件测得。
2. 典型值为空白器件，没有输出电流负载，高阻抗状态下，并当所有上拉/下拉电阻器在 I/O 引脚禁止时，测量的所有 I/O 驱动的静态电源电流。

3.1.7 热插拔规格

表 3-1- 7 热插拔规格

SYMBOL	参 数	最 大	单 位
$I_{IOPIN(DC)}$	DC电流，每个I/O	1	mA
$I_{IOPIN(AC)}$	AC电流，每个I/O	8[1]	mA

1. 电源缓变率等于或大于 10ns。
2. 所有 IO 都可以支持热拔插，ADC 相关复用引脚除外

3.1.8 上电复位电压阈值

表 3-1- 8 上电复位电压阈值

SYMBOL	参 数	最 小	典 型	最 大	单 位
V_{CC_PORUP}	V_{CC}上电检测阈值	0.95	1	1.05	V
V_{CCAUX_PORUP}	V_{CCAUX}上电检测阈值	2.05	2.1	2.15	V
Vccio	Vccio上电检测	0.95	1.0	1.05	V
V_{CC_PORDN}	VCC掉电检测阈值	—	—	0.8	V
V_{CCAUX_PORDN}	VCCAUX掉电检测阈值	—	—	1.85	V
V_{SRAM_PORDN}	SRAM电源掉电检测阈值	—	—	0.8	V

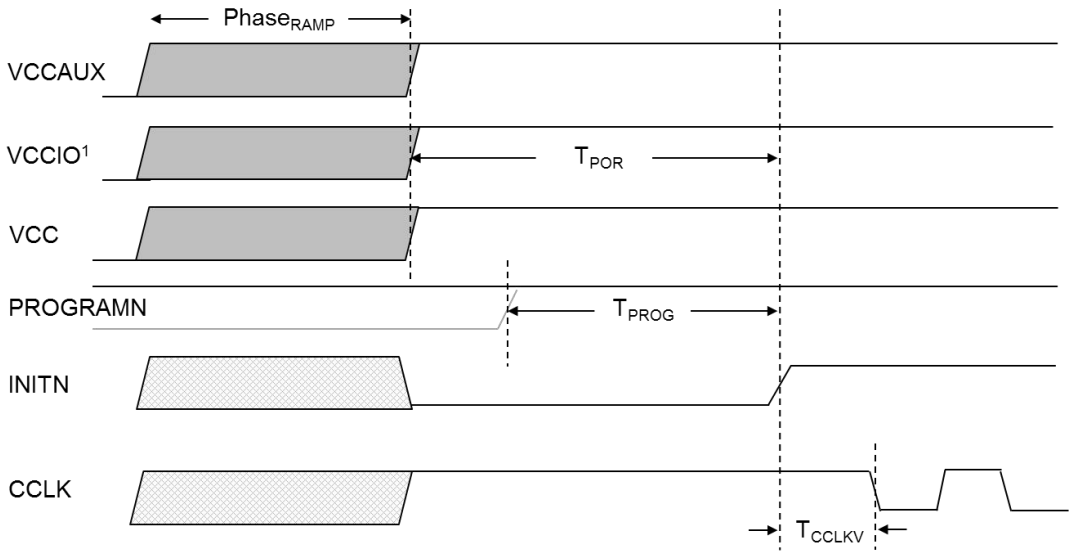


图 3-1- 1 器件上电时序图

备注：

1. POR 监测 JTAG 端口和 INTBANK7 所在的 VCCIO*电平
2. 对 VCCAUX、VCCIO*、VCC 没有上电时序要求
3. 电源上电过程中（PhaseRAMP）所有的 IO 处于 3 态
4. 一般 TPOR 为 4ms，TPROG 同 TPOR，TCCLK 约 6.4us

3.1.9 I/O 管脚电容

表 3-1- 9 ELF2 器件管脚电容

SYMBOL	参 数	QFP	FBGA	单 位
C_{IOTB}	上下管脚输入电容	7	6	pF
C_{IOLR}	左右管脚输入电容	8	7	pF

3.1.10 I/O 直流电气特性

表 3-1- 10 IOBE 推荐基本操作条件

SYMBOL	参 数	条 件	最 小	典 型	最 大	单 位
I_{IL}, I_{IH}	输入漏电电流	$0 \leqq V_I \leqq V_{CCIO}$-0.5V	-10	—	10	uA
I_{IH}	输入漏电电流	V_{CCIO}-0.5V $\leqq V_I \leqq V_{IH_MAX}$	—	—	150	uA
I_{PU}	I/O 弱上拉电流		35	—	250	uA
I_{PD}	I/O 弱下拉电流		35	—	250	uA
I_{BHLS}	总线保持 0 维持电流		40	—	—	uA
I_{BHHS}	总线保持 1 维持电流		40	—	—	uA

I_{BHLO}	总线保持 0 改写电流	$0 \leqq V_I \leqq V_{CCIO}$	—	—	350	uA
I_{BHHO}	总线保持 1 改写电流	$0 \leqq V_I \leqq V_{CCIO}$	—	—	350	uA
V_{BHT}	总线保持触发电平	—	V_{IL_max}	—	V_{IH_min}	V
V_{HYST}	施密特触发器[1]输入磁滞	V_{CCIO}=3.3V,HYST=Large	—	450	—	mV
		V_{CCIO}=3.3V,HYST=Small	—	250	—	mV
		V_{CCIO}=2.5V,HYST=Large	—	250	—	mV
		V_{CCIO}=2.5V,HYST=Small	—	150	—	mV
		V_{CCIO}=1.8V,HYST=Large	—	125	—	mV
		V_{CCIO}=1.8V,HYST=Small	—	60	—	mV
		V_{CCIO}=1.5V,HYST=Large	—	100	—	mV
		V_{CCIO}=1.5V,HYST=Small	—	40	—	mV

表 3-1- 11 IOBB 推荐基本操作条件

符号	参 数	最 小	典 型	最 大	单 位
VCCIO	I/O 电源电压				
I_L	输入漏电电流			±10	uA
I_{OZ}	I/O 三态输出漏电电流			±10	uA
R_{PU}	I/O 弱上拉电阻	29	42	63	KΩ
R_{PD}	I/O 弱下拉电阻	30	44	71	KΩ

3.1.11 单端 I/O 直流电学特性

表 3-1- 12 ELF2 器件 IOBE 单端 I/O 标准规格

标准	V_{IL} (V)		V_{IH} (V)		V_{OL} 最大	V_{OH} 最小	I_{OL}	I_{OH}
	最小	最大	最小	最大	(V)	(V)	(mA)	(mA)
LVTTL33 LVCMOS33	-0.3	0.8	1.9	Vccio+0.3	0.4	V_{CCIO} – 0.4	4	-4
							8	-8
							12	-12
							16	-16
							20	-20
					0.2	V_{CCIO} – 0.2	0.1	-0.1
LVCMOS25	-0.3	0.7	1.7	Vccio+0.3	0.4	V_{CCIO} – 0.4	4	-4

							8	-8
							12	-12
							16	-16
					0.2	V_{CCIO} – 0.2	0.1	-0.1
LVCMOS18	-0.3	0.35*V_{CCIO}	0.65*V_{CCIO}	Vccio+0.3	0.4	V_{CCIO} – 0.4	4	-4
							8	-8
							12	-12
					0.2	V_{CCIO} – 0.2	0.1	-0.1
LVCMOS15	-0.3	0.35*V_{CCIO}	0.65*V_{CCIO}	Vccio+0.3	0.4	V_{CCIO} – 0.4	4	-4
							8	-8
					0.2	V_{CCIO} – 0.2	0.1	-0.1
LVCMOS12	-0.3	0.35*V_{CCIO}	0.65*V_{CCIO}	Vccio+0.3	0.4	V_{CCIO} – 0.4	2	-2
							4	-4
					0.2	V_{CCIO} – 0.2	0.1	-0.1
PCI33	-0.3	0.3*V_{CCIO}	0. 5*V_{CCIO}	Vccio+0.3	0.1*V_{CCIO}	0.9*V_{CCIO}	1.5	-0.5
PCIX33	-0.3	0.35*V_{CCIO}	0. 5*V_{CCIO}	Vccio+0.3	0.1*V_{CCIO}	0.9*V_{CCIO}	1.5	-0.5

表 3-1- 13 Single-Ended Interfaces

INPUT STANDARD	**VCCIO (TYP.)**				
	3.3V	**2.5 V**	**1.8V**	**1.5V**	**1.2V**
LVTTL33	√	√	√	√	√
LVCMOS33	√	√	√	√	√
LVCMOS25	√ 1	√	√	√	√
LVCMOS18		√ 1	√	√	√
LVCMOS15			√ 1	√	√
LVCMOS12				√ 1	√

Note: 1.Under-drive causes higher DC current when the IO is at logic high

表 3-1- 14 ELF2 器件 IOBB 单端 I/O 标准规格

标准	**V_{IL} (V)**		**V_{IH} (V)**		**V_{OL} 最大**	**V_{OH} 最小**	**I_{OL}**	**I_{OH}**
	最小	**最大**	**最小**	**最大**	**(V)**	**(V)**	**(mA)**	**(mA)**
LVTTL33 LVCMOS33	-0.3	0.8	2.3	5.5	0.4	V_{CCIO} – 0.4	20	20
LVCMOS25	-0.3	0.7	1.7	5.5	0.4	V_{CCIO} – 0.4	16	16
LVCMOS18	-0.3	0.35*V_{CCIO}	0.65*V_{CCIO}	5.5	0.4	V_{CCIO} – 0.4	12	12
LVCMOS15	-0.3	0.35*V_{CCIO}	0.65*V_{CCIO}	5.5	0.4	V_{CCIO} – 0.4	8	8
LVCMOS12	-0.3	0.35*V_{CCIO}	0.65*V_{CCIO}	5.5	0.4	V_{CCIO} – 0.4	4	4

3.1.12 差分 I/O 电学特性

表 3-1- 15 ELF2 推荐差分操作条件

参 数	描 述	测试条件	最 小	典 型	最 大	单 位
V_{IP}, V_{IN}	输入电平	V_{CCIO}=2.5	0	—	2.4	V
V_{ID}	输入差分摆幅		150	350		mV
V_{ICM}	输入共模电压	V_{CCIO}=2.5	0.05	—	2.35	V
I_{IN}	输入电流	上电过程	—	—	±15	uA
V_{OD}	标准差分输出摆幅	$\|V_{OP} - V_{ON}\|$, R_T = 100 ohm	150	250	350	mV
V_{OD}	差分输出大摆幅	$\|V_{OP} - V_{ON}\|$, R_T = 100 ohm	450	480	550	mV
ΔV_{OD}	差分输出摆幅变化				50	mV
V_{OCM}	输出共模电压	$(V_{OP} + V_{ON})/2$, R_T = 100 ohm	0.8			V
ΔV_{OCM}	输出共模电压偏差				50	mV

3.1.13 MIPID-PHY 电学特性

表 3-1- 16

模 式	参 数	描 述	最小	典型	最大	单位
发 送	高 速					
	V_{CMTX}	HS Transmit Static Common Mode Voltage	150	200	250	mV
	V_{OD}	HS Transmit Differential Voltage	140	200	270	mV
	V_{OHHS}	HS Output High Voltage	-	-	360	mV
	Z_{OS}	Single-ended Output Impedance	40	50	62.5	Ω
	ΔZ_{OS}	Single-ended Output Impedance Mismatch	-	-	10	%
	低功耗					
	V_{OH}	Output High Level	1.1	1.2	1.3	V
	V_{OL}	Output Low Level	−50	-	50	mV
	Z_{OLP}	Output Impedance of LP Transmitter	110	-	-	Ω
接 收	高 速					
	V_{CMRX}	Common-Mode Voltage HS Receive Mode	70	-	330	mV
	V_{IDTH}	Differential Input High Threshold	-	-	70	mV
	V_{IDTL}	Differential Input Low Threshold	−70	-	-	mV
	V_{IHHS}	Single-ended Input High Voltage	-	-	460	mV
	V_{ILHS}	Single-ended Input Low Voltage	−40	-	-	mV
	$V_{TERM-EN}$	Single-ended Threshold for HS Termination Enable	-	-	450	mV
	Z_{ID}	Differential Input Impedance	80	100	125	Ω
	低功耗					
	V_{IH}	Logic 1 Input Voltage	880	-	-	mV
	V_{IL}	Logic 0 Input Voltage, not in ULP State	-	-	550	mV
	$V_{IL-ULPS}$	Logic 0 Input Voltage, in ULP State	-	-	300	mV
	V_{HYST}	Input Hysteresis	25	-	-	mV

3.1.14 电源监测模块

表 3-1- 17 电源监测模块监测电平

Level Selection	监测电平（V）
1	1.86
2	2.00
3	2.17
4	2.36
5	2.60
6	2.89
7	3.25

3.2 交流电气特性

本章节提供 ELF2 核心和周边模块的性能参数，时序参数及其典型值是常规的设计重要参数，也是器件的基本性能参数。这些参数反映了器件在最差条件下的实际性能。

3.2.1 时钟性能

表 3-2- 1 推荐的最大时钟操作频率

器 件	性能	单位
所有器件	440	Mhz

3.2.2 嵌入数字信号处理模块（DSP）规格

表 3-2- 2 ELF2 嵌入 DSP 规格

器 件	性能	单位
M9x9 (All register)	350	Mhz
M18x18 (All register)	350	Mhz

3.2.3 锁相环(PLL)规格

表 3-2- 3 ELF2 器件的 PLL 规格

参 数	描 述	最 小	典 型	最 大	单 位
f_{IN}	输入时钟频率	10	—	400	MHz
f_{PFD}	鉴频鉴相器（PFD）输入频率	10	—	400	MHz

f_{VCO}	锁相环内部振荡器频率范围	300	—	1200	MHz
f_{OUT}	输出时钟频率	—	—	600	MHz
交流特性					
f_{INDUTY}	输入时钟占空比	40	—	60	%
$t_{INJITTER}$[1]	输入时钟抖动，f_{PFD} ≧ 20 MHz	—	—	800	ps p-p
	输入时钟抖动，f_{PFD} < 20 MHz	—	—	0.02	UI
$t_{OUTDUTY}$	输出占空比波动范围（用户设定值基础上波动）	-5	0	5	%
$t_{OUTJITTER}$[2]	输出时钟周期抖动(Period Jitter), f_{OUT} > 100MHz	—	—	160	ps p-p
	输出时钟周期抖动(Period Jitter), f_{OUT} < 100MHz	—	—	0.009	UI
	Output Clock Cycle-to-cycle Jitter, f_{OUT} > 100MHz	—	—	200	ps p-p
	Output Clock Cycle-to-cycle Jitter, f_{OUT} < 100MHz	—	—	0.01	UI
	Output Clock Phase Jitter, f_{OUT} > 100MHz	—	—	180	ps p-p
	Output Clock Phase Jitter, f_{OUT} < 100MHz	—	—	0.013	UI
t_{LOCK}[3]	PLL 锁定时间	—	—	15	ms
t_{DLOCK}	动态锁定时间（切换、重配置之后）	—	—	15	ms
t_{PLL_PS}	PLL 相移精度	—	—	±125	ps
t_{RST}	复位脉冲最小宽度	1	—	—	ns
t_{RSTREC}	复位恢复时间	1	—	—	ns
$t_{CONFIGPLL}$	PLL 相位动态配置时间	—	3.5	—	cycles
$f_{SCANCLK}$	SCANCLK 频率	—	—	100	MHz
f_{sscmod}	展频调制频率	30		33	kHz
Amp_{ssc}	展频调制幅度	-3.1		3.1	%
f_{offset}	小数分频频率偏移	-5		5	%

1. 参考时钟允许的最大输入抖动。为得到低抖动的输出时钟，必须提供干净的参考时钟。
2. 周期抖动通过对 PLL 输出采样 10,000 次测量得到。相邻周期间抖动采样 1000 次。相位抖动采样 2000 次。参考时钟抖动 30ps。
3. tLOCK 之后，在输出端得到稳定时钟。

3.2.4 存储器模块（BRAM）规格

表 3-2- 4 ELF2 存储器模块规格表

存储器	模式	性 能			单 位
		6	7	8	
BRAM9K	FIFO 512 x 18	250	220	200	MHz
	单口 512 x 18	250	220	200	MHz
	简单双口 512 x 18	250	220	200	MHz
	真双口 1024 x 9	250	220	200	MHz

3.2.5 高速 I/O 接口性能

表 3-2- 5 高速 I/O 接口性能表

输入/输出标准	描 述	最 大	单 位
最大输入频率			

LVDS25	LVDS, VCCIO = 2.5V	400	MHz
RSDS25	RSDS, VCCIO = 2.5V	400	MHz
MINILVDS	Mini-LVDS, VCCIO = 2.5V	400	MHz
MIPI HS	VCCIO = 2.5V	500	MHz
PPDS25	PPDS	400	MHz
LVPECL33	LVPECL, VCCIO = 3.0V	400	MHz
BLVDS25	BLVDS, VCCIO = 2.5V	400	MHz
MLVDS25	MLVDS, VCCIO = 2.5V	300	MHz
LVTTL33	LVTTL, VCCIO = 3.3V	166	MHz
LVCMOS33	LVCMOS, VCCIO = 3.3V	166	MHz
LVCMOS25	LVCMOS, VCCIO = 2.5V	166	MHz
LVCMOS18	LVCMOS, VCCIO = 1.8V	166	MHz
LVCMOS15	LVCMOS, VCCIO = 1.5V	166	MHz
LVCMOS12	LVCMOS, VCCIO = 1.2V	166	MHz
PCI33		133	MHz
最大输出频率			
LVDS25	LVDS, VCCIO = 2.5V	400	MHz
LVDS25E	LVDS, Emulated, VCCIO = 2.5V	300	MHz
RSDS25	RSDS, VCCIO = 2.5V	400	MHz
RSDS25E	RSDS, Emulated, VCCIO = 2.5V	300	MHz
MINILVDS	MINILVDS , VCCIO = 2.5V	400	MHz
MINILVDS25E	Mini-LVDS, Emulated, VCCIO = 2.5V	300	MHz
PPDS	Ponit-to-ponit LVDS	400	MHz
LVPECL33E	LVPECL, Emulated, VCCIO = 3.0V	166	MHz
BLVDS25E	BLVDS, Emulated, VCCIO = 2.5V	166	MHz
MLVDS25E	MLVDS, Emulated, VCCIO = 2.5V	166	MHz
LVTTL33	LVTTL, VCCIO = 3.3V	166	MHz
LVCMOS33	LVCMOS, VCCIO = 3.3V	166	MHz
LVCMOS25	LVCMOS, VCCIO = 2.5V	166	MHz
LVCMOS18	LVCMOS, VCCIO = 1.8V	166	MHz
LVCMOS15	LVCMOS, VCCIO = 1.5V	166	MHz
LVCMOS12	LVCMOS, VCCIO = 1.2V	100	MHz
PCI33		133	MHz

3.2.6 配置模块和 JTAG 规格

表 3-2- 6 ELF2 器件配置模式时序规格表

下载模式	最 小	典 型	最 大	单 位
主模式串行 PROM (MS)	4.5	—	50	MHz
主模式串行 SPI (MSPI)	4.5	—	50	MHz

主模式并行 x8 (MP)	4.5	—	50	MHz
从模式串行 (SS)	—	50	—	MHz
从模式并行 x8 (SP)	—	50	—	MHz

表 3-2- 7 ELF2 器件 JTAG 时序规格表

符号	参 数	最 小	最 大	单 位
t_{JCP}	TCK 周期	40	—	ns
t_{JCH}	TCK 高电平时间	20	—	ns
t_{JCL}	TCK 低电平时间	20	—	ns
t_{JPSU_TDI}	TDI 建立时间	1	—	ns
t_{JPSU_TMS}	TMS 建立时间	3	—	ns
t_{JPH}	JTAG 端口保持时间	10	—	ns
t_{JPCO}	JTAG 端口时钟到输出延时	—	15	ns
t_{JPZX}	JTAG 端口有效输出到高阻转换时间	—	15	ns
t_{JPXZ}	抓取寄存器建立时间	—	15	ns
t_{JSSU}	抓取寄存器保持时间	5	—	ns
t_{JSH}	更新寄存器建立时间	10	—	ns
t_{JSCO}	更新寄存器时钟到输出延时	—	25	ns
t_{JSZX}	更新寄存器高阻到有效输出	—	25	ns
t_{JSXZ}	更新寄存器有效输出到高阻	—	25	ns

3.2.7 ADC 性能

表 3-2- 8 ADC 性能

参数	性能
工作电压	3.3V 模拟电源和 3.3V 数字电源
最高采样速率	1Mhz
通道数	8
采样范围	0.01*VREF ~ 0.99*VREF
动态性能	>81dB SFDR >62dB SINAD
线性度性能	INL<1 LSB,DNL<0.5 LSB
最高时钟频率	16Mhz

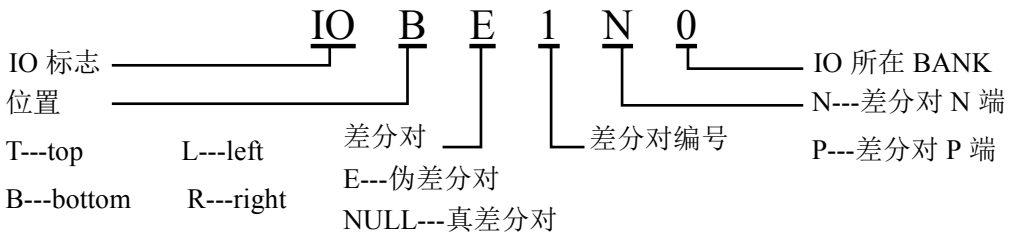
4 引脚和封装

4.1 引脚定义和规则

表 4-1- 1 引脚定义和规则

引脚名称	方向	描 述
普通 I/O		
NC	—	无连接
GND	—	电源地
VCC	—	内部核心模块电源
VCCIOx	—	I/O 组电源
VCCAUX	—	辅助电源
Vbat	—	深睡眠模式保持电源
GND_PLLx	—	PLL 地
JTAG 专用引脚		
TCK	输入	TCK 输入边界扫描时钟
TDI	输入	边界扫描数据输入
TDO	输出	边界扫描数据输出
TMS	输入	边界扫描模式选择
JTAGEN	输入	JTAG 使能
配置专用管脚		
CSN	输入	并行下载模式片选信号，低有效
PROGRAMN	输入	全局复位输入，低有效
CCLK	I/O	
DONE	I/O	专用配置状态引脚，在配置完成后会输出高，源端开路
INITN	I/O	专用配置状态引脚，输出高表示 FPGA 准备好配置，源端开路
ADC 功能管脚		
ADC_CHx	输入	ADC 模拟信号输入
ADC_VREF	输入	ADC 参考电压
ADC_VDDA	输入	ADC 模拟电源
ADC_VDDD	输入	ADC 数字电源

4.2 IO 命名规则



4.3 EF2L15 引脚信息：LQFP100

编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
1	IOBB	0	IO_BE1N_0,D1	28	IOBE	1	IO_R1N_1
2	IOBB	0	IO_BE1P_0,D0	29	IOBE	1	IO_R2P_1
3	IOBB	0	IO_BE2N_GCLKIOB_1_0	30	IOBE	1	IO_R2N_1
4	IOBB	0	IO_BE2P_GCLKIOB_0_0	31	IOBE	1	IO_R3P_1
5	-	0	VCCIO0	32	IOBE	1	IO_R3N_1
6	-	0	GND	33	-	1	GND
7	IOBB	0	IO_BE3N_0,D3	34	IOBE	1	IO_R4N_GCLKIOR_1_1, LVDSTX_1N
8	IOBB	0	IO_BE3P_0,D2	35	IOBE	1	IO_R4P_GCLKIOR_0_1, LVDSTX_1P
9	IOBB	0	IO_BE4P_0	36	IOBE	1	IO_R5P_1
10	IOBB	0	IO_BE4N_0	37	IOBE	1	IO_R5N_1,DPCLKIO_5
11	-	0	VCCIO0	38	IOBE	1	IO_R6N_GCLKIOR_3_1, LVDSTX_1N
12	IOBB	0	IO_BE5P_GCLKIOB_2_0	39	IOBE	1	IO_R6P_GCLKIOR_2_1, LVDSTX_1P
13	IOBB	0	IO_BE5N_GCLKIOB_3_0	40	IOBE	1	IO_R7N_1,LVDSRX_1N
14	IOBB	0	IO_BE6P_0,DPCLKIO_4	41	IOBE	1	IO_R7P_1,LVDSRX_1P
15	IOBB	0	IO_BE6N_0	42	IOBE	1	IO_R8P_1
16	IOBB	0	IO_BE7P_0	43	IOBE	1	IO_R8N_1
17	IOBB	0	IO_BE7N_0	44	-	1	GND
18	IOBB	0	IO_BE8P_0	45	IOBE	1	IO_R9P_1,SCLK
19	IOBB	0	IO_BE8N_0	46	-	1	VCCIO1
20	IOBB	0	IO_BE9P_GCLKIOB_4,D4	47	IOBE	1	IO_R9N_1
21	IOBB	0	IO_BE9N_GCLKIOB_5,D5	48	IOBE	1	IO_R10N_1
22	-	0	GND	49	IOBE	1	IO_R10P_1
23	-	0	VCCIO0	50	-	-	VCCAUX
24	IOBB	0	IO_BE10P_0,D6	51	IOBB	2	IO_TE1N_2,GPIO4
25	IOBB	0	IO_BE10N_0,D7	52	IOBB	2	IO_TE1P_2,GPIO3
26	-	1	VCCIO1	53	IOBB	2	IO_TE2N_2
27	IOBE	1	IO_R1P_1	54	IOBB	2	IO_TE2P_2

编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
55	-	2	VCCIO2	78	IOBE	3	IO_L_3, ADC0_CH0
56	-	2	GND	79	-	3	GND
57	IOBB	2	IO_TE3N_2,GPIO13	80	-	3	VCCIO3
58	IOBB	2	IO_TE3P_2,GPIO12	81	IOBE	3	IO_L_3,PROGRAMN
59	IOBB	2	IO_TE4N_2,GPIO11	82	IOBE	3	IO_L_3,JTAGEN
60	IOBB	2	IO_TE4P_2,GPIO10	83	IOBE	3	IO_L1N_3,DPCLKIO_1
61	IOBB	2	IO_T_2,GPIO8,USRCLK, ADC1_CH2	84	IOBE	3	IO_L1P_3
62	IOBB	2	IO_TE5N_GCLKIOT_3_2	85	IOBE	3	IO_L2N_GCLKIOL_1_3, ADC0_CH1,LVDSRX_0N
63	IOBB	2	IO_TE5P_GCLKIOT_2_2	86	IOBE	3	IO_L2P_GCLKIOL_0_3, ADC0_CH2 ,LVDSRX_0P
64	IOBB	2	IO_TE6N_GCLKIOT_1_2	87	IOBE	3	IO_L3N_GCLKIOL_3_3, ADC0_CH3,LVDSTX_0N
65	IOBB	2	IO_TE6P_GCLKIOT_0_2	88	IOBE	3	IO_L3P_GCLKIOL_2_3, ADC0_CH4,LVDSTX_0P
66	IOBB	2	IO_T_2	89	IOBE	3	IO_L_3
67	IOBB	2	IO_T_2,GPIO7,ADC1_CH1	90	IOBE	3	IO_L_3,TMS
68	IOBB	2	IO_T_2,GPIO6,DPCLKIO_8, ADC1_CH0	91	IOBE	3	IO_L_3,TCK
69	IOBB	2	IO_T_2,GPIO5,ADC0_REF	92	-	3	GND
70	IOBB	2	IO_TE7P_2,GPIO0,ADC1_CH4	93	-	3	VCCIO3
71	IOBB	2	IO_TE7N_2,GPIO1,ADC1_REF	94	IOBE	3	IO_L_3,TDI
72	-	2	GND	95	IOBE	3	IO_L_3,TDO
73	-	2	VCCIO2, ADC_VDDA, ADC_VDDD	96	IOBE	3	IO_L4P_3
74	IOBB	2	IO_T_2	97	IOBE	3	IO_L4N_3
75	IOBB	-	IO_T_2	98	IOBE	3	IO_L5N_3
76	IOBE	3	IO_L_3 , DONE	99	IOBE	3	IO_L5P_3
77	IOBE	3	IO_L_3, INITN	100	-	-	VCCAUX

注 1：当 sel_pwr =0 时，电源监控模块监控的是 BANK3，当 sel_pwr =1 时，监控的是 BANK2 的电压。

注 2：在芯片内部，FLASH 电源与 VCCIO2 相连，BANK2 的电压不应低于 2.5V。

注 3：ADC_VDDD、ADC_VDDA 在芯片内部与 VCCIO2 固定连接

4.4 EF2L15/45 引脚信息：LQFP144

编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
1	IOBB	0	IO_BE1N_0,D1	27	IOBB	0	IO_BE11P_GCLKIOB_4_0,D4
2	IOBB	0	IO_BE1P_0,D0	28	IOBB	0	IO_BE11N_GCLKIOB_5_0,D5
3	IOBB	0	IO_BE2N_0	29	-	0	GND
4	IOBB	0	IO_BE2P_0	30	-	0	VCCIO0
5	IOBB	0	IO_BE3N_GCLKIOB_1_0	31	IOBB	0	IO_B_0
6	IOBB	0	IO_BE3P_GCLKIOB_0_0	32	IOBB	0	IO_BE12P_0
7	-	0	VCCIO0	33	IOBB	0	IO_BE12N_0
8	-	0	GND	34	IOBB	0	IO_BE13P_0,D6
9	IOBB	0	IO_BE4P_0	35	IOBB	0	IO_BE13N_0,D7
10	IOBB	0	IO_BE4N_0	36	-	-	VCCAUX
11	IOBB	0	IO_BE5P_0,D2	37	-	1	VCCIO1
12	IOBB	0	IO_BE5N_0,D3	38	IOBE	1	IO_R1P_1
13	IOBB	0	IO_BE6P_0	39	IOBE	1	IO_R1N_1
14	IOBB	0	IO_BE6N_0	40	IOBE	1	IO_R2P_1
15	IOBB	0	IO_B_0	41	IOBE	1	IO_R2N_1
16	-	0	VCCIO0	42	IOBE	1	IO_R3P_1
17	IOBB	0	IO_B_0,DPCLKIO_3	43	IOBE	1	IO_R3N_1
18		0	GND	44	IOBE	1	IO_R4N_1
19	IOBB	0	IO_BE7P_GCLKIOB_2_0	45	IOBE	1	IO_R4P_1
20	IOBB	0	IO_BE7N_GCLKIOB_3_0	46	-	1	GND
21	IOBB	0	IO_BE8P_0,DPCLKIO_4	47	IOBE	1	IO_R5P_1
22	IOBB	0	IO_BE8N_0	48	IOBE	1	IO_R5N_1
23	IOBB	0	IO_BE9P_0	49	IOBE	1	IO_R6N_GCLKIOR_1_1, LVDSTX_1N
24	IOBB	0	IO_BE9N_0	50	IOBE	1	IO_R6P_GCLKIOR_0_1, LVDSTX_1P
25	IOBB	0	IO_BE10P_0	51	-	1	VCCIO1
26	IOBB	0	IO_BE10N_0	52	IOBE	1	IO_R7P_1

编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
53	-	1	GND	78	IOBB	2	IO_TE3P_2,GPIO10
54	IOBE	1	IO_R7N_1,DPCLKIO_5	79	-	2	VCCIO2
55	IOBE	1	IO_R8N_GCLKIOR_3_2, LVDSTX_1N	80	-	2	GND
56	IOBE	1	IO_R8P_GCLKIOR_2_2, LVDSTX_1P	81	IOBB	2	IO_TE4N_2
57	IOBE	1	IO_R9P_1,DPCLKIO_6	82	IOBB	2	IO_TE4P_2
58	IOBE	1	IO_R9N_1	83	IOBB	2	IO_TE5N_2,GPIO9,DPCLKIO_7, ADC1_CH3
59	IOBE	1	IO_R10P_1,LVDSRX_1P	84	IOBB	2	IO_TE5P_2,GPIO8,ADC1_CH2
60	IOBE	1	IO_R10N_1,LVDSRX_1N	85	IOBB	2	IO_TE6N_2
61	IOBE	1	IO_R11P_1	86	IOBB	2	IO_TE6P_2
62	IOBE	1	IO_R11N_1	87	IOBB	2	IO_TE7N_GCLKIOT_3_2
63	-	1	GND	88	-	2	VCCIO2
64		1	GND	89	IOBB	2	IO_TE7P_GCLKIOT_2_2
65	IOBE	1	IO_R12N_1	90	-	2	GND
66	-	1	VCCIO1	91	IOBB	2	IO_TE8N_GCLKIOT_1_2
67	IOBE	1	IO_R12P_1	92	IOBB	2	IO_TE8P_GCLKIOT_0_2
68	IOBE	1	IO_R13P_1,SCLK	93	IOBB	2	IO_T_2
69	IOBE	1	IO_R13N_1	94	IOBB	2	IO_T_2,GPIO7,ADC1_CH1
70	IOBE	1	IO_R14N_1	95	IOBB	2	IO_T_2,GPIO6,DPCLKIO_8, ADC1_CH0
71	IOBE	1	IO_R14P_1	96	IOBB	2	IO_T_2,GPIO5,ADC0_VREF
72		-	VCCAUX	97	IOBB	2	IO_TE9N_2,GPIO1,ADC1_VREF
73	IOBB	2	IO_TE1N_2,GPIO4	98	IOBB	2	IO_TE9P_2,GPIO0,ADC1_CH4
74	IOBB	2	IO_TE1P_2,GPIO3	99	IOBB	2	IO_TE10N_2
75	IOBB	2		100	IOBB	2	IO_TE10P_2
76	IOBB	2	IO_TE2P_2,GPIO12	101	-	2	GND
77	IOBB	2	IO_TE3N_2,GPIO11	102	-	2	VCCIO2

编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
103	IOBB	2	IO_T_2	124	-	3	GND
104	IOBB	2	IO_TE11P_2	125	IOBE	3	IO_L5N_GCLKIOL_1_3, ADC0_CH1,LVDSRX_0N
105	IOBB	2	IO_TE11N_2	126	IOBE	3	IO_L5P_GCLKIOL_0_3, ADC0_CH2,LVDSRX_0P
106	IOBB	2	IO_TE12P_2	127	IOBE	3	IO_L6N_GCLKIOL_3_3, ADC0_CH3,LVDSTX_0N
107	IOBB	2	IO_TE12N_2	128	IOBE	3	IO_L6P_GCLKIOL_2_3, ADC0_CH4,LVDSTX_0P
108	-	-	VCCAUX	129	-	3	VCCIO3
109	IOBE	3	IO_L_3,DONE	130	IOBE	3	IO_L_3,TMS
110	IOBE	3	IO_L_3,INITN	131	IOBE	3	IO_L_3,TCK
111	IOBE	3	IO_L1N_3,ADC0_CH5	132	IOBE	3	IO_L7P_3,DPCLKIO_2, LVDSTX_0P
112	IOBE	3	IO_L1P_3,ADC0_CH0	133	IOBE	3	IO_L7N_3,LVDSTX_0N
113	IOBE	3	IO_L2N_3	134	-	3	GND
114	IOBE	3	IO_L2P_3	135	-	3	VCCIO3
115	IOBE	3	IO_L3P_3,ADC0_CH6	136	IOBE	3	IO_L_3,TDI
116	-	3	GND	137	IOBE	3	IO_L_3,TDO
117	IOBE	3	IO_L3N_3,ADC0_CH7	138	IOBE	3	IO_L8N_3
118	-	3	NC	139	IOBE	3	IO_L8P_3
119	IOBE	3	IO_L_3,PROGRAMN	140	IOBE	3	IO_L9P_3
120	IOBE	3	IO_L_3,JTAGEN	141	IOBE	3	IO_L9N_3
121	IOBE	3	IO_L4N_3,DPCLKIO_1	142	IOBE	3	IO_L10P_3
122	IOBE	3	IO_L4P_3	143	IOBE	3	IO_L10N_3
123	-	3	VCCIO3	144	-	3	VCCAUX

注 1：当 sel_pwr =0 时，电源监控模块监控的是 BANK3 的电压，当 sel_pwr =1 时，监控的是 BANK2 的电压。

注 2：在芯片内部，FLASH 电源与 VCCIO2 相连，BANK2 的电压不应低于 2.5V。

注 3：ADC_VDDD、ADC_VDDA 在芯片内部与 VCCAUX 固定连接

4.5 EF2L15/25/45 引脚信息：ftBGA256

编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
A11	IOBB	0	IO_LE1P_0	D7	IOBE	0	IO_L11N_0,LVDSTX_0N
C11	IOBB	0	IO_LE1N_0	E7	IOBE	0	IO_L12N_0
B9	IOBE	0	IO_L2P_0	D6	IOBE	0	IO_L12P_0
A10	IOBE	0	IO_L2N_0	C6	IOBE	0	IO_L_0,TDO
C13	IOBE	0	IO_L_0,DONE	A6	IOBE	0	IO_L_0,TDI
A13	IOBE	0	IO_L_0,INITN	C5	IOBE	0	IO_L13N_0
F8	IOBE	0	IO_L3P_0,ADC0_CH0	A4	IOBE	0	IO_L13P_0
D9	IOBE	0	IO_L3N_0,ADC0_CH5	C4	IOBE	0	IO_L14P_0
E10	IOBE	0	IO_L4N_0	B5	IOBE	0	IO_L14N_0
D10	IOBE	0	IO_L4P_0	B4	IOBE	0	IO_L15N_0
F7	IOBE	0	IO_L5P_0,ADC0_CH6	A3	IOBE	0	IO_L15P_0
E8	IOBE	0	IO_L5N_0,ADC0_CH7	B3	IOBB	0	IO_L_0
B10	IOBE	0	IO_L_0,PROGRAMN	A15	IOBB	0	IO_TE1N_0
C10	IOBE	0	IO_L_0,JTAGEN	B14	IOBB	0	IO_TE1P_0
D8	IOBE	0	IO_L6P_0	A14	IOBB	0	IO_TE2N_0
E9	IOBE	0	IO_L6N_0,DPCLKIO_1	B13	IOBB	0	IO_TE2P_0
C9	IOBE	0	IO_L7N_GCLKIOL_1_0, LVDSRX_0N,ADC0_CH1	B12	IOBB	0	IO_TE3N_0
A9	IOBE	0	IO_L7P_GCLKIOL_0_0, LVDSRX_0P,ADC0_CH2	C12	IOBB	0	IO_TE3P_0
A5	IOBE	0	IO_L8P_0	A12	IOBB	0	IO_TE4N_0
B6	IOBE	0	IO_L8N_0	B11	IOBB	0	IO_TE4P_0
A8	IOBE	0	IO_L9N_GCLKIOL_3_0, LVDSTX_0N,ADC0_CH3	D11	IOBB	0	IO_TE5N_0
C8	IOBE	0	IO_L9P_GCLKIOL_2_0, LVDSTX_0P,ADC0_CH4	F10	IOBB	0	IO_TE5P_0
B7	IOBE	0	IO_L10P_0	E11	IOBB	0	IO_TE6N_0
C7	IOBE	0	IO_L10N_0	F9	IOBB	0	IO_TE6P_0
B8	IOBE	0	IO_L_0,TMS				
A7	IOBE	0	IO_L_0,TCK				
E6	IOBE	0	IO_L11P_0,DPCLKIO_2, LVDSTX_0P				

编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
B1	IOBB	5	IO_BE1P_5	K2	IOBB	4	IO_BE4N_4,D3
C2	IOBB	5	IO_BE1N_5	H4	IOBB	4	IO_BE5P_4
C1	IOBB	5	IO_BE2P_5	J6	IOBB	4	IO_BE5N_4
D2	IOBB	5	IO_BE2N_5	H5	IOBB	4	IO_BE6P_4
D3	IOBB	5	IO_BE3P_5	J4	IOBB	4	IO_BE6N_4
D1	IOBB	5	IO_BE3N_5	J5	IOBB	4	IO_BE7P_4,DPCLKIO_3
E2	IOBB	5	IO_BE4P_5	K6	IOBB	4	IO_BE7N_4
E3	IOBB	5	IO_BE4N_5	J1	IOBB	4	IO_BE8P_GCLKIOB_2_4
G2	IOBB	5	IO_BE5P_5,D0	J3	IOBB	4	IO_BE8N_GCLKIOB_3_4
G3	IOBB	5	IO_BE5N_5,D1	L2	IOBB	3	IO_BE1P_3
F3	IOBB	5	IO_BE6P_5	M1	IOBB	3	IO_BE1N_3
F1	IOBB	5	IO_BE6N_5	L1	IOBB	3	IO_BE2P_3,DPCLKIO_4
G5	IOBB	5	IO_BE7P_5	L3	IOBB	3	IO_BE2N_3
G4	IOBB	5	IO_BE7N_5	N2	IOBB	3	IO_BE3P_3
E1	IOBB	5	IO_BE8P_GCLKIOB_0_5	P1	IOBB	3	IO_BE3N_3
F2	IOBB	5	IO_BE8N_GCLKIOB_1_5	R1	IOBB	3	IO_BE4P_3
F4	IOBB	5	IO_BE9P_5	P2	IOBB	3	IO_BE4N_3
G6	IOBB	5	IO_BE9N_5	M3	IOBB	3	IO_BE5P_3
F5	IOBB	5	IO_BE10P_5	N1	IOBB	3	IO_BE5N_3
H6	IOBB	5	IO_BE10N_5	M2	IOBB	3	IO_BE6P_GCLKIOB_4_3,D4
G1	IOBB	4	IO_BE1P_4	N3	IOBB	3	IO_BE6N_GCLKIOB_5_3,D5
H2	IOBB	4	IO_BE1N_4	K4	IOBB	3	IO_BE7P_3
H3	IOBB	4	IO_BE2P_4	L5	IOBB	3	IO_BE7N_3
H1	IOBB	4	IO_BE2N_4	K5	IOBB	3	IO_BE8P_3
J2	IOBB	4	IO_BE3P_4	L4	IOBB	3	IO_BE8N_3
K1	IOBB	4	IO_BE3N_4				
K3	IOBB	4	IO_BE4P_4,D2				

编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
T2	IOBB	2	IO_BE1P_2	M7	IOBE	2	IO_R3P_2
R3	IOBB	2	IO_BE1N_2	N7	IOBE	2	IO_R3N_2
T3	IOBB	2	IO_BE2P_2	L9	IOBE	2	IO_R4N_2
R4	IOBB	2	IO_BE2N_2	N8	IOBE	2	IO_R4P_2
P4	IOBB	2	IO_BE3P_2	M8	IOBE	2	IO_R5P_2
T4	IOBB	2	IO_BE3N_2	N9	IOBE	2	IO_R5N_2
T5	IOBB	2	IO_BE4P_2	L10	IOBE	2	IO_R6N_2
R6	IOBB	2	IO_BE4N_2	M9	IOBE	2	IO_R6P_2
R5	IOBB	2	IO_BE5P_2	M10	IOBE	2	IO_R7P_2
P5	IOBB	2	IO_BE5N_2	N11	IOBE	2	IO_R7N_2
P6	IOBB	2	IO_BE6P_2	R8	IOBE	2	IO_R8N_GCLKIOR_1_2, LVDSTX_1N
T6	IOBB	2	IO_BE6N_2	T7	IOBE	2	IO_R8P_GCLKIOR_0_2, LVDSTX_1P
R7	IOBB	2	IO_BE7P_2	N10	IOBE	2	IO_R9P_2
P7	IOBB	2	IO_BE7N_2	M11	IOBE	2	IO_R9N_2,DPCLKIO_5
P8	IOBB	2	IO_BE8P_2	P9	IOBE	2	IO_R10N_GCLKIOR_3_2, LVDSTX_1N
T8	IOBB	2	IO_BE8N_2	T9	IOBE	2	IO_R10P_GCLKIOR_2_2, LVDSTX_1P
M14	IOBB	2	IO_BE9P_2	P10	IOBE	2	IO_R11P_2,DPCLKIO_6
M15	IOBB	2	IO_BE9N_2	R10	IOBE	2	IO_R11N_2
R9	IOBB	2	IO_BE10P_2,D6	P11	IOBE	2	IO_R12N_2,LVDSRX_1N
T10	IOBB	2	IO_BE10N_2,D7	T11	IOBE	2	IO_R12P_2,LVDSRX_1P
P15	IOBB	2	IO_BE11P_2	P12	IOBE	2	IO_R13P_2
R16	IOBB	2	IO_BE11N_2	T13	IOBE	2	IO_R13N_2
N16	IOBB	2	IO_BE12P_2	T12	IOBE	2	IO_R14N_2
N14	IOBB	2	IO_BE12N_2	R11	IOBE	2	IO_R14P_2
N15	IOBB	2	IO_BE13P_2	R12	IOBE	2	IO_R15P_2,SCLK
P16	IOBB	2	IO_BE13N_2	P13	IOBE	2	IO_R15N_2
M6	IOBE	2	IO_R1P_2	T14	IOBE	2	IO_R16N_2,GPLL2_OUTN
L8	IOBE	2	IO_R1N_2	R13	IOBE	2	IO_R16P_2,GPLL2_OUTP
L7	IOBE	2	IO_R2N_2	T15	IOBE	2	IO_R17P_2
N6	IOBE	2	IO_R2P_2	R14	IOBE	2	IO_R17N_2

编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
M16	IOBB	1	IO_T_1	H14	IOBB	1	IO_TE12P_GCLKIOT_0_1
L12	IOBB	1	IO_TE1N_1,GPIO4	G14	IOBB	1	IO_TE13N_1
J11	IOBB	1	IO_TE1P_1,GPIO3	G15	IOBB	1	IO_TE13P_1
L14	IOBB	1	IO_TE2N_1,GPLL2IN	G13	IOBB	1	IO_T_1,GPIO7,ADC1_CH1
L16	IOBB	1	IO_TE2P_1,GPLL2IP	F16	IOBB	1	IO_TE14N_1,CSON,DOUT
L15	IOBB	1	IO_T_1	F14	IOBB	1	IO_TE14P_1,GPIO6, DPCLKIO_0,ADC1_CH0
K15	IOBB	1	IO_TE3N_1	G12	IOBB	1	IO_T_1,GPIO5,ADC0_VREF
K14	IOBB	1	IO_TE3P_1	F13	IOBB	1	IO_T_1,CSN
L13	IOBB	1	IO_TE4N_1	F15	IOBB	1	IO_TE15N_1,GPIO1, ADC1_VREF
K11	IOBB	1	IO_TE4P_1	E16	IOBB	1	IO_TE15P_1,GPIO0, ADC1_CH4
K12	IOBB	1	IO_TE5N_0,GPIO13	E14	IOBB	1	IO_TE16N_1
K13	IOBB	1	IO_TE5P_0,GPIO12	D16	IOBB	1	IO_TE16P_1
J14	IOBB	1	IO_TE6N_1	F12	IOBB	1	IO_T_1,GPIO2,ADC1_CH5
J16	IOBB	1	IO_TE6P_1	E15	IOBB	1	IO_TE17N_1
K16	IOBB	1	IO_TE7N_1,GPIO11	D14	IOBB	1	IO_TE17P_1
J15	IOBB	1	IO_TE7P_1,GPIO10	D15	IOBB	1	IO_TE18N_1,GPIO15, ADC1_CH6
H15	IOBB	1	IO_TE8N_1	C16	IOBB	1	IO_TE18P_1,GPIO14
G16	IOBB	1	IO_TE8P_1	B16	IOBB	1	IO_TE19N_1
J12	IOBB	1	IO_TE9N_1,GPIO9, DPCLKIO_7，ADC1_CH3	C15	IOBB	1	IO_TE19P_1
H13	IOBB	1	IO_TE9P_1,GPIO8, USRCLK,ADC1_CH2				
J13	IOBB	1	IO_TE10N_1				
H11	IOBB	1	IO_TE10P_1				
H12	IOBB	1	IO_TE11N_GCLKIOT_3_1				
G11	IOBB	1	IO_TE11P_GCLKIOT_2_1				
H16	IOBB	1	IO_TE12N_GCLKIOT_1_1				

编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
A16	-	-	ADC_VDDA	G7	-	-	VCCAUX
F11	-	-	ADC_VSSA	G10	-	-	VCCAUX
A2	-	-	ADC_VDDD	K7	-	-	VCCAUX
L11	-	-	GND_PLLA2	K10	-	-	VCCAUX
B2	-	-	GND	T1	-	-	VCCAUX
B15	-	-	GND	T16	-	-	VCCAUX
C3	-	-	GND	G8	-	-	VCCIO0
C14	-	-	GND	G9	-	-	VCCIO0
D4	-	-	GND	D5	-	-	VCCIO0
D13	-	-	GND	D12	-	-	VCCIO0
E5	-	-	GND	H10	-	-	VCCIO1
E12	-	-	GND	J10	-	-	VCCIO1
F6	-	-	GND	E13	-	-	VCCIO1
H8	-	-	GND	M13	-	-	VCCIO1
H9	-	-	GND	K8	-	-	VCCIO2
J8	-	-	GND	K9	-	-	VCCIO2
J9	-	-	GND	N5	-	-	VCCIO2
L6	-	-	GND	N12	-	-	VCCIO2
M5	-	-	GND	M4	-	-	VCCIO3
M12	-	-	GND	H7	-	-	VCCIO4
N4	-	-	GND	J7	-	-	VCCIO4
N13	-	-	GND	E4	-	-	VCCIO5
P3	-	-	GND				
P14	-	-	GND				
R2	-	-	GND				
R15	-	-	GND				
A1	-	-	VCCAUX				

注 1：电源监控模块监控的是 BANK0 的电压

注 2：在芯片内部，FLASH 电源与 VCCIO1 相连，BANK1 的电压不应低于 2.5V。

4.6 EF2L25 引脚信息：XWFN42 (1)

编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
1	-	-	ADC_VSS	22	IOBE	2	IO_R2P_2
2	IOBE	0	IO_L1N_0	23	IOBE	2	IO_R2N_2
3	IOBE	0	IO_L1P_0	24	IOBE	2	IO_R3P_GCLKIOR_0_2, LVDSTX_1P
4	-	0	GND	25	IOBE	2	IO_R3N_GCLKIOR_1_2, LVDSTX_1N
5	IOBE	0	IO_L2N_0	26	-	2	VCCIO2
6	IOBE	0	IO_L2P_0	27	-	2	GND
7	-	0	VCCIO0	28	IOBE	2	IO_R4N_2
8	IOBE	0	IO_L_0,TMS	29	IOBE	2	IO_R5P_2
9	IOBE	0	IO_L_0,TCK	30	IOBE	2	IO_R4P_2
10	IOBE	0	IO_L_0,TDI	31	IOBE	2	IO_R5N_2
11	IOBE	0	IO_L_0,TDO	32	-	2	GND
12	IOBE	0	IO_L3N_0	33	IOBB	3	IO_TE1N_3
13	IOBE	0	IO_L3P_0	34	IOBB	3	IO_TE1P_3
14	IOBE	0	IO_L4P_0	35	IOBB	3	IO_T_GCLKIOT_3_3
15	IOBE	0	IO_L4N_0	36	-	3	VCCIO3
16	-	1	VCCIO1	37	-	3	GND
17	-	1	GND	38	IOBB	3	IO_T_3,ADC1_CH5
18	IOBB	1	IO_B_GCLKIOB_4_1	39	-	3	VCCIO3
19	-	1	VCCIO1	40	IOBE	0	IO_L5P_0
20	IOBE	2	IO_R1P_2	41	IOBE	0	IO_L5N_0
21	IOBE	2	IO_R1N_2	42	-	-	VCCAUX

注 1：上表中 P7,P36 等电源引脚都在内部与 VCCAUX 连一起了，因此 BANK0 和 BANK3 的电压都必须与 VCCAUX 保持一致。

注 2：当 sel_pwr =0 时，电源监控模块监控的是 BANK0 的电压，当 sel_pwr =1 时，监控的是 BANK3 的电压。

注 3：在芯片内部，FLASH 电源与 VCCIO3 相连，BANK3 的电压不应低于 2.5V。

注 4：ADC_VDDD、ADC_VDDA 在芯片内部与 VCCAUX 固定连接

4.7 EF2M45 引脚信息：LQFP48

编号	类型	BANK	引脚说明	编号	类型	BANK	引脚说明
1	-	-	VCCAUX	25	IOBB	1	D7,IO_B4P_1
2	-	0	ADC_VDDA	26	IOBE	2	IO_R1N_2
3	IOBE	0	ADC0_CH0,IO_L_0	27	IOBE	2	IO_R1P_2
4	IOBE	0	PROGRAMN,IO_L1P_0	28	IOBE	2	IOR_2
5	IOBE	0	JTAGEN,IO_L1N_0	29	-	2	VCCIO_2
6	IOBE	0	ADC0_CH1,GCLKIOL_1, LVDSRX_0N,IO_L2P_0	30	IOBE	2	SCLK,IO_R_2
7	IOBE	0	ADC0_CH2,GCLKIOL_0, LVDSRX_0P,IO_L2N_0	31	-	2	XTALi
8	-	0	VCCIO_0	32	-	2	XTALo
9	IOBE	0	ADC0_CH3,GCLKIOL_3, LVDSTX_0N,IO_L3P_0	33	-	2	VCCAUX
10	IOBE	0	ADC0_CH4,GCLKIOL_2, LVDSTX_0P,IO_L3N_0	34	IOBB	3	GPIO4,IO_T1P_3
11	IOBE	0	TMS,IO_L4P_0	35	-	3	vbat
12	IOBE	0	TCK,IO_L4N_0	36	IOBB	3	GPIO3,IO_T1N_3
13	IOBE	0	TDI,IO_L5P_0	37	IOBB	3	GPIO13,IO_T2P_3
14	IOBE	0	TDO,IO_L5N_0	38	IOBB	3	GPIO12,IO_T2N_3
15	IOBB	1	D0,IO_B1N_1	39	IOBB	3	GPIO11,IO_T3P_3
16	IOBB	1	D1,IO_B1P_1	40	IOBB	3	GPIO10,IO_T3N_3
17	-	1	VCCIO_1	41	IOBB	3	GPIO9,DPCLKIO_7, ADC1_CH3,IO_T4P_3
18	IOBB	1	D2,IO_B2N_1	42	IOBB	3	GPIO8,USRCLK, ADC1_CH2,IO_T4N_3
19	IOBB	1	D3,IO_B2P_1	43	IOBB	3	GPIO7,ADC1_CH1,IO_T_3
20	-	1	VCCAUX	44	IOBB	3	GPIO6,DPCLKIO_8, ADC1_CH0,IO_T_3
21	IOBB	1	D4,GCLKIOB_4,IO_B3N_1	45	IOBB	3	GPIO5,ADC0_VREF,IO_T_3
22	IOBB	1	D5,GCLKIOB_5,IO_B3P_1	46	IOBB	3	GPIO0,ADC1_CH4,IO_T5N_3
23	-	1	VCCIO_1	47	IOBB	3	GPIO1,ADC1_VREF,IO_T5P_3
24	IOBB	1	D6,IOB_4N_1	48	-	3	VCCIO_3

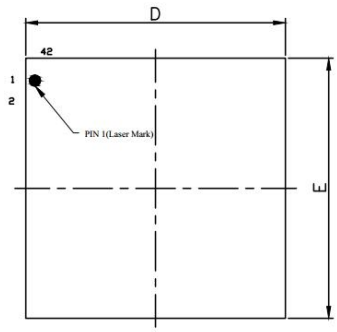
注 1：当 sel_pwr =0 时，电源监控模块监控 BANK0 电压，当 sel_pwr =1 时，监控 BANK3 的电压。

注 2：在芯片内部，FLASH 电源与 VCCIO2 相连，BANK2 的电压不应低于 2.5V。

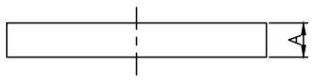
注 3：ADC_VDDD 在芯片内部与 VCCAUX 固定连接，GND 是由芯片底部的 EPAD 接入

4.8 封装信息

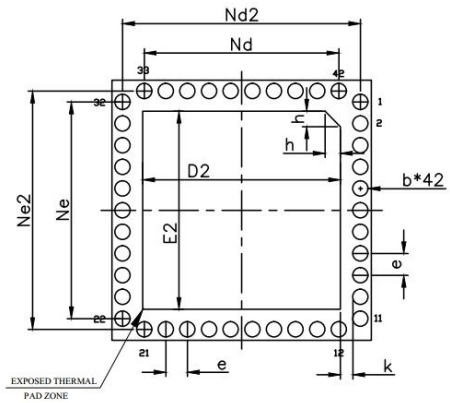
4.8.1 XWFN42 封装规格



TOP VIEW



SIDE VIEW

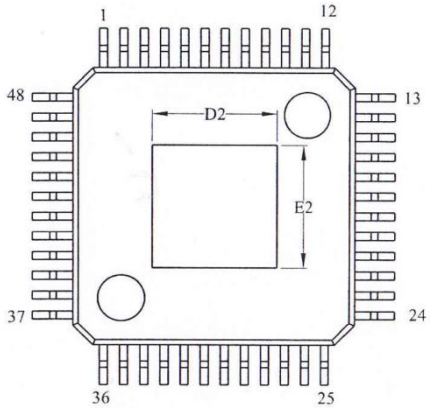


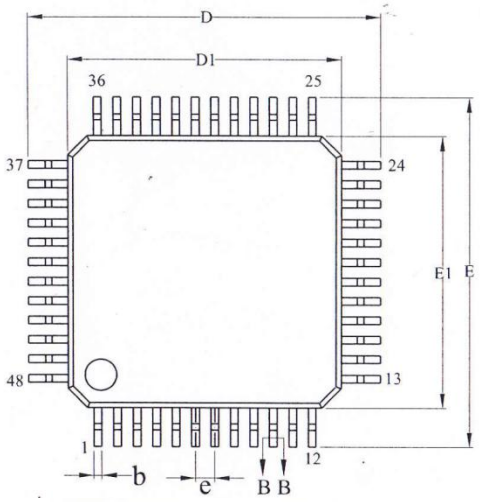
BOTTOM VIEW

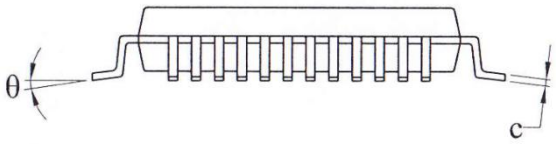
SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.50	0.55	0.60
b	0.20	0.25	0.30
D	4.10	4.20	4.30
E	4.10	4.20	4.30
D2	3.10	3.20	3.30
E2	3.10	3.20	3.30
Nd	3.15BSC		
Nd2	3.85BSC		
Ne	3.50BSC		
Ne2	3.85BSC		
e	0.35BSC		
k	0.20REF		
h	0.20	0.25	0.30

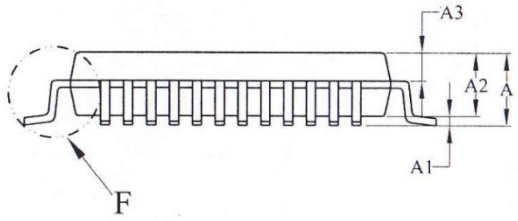
** 特殊设计：无

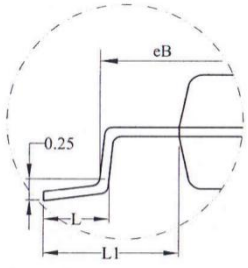
4.8.2 LQFP48 封装规格



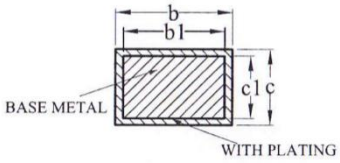








DETAIL: F

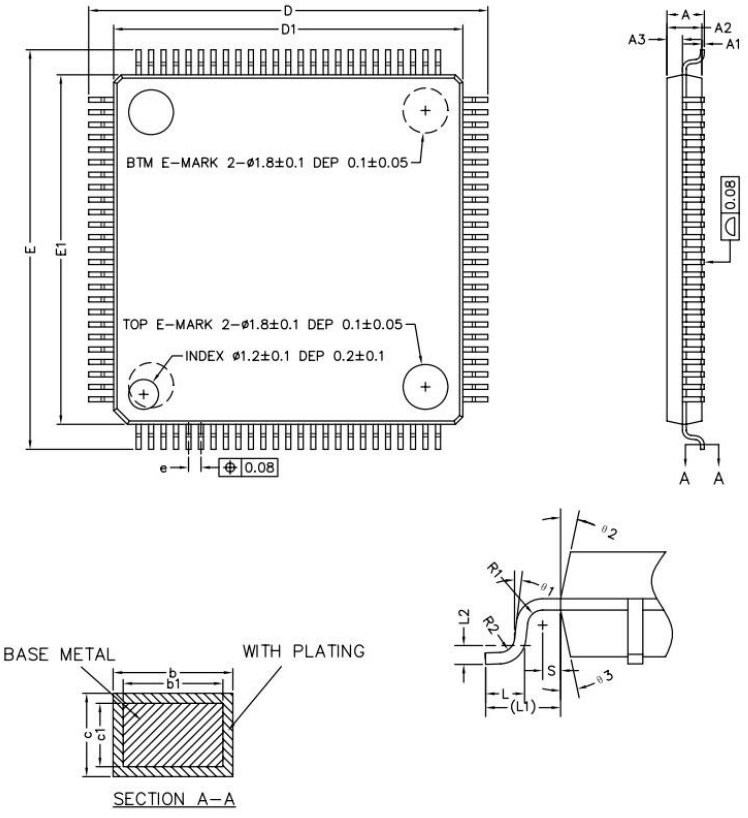


SECTION B-B

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
b1	0.17	0.20	0.23
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
eB	8.10	—	8.25
e	0.50BSC		
L	0.40	—	0.65
L1	1.00REF		
θ	0	—	7°

L/F SIZE (mil) \ SIZE (mm)	D2	E2
130x130	3.10REF	3.10REF

4.8.3 LQFP100 封装规格

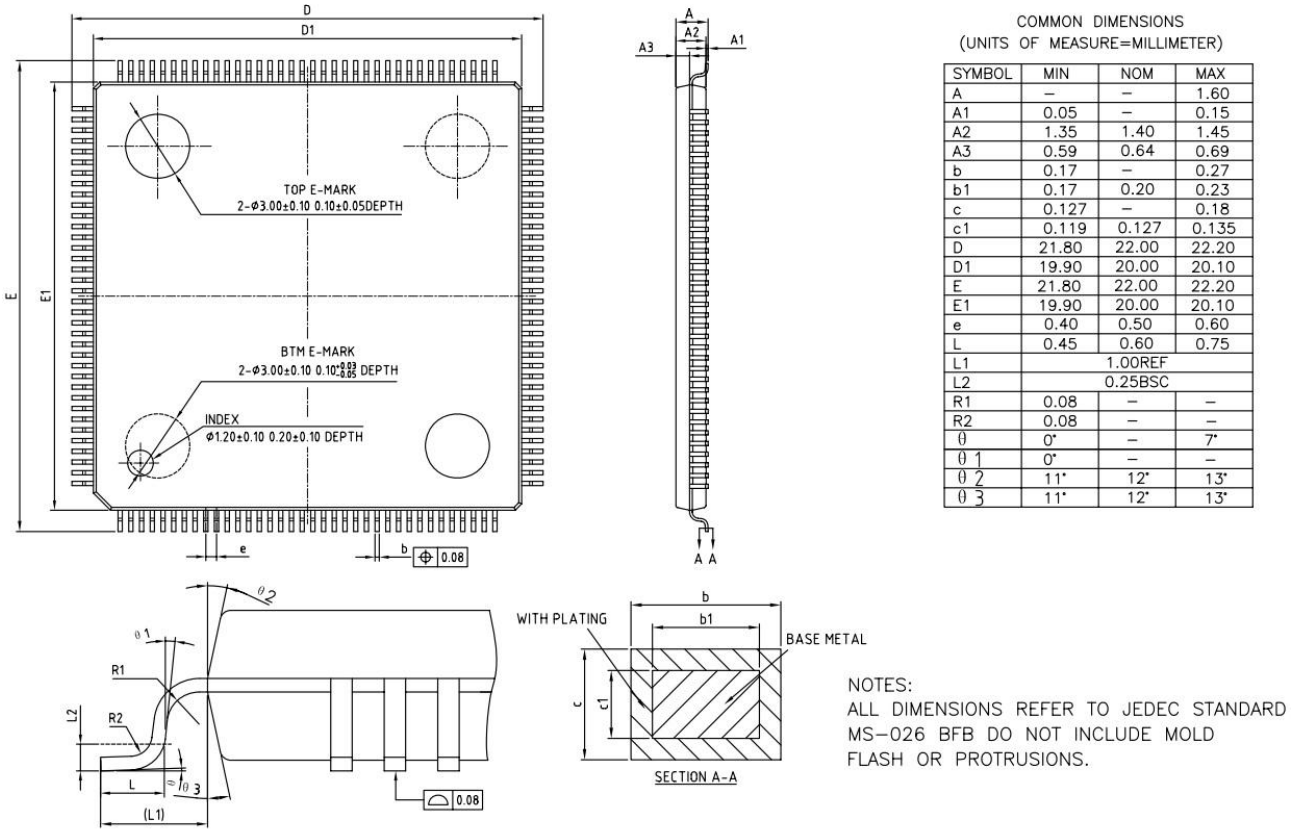


COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	–	–	1.60
A1	0.05	–	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.17	–	0.27
b1	0.17	0.20	0.23
c	0.13	–	0.18
c1	0.12	0.127	0.134
D	15.80	16.00	16.20
D1	13.90	14.00	14.10
E	15.80	16.00	16.20
E1	13.90	14.00	14.10
e	0.40	0.50	0.60
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	–	–
R2	0.08	–	0.20
S	0.20	–	–
θ	0°	3.5°	7°
θ 1	0°	–	–
θ 2	11°	12°	13°
θ 3	11°	12°	13°

NOTES:
ALL DIMENSIONS REFER TO JEDEC STANDARD MS-026 BED DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.

4.8.4 LQFP144 封装规格

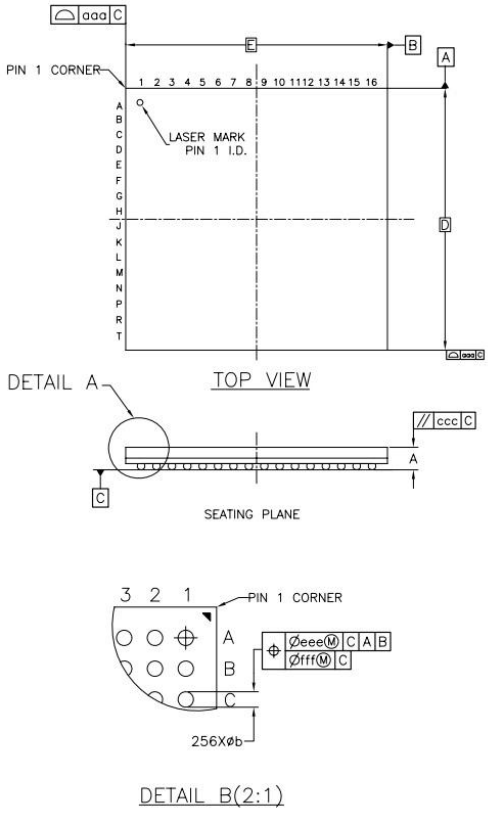


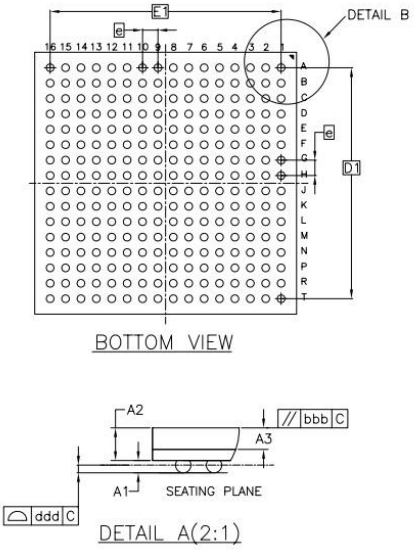
COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	–	–	1.60
A1	0.05	–	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.17	–	0.27
b1	0.17	0.20	0.23
c	0.127	–	0.18
c1	0.119	0.127	0.135
D	21.80	22.00	22.20
D1	19.90	20.00	20.10
E	21.80	22.00	22.20
E1	19.90	20.00	20.10
e	0.40	0.50	0.60
L	0.45	0.60	0.75
L1		1.00REF	
L2		0.25BSC	
R1	0.08	–	–
R2	0.08	–	–
θ	0°	–	7°
θ1	0°	–	–
θ2	11°	12°	13°
θ3	11°	12°	13°

NOTES:
ALL DIMENSIONS REFER TO JEDEC STANDARD MS-026 BFB DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.

4.8.5 ftBGA256 封装规格





SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	---	1.46	1.56
A1	0.35	0.40	0.45
A2	1.02	1.06	1.10
A3	0.70 BASIC		
D	16.90	17.00	17.10
D1	15.00 BASIC		
E	16.90	17.00	17.10
E1	15.00 BASIC		
e	1.00 BASIC		
b	0.45	0.50	0.55
aaa	0.10		
bbb	0.20		
ccc	0.20		
ddd	0.12		
eee	0.15		
fff	0.08		

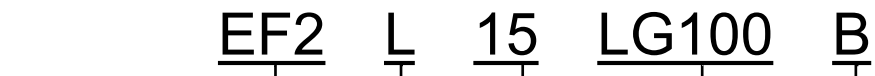
5 订购信息

表 5- 1 器件号缩写

器件名称	类别	查找表容量	封装类型
ELF2	L	15	BG256

- 产品系列
  - ELF2 系列
- 类别
  - L 逻辑器件
  - M 内嵌 MCU-M3
- 查找表容量
  - 15 1500 查找表
  - 25 2500 查找表
  - 45 4500 查找表
- 封装类型：<类型><#>
  - LG LQFP，lead free
  - XG XWFN，lead free
  - BG FBGA，substrate
  - # 引脚数（144 指 144 个引脚，256 指 256 个引脚）
- 温度等级
  - I 工业（TJ = -40 – 100 ℃）

  注：ELF2 器件温度等级均为工业级



器件名称

ELF2　FPGA

类型

L　逻辑器件

M　内嵌 MCU-M3

查找表容量

15　1500 查找表

25　2500 查找表

45　4500 查找表

电源类型

B　单电源

D　双电源

封装类型

XG42　XWFN42

LG48　LQFP48

LG100　LQFP100

BG256　BGA256

6 版本信息

日期	版本	修订记录
15/10/2017	0.1	首次发布中文版
11/12/2017	0.11	修改 IO 定义,修改下载模式定义
20/12/2017	1.0	修改 IO 封装文件定义
11/01/2018	1.1	更新 IO 封装文件定义，添加上电时序要求
18/01/2018	1.2	更新封装表
26/01/2018	1.3	更新 BGA256 封装
27/01/2018	1.4	更新型号表，更新订购信息表
25/02/2018	1.5	更新型号表信息
28/02/2018	1.6	更新 XWFN42 引脚信息
12/04/2018	1.7	增加 AST 接口介绍
18/04/2018	1.8	更新 LQFP144 引脚，增加 LQFP64 引脚信息
24/04/2018	1.9	修正 BRAM128K 写模式说明，更新选型与引脚信息表与温度传感器计算公式
16/05/2018	2.0	添加 LQFP48 封装，修改部分功能描述
23/05/2018	2.1	更改 LQFP48 尺寸，修改部分功能描述
31/05/2018	2.2	添加电源监控模块使用说明
07/06/2018	2.3	删除 ADC 相关 BANK 电压错误描述
19/06/2018	2.4	更新 IOBB VIH 数值、更新 PLL 动态配置表描述
27/06/2018	2.5	表 3.2.3 更新占空比描述；3.1.6 节热拔插排除 ADC_VREF 引脚 表 2-8- 3 更新 IOBB Emulated LVDS 推荐电阻值
04/07/2018	2.6	更新了交流电气特性的时钟性能和数字信号处理模块的描述 新增 2.14 节 OSC、OSCDIV 输出限制注释
12/07/2018	2.7	修改了 IOB 简介部分的描述、更改了表 2-8- 1ELF2 支持电气标准
18/07/2018	2.8	增加 IOBB/IOBE 识别方法，修改文档格式
3/08/2018	2.9	修改 IOBE 支持的单端标准
10/08/2018	3.0	删除 PLL 动态配置相关描述
16/08/2018	3.1	删除预加重、动态时钟使能模块、修改 IOB 描述、更新引脚注释
24/08/2018	3.2	更新 DCS 操作模式列表
30/08/2018	3.3	更改 ADC 复用引脚热插拔说明，修正伪差分速率
11/09/2018	3.4	统一文档格式，增加 PLL、OSC 使用建议、IO 引脚在配置过程中的状态说明
20/1112018	3.5	修正 TRUE LVDS 输出示意图
2019/01/04	3.6	添加 LVPECL 输入建议外接电路
2019/02/12	3.7	更改 V_{ID} 输入差分电平标准
2019/02/12	3.8	添加 JTAG 时序规格和基本供电要求

版权所有©2018 上海安路信息科技有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全 部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任 何知识产权许可。除安路科技在其产品的销售条款和条件中声明的责任之外，安路科技概不承担任何法律或非法律责任。安路科技对安路科技产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。安路科技对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，安路科技保留修改文档中任何内容的权利，恕不另行通知。安路科技不承诺对这些文档进行适时的更新。